

2R-9

# 大規模ゲートアレイ用 高速自動配線手法

関 光穂<sup>1</sup>, 児島征也<sup>1</sup>, 小林俊一<sup>1</sup>, 高橋典明<sup>2</sup>

<sup>1)</sup>(株)日立製作所 日立研究所, <sup>2)</sup>(株)日立エンジニアリング

## 1. はじめに

ゲートアレイは、顧客仕様のLSIが短期に供給できる特長を持ち、最近ではかなり大規模なものやメモリを搭載したものが市販されている。このため、自動設計技術の高度化が不可欠であり、論理セルの配置配線を行う実装設計に関しても数多くの技法が発表されている。

ゲートアレイのレイアウトモデルを図1に示す。一般に、ゲートアレイは内部セル列と配線チャンネルから成る内部配線領域とその周辺に配置されたI/Oセルから構成される。内部セル列は、高さが一定で長さの変な矩形でその上下辺に端子を持つ論理セルから構成され、一定長の水平列を成している。また、配線チャンネルはあらかじめ与えられた本数で固定となっている。

ゲートアレイの配線設計は一般に、図2に示すような概略配線と詳細配線の2段階で行われる。概略配線は、内部配線領域を配線格子に沿って、端子を含む適当な大きさのスペースに分割し、どのスペースを通して信号を配線するかというおおまかな経路を決定するものであり、詳細配線は、配線チャンネル単位に最終的な配線経路を決定するものである。

本文では、概略配線アルゴリズムとして、マンハッタン配線法<sup>1)</sup>、線分探索法<sup>2)</sup>を利用し、分割スペース内に埋込まれた端子間を折曲り2回以内で配線するMALCH法を、詳細配線アルゴリズムとして、“Greedy Channel Router”<sup>3)</sup>を拡張したカラム・スキャン法を提案する。両者とも非常に高速なアルゴリズムであり、メタル2層の一括配線手法として大規模なゲートアレイに適用することができる。

## 2. 概略配線アルゴリズム

本章では、MALCH法(MAnhattan & Line searCH)について述べる。まず、図1のチップモデルを分割する。X方向分割線は内部セルの中央および配線チャンネル中央を通る直線、Y方向分割線はチップサイズと論理規模から経験的に求めた直線である。分割矩形内に端子を埋込んで1信号単位に概略配線を行う。

次に概略配線の戦略について述べる。

- (1) 2端子間を折曲り2回以内で結線する(図3参照)。
  - ： 概略配線の基本アルゴリズムとしてマンハッタン配線法と折曲り2回以内の線分探索法を用いた。その理由は、両アルゴリズムともたいへん高速であること、折曲り数を抑え単純な経路を発生することにより詳細配線時のスルーホール発生削減と計算の高速化を図ること、及び迷路法による概略配線の経路パターンの調査から折曲り2回以内で十分配線可能であると考えたからである。
- (2) 多ピンネットは端子結線済グループどうしに分け、総当りで経路を発生(図4参照)、最も配線コストの低い経路を選択。
  - ： 総当りで経路を発生することにより配線経路候補のうち最も配線コストの低い経路、つまり最も混雑度のバランスのとれた経路を選ぶことができる。また、等電位スルー可の端子をあらかじめ結線済グループとして定義できるので、等電位端子がより多く利用できる。
  - 最短距離にある端子ペアを結線していくと、配線長は短くなるが混雑度のアンバランスが生じやすく、決められた領域内に論理を実現するゲートアレイの配線手法としては不適当であると考えられる。

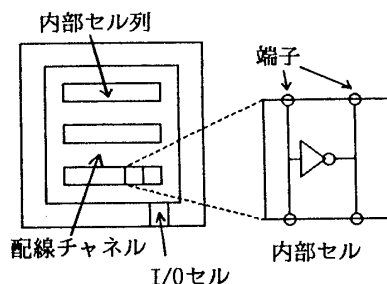


図1 レイアウトモデル

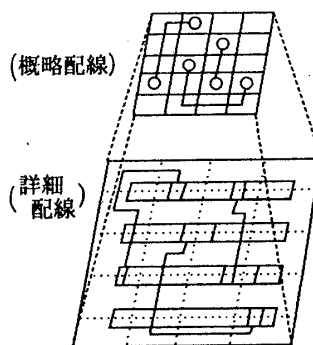
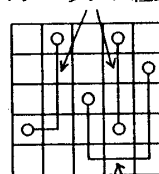


図2 2段階配線法

マンハッタン経路



線分探索経路

図3 単純概略経路

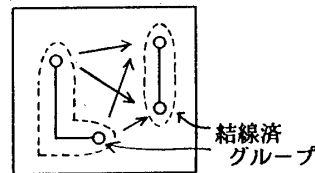


図4 多ピンネット配線

A Quick Routing Method for Large Gate Array

Mitsuho SEKI<sup>1</sup>, Ikuya KOJIMA<sup>1</sup>, Syun'ichi KOBAYASHI<sup>1</sup>, Noriaki TAKAHASHI<sup>2</sup>

<sup>1)</sup>HITACHI, Ltd., <sup>2)</sup>HITACHI Engineering, Ltd.

- (3) 折曲り2回以内で結線できないときは、サブターゲットを導入し、その点を経由して2端子間を配線する(図5参照)。
  - ： 十分な境界容量があればほとんど折曲り2回以内で配線できる。しかし、2端子間が遠く離れていたり、固定メモリのような禁止領域があると、折曲り2回では経路が存在しても発見できないことがある。そこで、図5に示すように、配線すべき2点で作られた矩形の3倍辺の矩形を作り、その内側で最も到達しやすい点をサブターゲットとし、この点を経由して配線することにより結線率を高くした。
- (4) 配線コストは境界容量をパラメータとする指数関数とする。
  - ： 指数関数は急な立上り(立下り)を示すので、境界容量が少なくなると配線コストが急増するように設定され、無理な経路割付を避けられる。配線コストは、

$$C = \sum_i (a^{-X_i + P_i})$$

$i$  : 通過した境界線  
 $X_i$  : 境界残容量  
 $P_i$  : ペナルティコスト

ペナルティコストは、予想混雑度から求める。予想混雑度とは、あらかじめ予想される概略経路が境界を通過する確率(図6参照)を全信号について加えたものである。これをペナルティコストとして前述の指数関数コストに加える。これにより、あらかじめ混雑すると考えられる場所を通過するコストが高くなるため混雑度の平均化が行われる。

- (5) 配線順は(4)で求めた予想混雑度の高い所にある信号から行う。
  - ： 一般には、配線領域中央部が混雑するので中央に端子の分布している信号から配線したり、端子密度の高い所に端子を持つ信号から配線することが考えられる。しかし、予想混雑度の高い所では、配線が混雑し、端子密度も高いと考えられるので最も妥当な配線順である。

3. 詳細配線アルゴリズム

本章では、詳細配線手法について述べる。詳細配線では、コラム・スキャン法を採用した。本手法は、"Greedy Channel Router"を基本としたメタル2層配線のチャンネル配線である。"Greedy Channel Router"では、Y方向線分が頻繁に発生するのでスルーホールが多くなりやすい。この欠点をなくし、かつ結線率を上げる目的で次の改良を行った。

- (1) 制約グラフがループするとき、左側に空領域があれば左に戻って配線する(図7参照)。
- (2) スルーホール削減のため、X-Yルールで配線したのち、同層内でのバンドに変換する(図8参照)。
- (3) チャンネル内に禁止領域があるときには、配線とのオーバーラップをあらかじめ調べ、迂回する。

4. 配線結果

図9に今回開発した配線プログラムでの試行結果をゲート規模についてプロットしたものを示す。8Kゲート規模の配線が約10分で終了したいへん高速であることがわかる。また、計算時間がゲート規模にほぼ比例であり、さらに大規模なゲートアレイにも一括配線手法として適用可能であると考えられる。

また、未配線も従来手法<sup>3)</sup>に比較して平均で2.9本低減した。

5. おわりに

ゲートアレイ用自動配線アルゴリズムとして、(1)概略配線に端子間を折曲り2回以内で配線するMALCH法、(2)詳細配線に"Greedy Channel Router"を改良したコラム・スキャン法を提案し、これらを組合せることにより結線率が高く非常に高速な自動配線手法を開発した。しかも、その処理時間はゲート規模にほぼ比例である。

6. 参考文献

- 1) 増田ほか：マンハッタン配線問題について：信学会技法CAS83-20 p25 (1983)
- 2) Mikami K. and Tabuchi K. : A Computer Program for Optimal Routing of Printed Circuit Conductors : IFIP Congress 68 p1475 (1968)
- 3) Rivest R. L. et al. : A Greedy Channel Router : '82 DAC P418
- 4) 吉原ほか：ゲートアレイ用総合CADシステム - レイアウト - : 情処全大27(58後) p1421

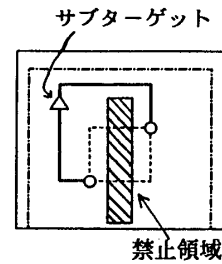


図5 迂回配線

	1/4	○
		1/3
○		

図6 予想通過確率

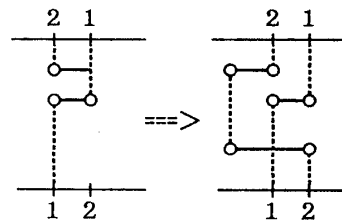


図7 左に戻って配線

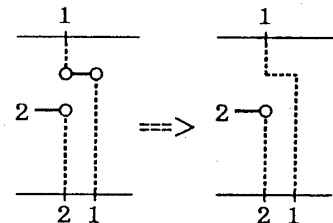


図8 同層内バンド変換

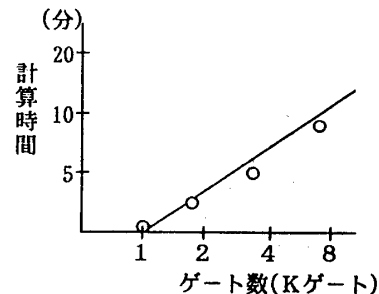


図9 自動配線計算時間