

マクロブロックを含むスタンダードセル方式LSIの

2R-7

一括配線プログラム

南 文裕 樋渡 有 栗林 元隆

株式会社 東芝 超LSI研究所

1. はじめに

セミカスタムLSIの実現手段としてスタンダードセル方式が注目を集めている。これは、集積度・特性の向上、ROM・RAM等のマクロブロックを取り込めること、豊富なセルライブラリ、などの利点があるからである。

マクロブロックを含むスタンダードセルのレイアウト方式には、①スタンダードセルの上位階層でマクロブロックを処理する階層的レイアウト方式^[1]と②スタンダードセルとマクロブロックとを一括してレイアウトする方式^[2]とがある。

①の方式では、無効領域の発生に代表されるようにフロアプランの最適化がむずかしく、また階層間にまたがる配線に冗長性が生じやすいという問題がある。一方、②の方式では、一般にマクロブロックの配置位置に制限があるが、フロアプランの最適化が比較的容易でTAT短縮につながり、マクロブロックがチップ内に数個程度のLSIにおいては有利である。

本報告では、②の方式による一括配線プログラムについてその手法、特徴を述べる。

2. レイアウトモデル

チップのレイアウトは、コアブロックとI/O周辺部分に分け、コアブロックの中にマクロブロックを入れて行なう。その際、マクロブロックを置くスペースにマクロブロック周辺部配線のためのスペースを加えた“機能ブロック領域”を定義した。これを図1に示す。

機能ブロック領域の外周上には仮想端子を設け、機能ブロック領域内の配線とセル行間チャンネルの配線とは分けて処理する。すなわち、セル行間チャンネルで仮想端子とセル端子・外部端子とを接続し、その後、機能ブロック領域内で仮想端子とマクロブロック端子とを接続する。

機能ブロック領域の設定に関しては、問題を単純化するために下記の制限をつけている。

- (a) 機能ブロック領域は、コアブロック左辺または右辺に接する。
- (b) 機能ブロック領域の高さは、セル行を単位として指定し、領域の下辺側セル行(開始セル行)の下辺から領域の上辺側セル行(終了セル行)の上辺までをその範囲とする。
- (c) 機能ブロック領域の幅は、領域内で必要な配線領域の大きさを予め見積もっておき、それをもとに配線グリッド単位で指定する。

マクロブロックの相対配置位置は、機能ブロック領域がコアブロック左右辺のどちらに接するかということと、開始・終了セル行によって指定される。

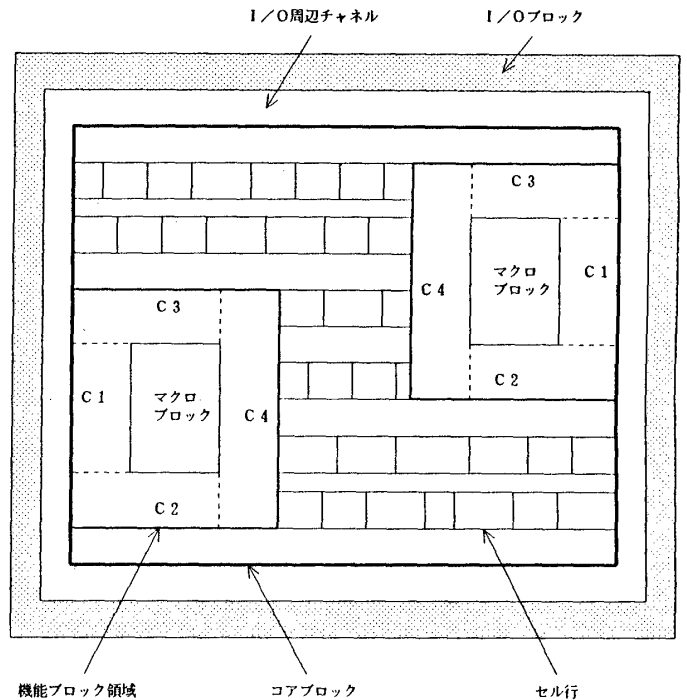


図1 レイアウトモデル

3. 配線手法とアルゴリズム

3.1 機能ブロック領域内の配線をするときの問題点

詳細配線のアルゴリズムとしてチャンネル配線法を採用しているため、セル行間チャンネルと機能ブロック領域の配線を分けて行なうと、その処理順序が問題となる。

セル行間チャンネルの配線をするには、機能ブロック領域外周の上下辺にある仮想端子位置が決まっている必要がある。すなわち、機能ブロック領域の配線をしておく必要がある。一方、機能ブロック領域の配線をするには、領域右(左)辺に接するセル行間チャンネルのチャンネル短辺端子位置が決まっている必要がある。すなわち、セル行間チャンネルの配線をしておく必要がある。

ここでは、配線処理順序にループが生じるので、回避策として図1に示すように機能ブロック領域内に4つのチャンネルを設け、チャンネルC1の配線とチャンネルC2, C3, C4の配線とで分けて処理するようにした(処理手順は、図2参照)。

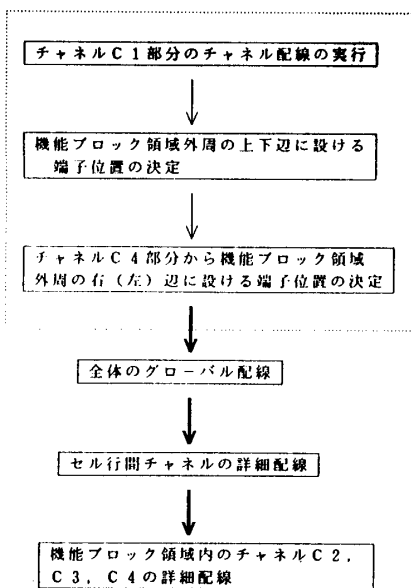


図2 処理手順

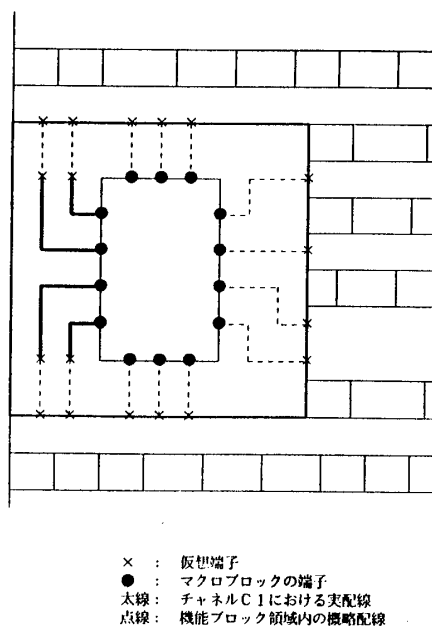


図3 機能ブロック領域部分に対する前処理

3.2 グローバル配線

機能ブロック領域外周上に置く仮想端子の決定をグローバル配線処理の前処理として行なうようにした。マクロブロック端子からの配線引き出し方向は次のようにする。

- (a) マクロブロック上・下辺の端子に対し、それぞれ機能ブロック領域外周の上・下辺に引き出す。
- (b) チャンネルC1に面しているマクロブロック端子に対し、チャンネルC2またはC3へ引き出し、さらに機能ブロック領域外周の下辺または上辺に引き出す。ただし、外部との接続しかないものについては、I/O周辺チャンネルへ直接引き出す。
- (c) チャンネルC4に面しているマクロブロック端子に対し、チャンネルC4の右辺または左辺に接しているセル行間チャンネルへのみ引き出す。

さて、機能ブロック領域外周の上・下辺に設定する仮想端子は、あとでセル行間チャンネルの配線をするため、そのx座標を決めておく必要がある。そこで、まず最初にチャンネルC1についてだけチャンネル配線を実行し、チャンネルC1のチャンネル短辺端子x座標とマクロブロックの上・下辺端子x座標を決定し、それを上下方向にまっすぐ延長した位置に、機能ブロック領域外周の上・下辺の仮想端子を設定する。これは、チャンネルC2、C3での配線混雑を避けるためである。

一方、チャンネルC4に面している仮想端子については、引き出すセル行間チャンネルの選択をする必要があり、チャンネルC4に面しているマクロブロック端子の位置の上下順序関係に応じて引き出しチャンネルへの配分を行う(以上、図3参照)。

上述の前処理を施した後、コアブロック全体のグローバル配線を実行する。その主な処理内容は、フィードスルー位置のわりつけである。^[3]

3.3 セル行間チャンネルの詳細配線

グローバル配線後、セル行間チャンネルに対し、チャンネル配線法で配線を行う。

3.4 機能ブロック領域の詳細配線

セル行間チャンネルの詳細配線が終わると、機能ブロック領域の高さが確定するので、この領域にマクロブロックがおさまるようにそのy座標を決めて、チャンネルC2、C3、C4に面している端子位置y座標を決定する。最後に、これらのチャンネルに対してチャンネル配線法により詳細配線を行なう。

なお、機能ブロック領域の幅・高さに関しては、指定した大きさが必要量に満たない場合、チャンネルC4での未配線やマクロブロックの領域からのみだしが生じるが、そのときは領域幅、開始・終了セル行を変更してセル配置から再実行を行なう。

4. おわりに

マクロブロックを含むスタンダードセル方式LSIの一括配線手法について提案した。この配線プログラムでは、マクロブロックの配置位置に制限があるが、フロアプランの最適化が比較的容易に行なうことができる。

本手法によるものと階層的なレイアウト手法によるものとの比較評価については、現在分析中である。

参考文献

- [1] 三橋、他：“カスタムVLSIのための統合レイアウトシステム”，電子通信学会 回路とシステム研究会，CAS85-140，pp63-70
- [2] 安達、他：“Hierarchical Top-Down Layout Design Method for VLSI Chip”，IEEE 19th D.A.Conf.，pp785-791
- [3] 樋渡、他：“スタンダードセル方式LSI配線プログラム(メタル2層)”，電子通信学会 回路とシステム研究会，CAS84-126，pp81-88