

機能図入力システムにおける回路図面生成

2R-4

中村 泉 飯島 和之 今井 るみ子 松本偉和左

日本電気株式会社

1. はじめに

近年、論理システムの大規模化、複雑化により論理設計に対する負担は大きくなっている。この問題を解決するために我々は機能図入力システムを開発した[1]。これは設計者が機能図を入力すると自動的に回路図へ展開するシステムである。自動生成された回路図面は展開時の論理合成機能及び最適化機能の機能上の問題を解決するためや回路レベルで検証を行うために利用されるので見やすいことが要求される。見やすい回路図を得るためにこの機能図入力システムで採用した回路図面生成方式について説明する。

2. 機能図入力システム

機能図入力システムでいう機能図とは、「装置の機能を機能シンボルの接続で表現した図面で、作成する回路のテクノロジーに依存しない」ものである。特徴として以下のものがあげられる。

- (1) ゲートの入力数可変
- (2) ゲートの論理否定の付加が可能
- (3) シンボルのビット数可変
- (4) 繰り返し記法が可能 (シンボル・ピン・配線)

機能図の一例を図1に示す。

機能図入力システムの主な機能である回路図展開部分では機能図データから回路図データへの展開・FANOUT調整及び回路図データから回路図面の作成等を行っている。本論文ではこの回路図データから回路図面の作成について述べるものである。

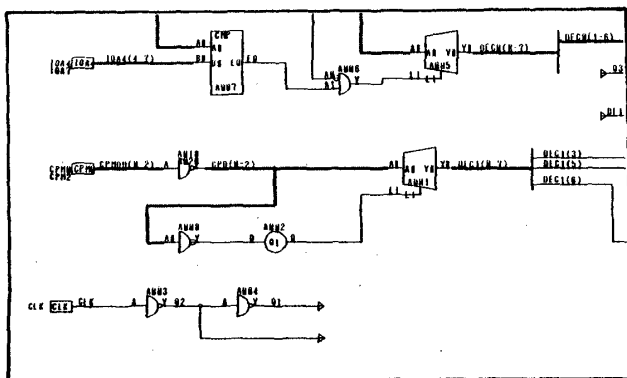


図1 機能図例(部分)

3. 回路図面生成法

一般に論理回路図の自動生成において要求される仕様は「見やすい」という抽象的なものであるが、機能図から展開されることを前提にこの見やすさについて検討した結果より行った手法を以下に述べる。

3.1 図面分割法

機能図は設計者により人手入力されたものであるから、回路図面を自動生成する上でも有効なデータである。この機能図をもとに図面分割は次の手順で行われる。

- (1) 機能図上のシンボル単位に回路シンボル面積を求める。このとき回路シンボルの面積にシンボルのピン数を考慮している(図2)。これはシンボル形状の縦横だけからシンボル面積を求めると多ピンの入力・出力をもつシンボルに関し配線チャンネルが足り無くなり未配線が発生しやすくなるためである。
- (2) 繰り返しシンボルの位置補正を行う。これは繰り返しシンボル分だけで回路図一枚に入りきらなくなる場合があり一ヶ所にシンボルが集中しないようにするためである。
- (3) 求めたシンボル面積の和が一枚の回路図面へ収容する境界面積を越えていたらまずY方向について面積累計が全体の50%となるような位置で横分割する(図3(1))。
- (4) 二分割された部分毎に今度はX方向に回路図面へ収容する境界面積ずつ縦分割する(図3(2))。このとき縦分割された残りのシンボル数が少ない場合には他の図面と合わせたり各図面のシンボル面積が均等になるように考慮している。

3.2 配線交差数の減少法

シンボルの配置の際にも配線のことを考慮することは重要である。シンボルの相対位置関係により配線交差数が異なるからである。この配線交差数を減少させる手法[2]を以下に示す(図4)。

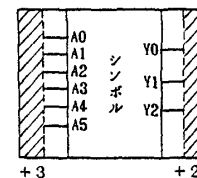


図2 ピン数を考慮したシンボル面積

- (1) シンボル列  $i$  と  $i + 1$  列において接続行列  $A$  ( $m, n$ ) を作る。ここで  $m$  は  $i$  列の回路シンボル数、 $n$  は  $i + 1$  列の回路シンボル数とする。

$$A = (a_{oo})_{m, n}$$

要素については  $i$  列の  $p$  番目のブロックと  $i + 1$  列の  $q$  番目のブロック間に接続があれば  $a_{oo} = 1$ 、接続がないならば  $a_{oo} = 0$  である。

- (2) 次に行列  $S = (s_{oo})_{m, n}$  を求める。

$$s_{oo} = \sum_{j=1}^m \sum_{k=1}^{j-1} D_{jk} : D_{jq} = \begin{vmatrix} a_{ko} & a_{ko} \\ a_{io} & a_{io} \end{vmatrix} = a_{ko} \cdot a_{io} - a_{io} \cdot a_{ko}$$

- (3) 行列  $S$  の上三角部の 0 は  $+0$  に、下三角部の 0 は  $-0$  とする。なお、対角項は必ず 0 となる。ここで各列の負数の数を調べ負数の多い順に並べ替える。この列の順に  $i + 1$  列目の回路ブロックを並べ替えるのである。

### 3.3 論理段数の多い場合の配置

一図面内のシンボルの接続において論理段数の多い場合には以下のように配置する。

- (1) 今配置している次の段に図面からはみ出しているシンボルを配置可能な空きがあったなら、最後のシンボルが右詰めとなるように二段に横に折り返し配置する (図5(1))。
- (2) 空き段がなく折り返し配置が出来ない場合には図面内に収まるよう縦に折り返し配置する (図5(2))。

### 3.4 配置補正

配線エリアの確保のため図面内でシンボルの分散を行うと共にシンボル相互の接続距離がなるべく最小となるように接続の強さを見て補正する (図6(1)(2))。

## 4. おわりに

以上の方式により自動生成された回路図の例を図7に示す。機能図と対応のとりやすい図面が出来ている。

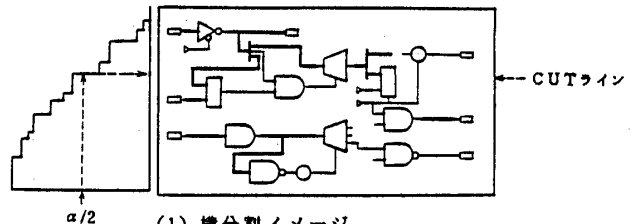
今後の課題としては

- (1) 図面の分割で横に分割することが望ましくない場合に機能ブロックの接続からまとまりを生成することが必要。
- (2) 論理段数が多い場合の図面分割及び配置法。
- (3) 配線方法の改善。
- 等があげられる。

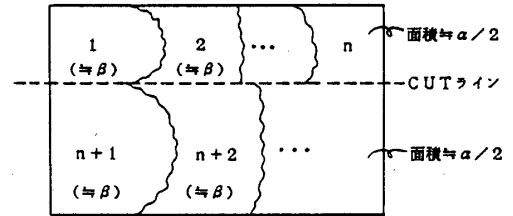
## 5. 参考文献

[1] 松本他 "機能図入力システム"  
情報処理学会第29回全国大会

[2] May M., Iwainisky A. and Menneche p.  
"Placement and routing for logic schematics"  
CAD Vol.15 No.3 May 1983.



(1) 横分割イメージ



(2) 縦分割イメージ

図3 図面分割イメージ

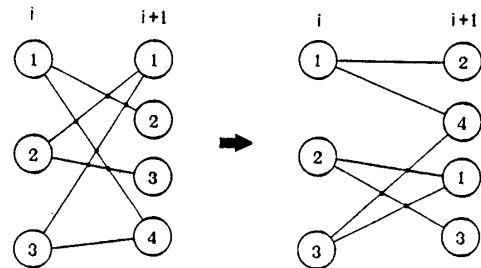


図4 配線交差数減少イメージ

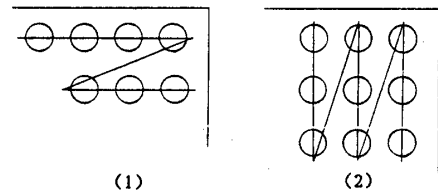


図5 折り返し配置

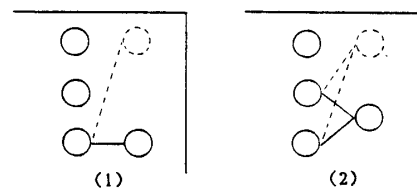


図6 配置補正

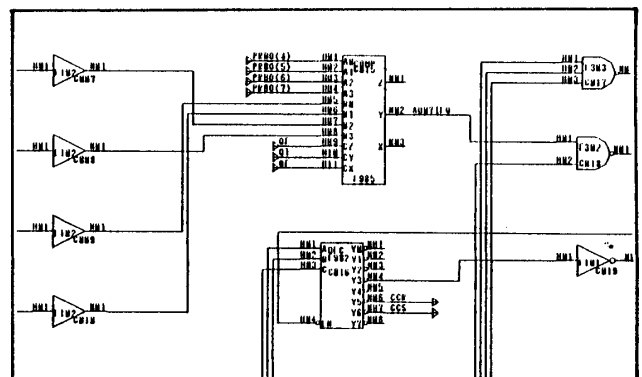


図7 生成された回路図例 (部分)