

## タイミング検証に適した 系列集合論理シミュレータについて

6Q-7

木村 晋二      羽根田 博正  
(神戸大学 工学部)

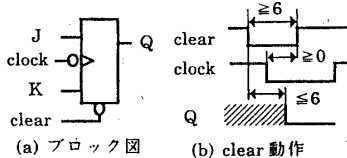
### 1. まえがき

論理回路のタイミング仕様は通常タイミングチャートで与えられる。また通常は論理回路の動作を離散時間上で考えるので、タイミングチャートの意味を系列集合として与えることができる。よって、タイミング検証では、タイミングチャートに対応する系列の集合が、与えられた論理回路で正しく実現されているかどうかの判定を行えば良い。しかし、これまでは、タイミングチャートに対応する系列集合から特徴的な系列を選び、その系列に対して論理シミュレータで検査されるだけであり、設計誤りを見逃す危険があった。ここでは、系列の集合に対して直接論理回路の動作を模倣し、タイミング検証を行う系列集合論理シミュレータについて述べる。これにより、タイミングチャートで表わされたタイミング仕様を漏れなくかつ効率的に検証できる。

### 2. 論理回路のモデル

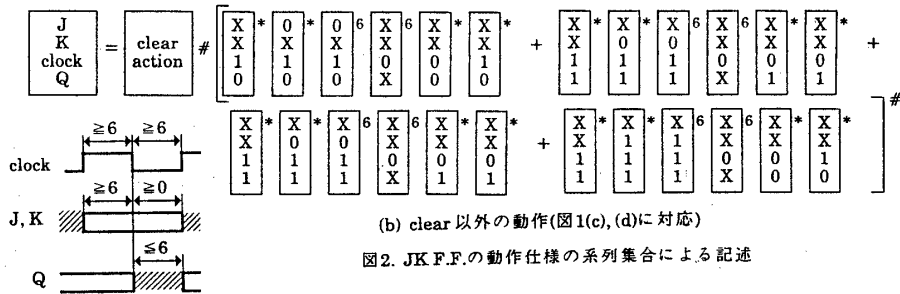
ここでは、論理回路の動作について考察する。まず、1単位時間の遅延素子の動作は、入力に加えられた値が1つずれて出力に現れるものである。これは、{1, 0, X}を入力として、3状態の有限オートマトンで表わすことができる。また、論理ゲートは遅延を持たない論理演算と1単位時間の遅延素子を用いてモデル化する。なお以下の例では、まず論理演算を行い、その後に遅延素子を置くとする。

フリップ・フロップのように複雑な機能素子の動作は、図1に示すようなタイミングチャートに



clear	clock	J	K	Q(t)	Q(t+1)
1	↓	0	X	0	0
1	↓	1	X	0	1
1	↓	X	0	1	1
1	↓	X	1	1	0

(c) clear 以外の動作



(b) clear 以外の動作(図1(c), (d)に対応)

図2 JK F.F.の動作仕様の系列集合による記述

より与えることができる。図1(a)にはJK F.F.のブロック図を、図1(b)にはJK F.F.のclear動作を、図1(c), (d)にはJ, Kの入力に対する動作とタイミングを示す。また図2にこれらの系列集合による表現を示す。なお、#は $xb^n \# a^n cy = xba^n cy$ のように一部を重ねる接続であり、#は#による閉包である<sup>(1)</sup>。

### 3. タイミング検証の例

ここでは、図3に示すようなJK F.F.の実現(文献(2)より引用)において、図1、図2で示す仕様が正しく実現されているかどうかを、系列集合に対する論理回路のシミュレーションにより示す。なお図中の数字は各素子の遅延時間を表わす。

まず図1(b)のclear動作について考察する。これは、clearとclockに図1(b)に示すような入力を与えたとき、Qに図1(b)に示すような出力が出るかどうかである。しかし、図3の回路はフィードバックループを持ち、このままでは扱いにくいので、図4に示すようにフィードバックループを切った回路で考える。入力clear, clock, Qに図2(a)に示す系列集合を与えて、出力Qが常にQと等しいときには、図3の回路においても正しい出力が期待できる。これは、以下に示す定理が、時間に関する数学的帰納法により証明できることによる。

#### [定理]

図5(a)および図5(b)に示す論理回路で、IおよびI'に同じ入力を与え、かつYに適当な入力を与えて、以下の条件が満たされるならば、 $Y=Y'$ である

$$\begin{matrix} \text{clear} & = & 1 & * & 0 & 6 & 0 & * & 1 & * & 1 & * \\ \text{clock} & = & X & * & X & * & X & * & 0 & * & 0 & * \\ Q & = & X & * & X & * & 0 & * & 1 & * & 1 & * \end{matrix}$$

(a) clear 動作(図1(b)に対応)

る。ただし、Cは組合せ論理回路を表わす。

(条件1)  $\underline{Y}$ から $Y'$ への遅延時間は0より大きい。

(条件2) 時間0から、 $Y$ から $Y'$ への最大遅延時間の間、 $\underline{Y}=Y$ である。

(条件3) 任意の時間において $\underline{Y}=Y'$ である。□

図4の回路の出力Qの値は、各素子の出力に現れる系列集合を図6に示すように順次求めて行くことにより求めることができる。例えば、図6の(A, clear, clock, Q)<sup>T</sup>は、clearが0になってから4単位時間遅れてAが1になる系列集合を表わしている。図6で各素子の出力を求めるときには、(clear, clock, Q)の部分でタイミングを合わせている。図6の(Q, clear, clock, Q)により、タイミング仕様が満たされていることがわかる。また、図1(c)に示す仕様についても、同様に検証できる。

4. 系列集合論理シミュレータ

系列集合論理シミュレータは、系列集合に対して論理回路の動作の模倣を行うものである。以下では、3.で例示したシミュレーションのアルゴリズムを示す。

まず単位遅延素子について述べる。基本的には、3状態の有限オートマトンで、入力される系列集合を変換することによる。これには、直積オートマトンの構成法を用いることができる。このとき最悪の場合には状態数はもとの3倍になるが、例に示すように通常はそれほど増加しない。

つぎに論理演算を行う素子について述べる。2入力の素子(入力をA, Bとする)では、入力系列の集合が二つ与えられる。これらを各々(A, Timing Signal), (B, Timing Signal)上の系列集合とする。このとき、Timing Signalの部分に合わせて(すなわち、Timing Signal部の値が等しくなるようにし

て)、A, Bの部分で論理演算を行う。3.の例では、(clear, clock, Q)の部分でTiming Signalである。

タイミングチャートで機能が表わされる素子(m入力n出力とする)については、まずその素子に入力される(I<sub>1</sub>, ..., I<sub>m</sub>, Timing Signal)上の系列集合を構成し、機能を表わすタイミングチャートに対応する(O<sub>1</sub>, ..., O<sub>n</sub>, I<sub>1</sub>, ..., I<sub>m</sub>)上の系列集合と(I<sub>1</sub>, ..., I<sub>m</sub>)の部分で合わせるにより(O<sub>1</sub>, ..., O<sub>n</sub>, Timing Signal)上の系列集合を構成する。このとき、(I<sub>1</sub>, ..., I<sub>m</sub>)の部分で合わせるができないときは、その素子の入力として適当でないものが入力されていることになり、この素子へ入力を与える回路の誤りとみることができる。これは入力制約の検証と呼ばれ、誤り位置の決定に有効である(1)。

5. むすび

ここでは、系列集合に対して論理回路の模倣を行うことにより論理回路のタイミング検証を行う手法と、その手法の適用例を示した。この手法の適用においては、動作の模倣の途中で、系列集合の記述量がどの程度になるかが問題である。これについての正確な評価は、今後の問題として残っている。また、ここで示した手法に基づき、系列集合に対して論理回路の動作の模倣を行う系列集合論理シミュレータを開発したいと考えている。

謝辞 御討論頂く、京都大学矢島脩三教授ならびに安浦寛人博士に心から感謝いたします。

参考文献

- (1) 木村, 矢島: "論理回路の入力制約および入出力仕様の記述とその検証", 信学論(D) (1986-04).
- (2) "The Bipolar Digital Integrated Circuits Data Book for Design Engineers", Texas Instruments, Inc. (1976).

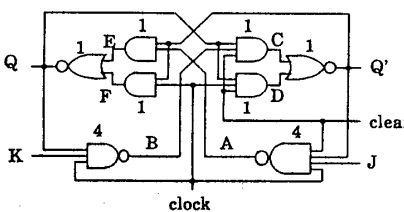


図3. JK F.F.の実現(文献(2)より引用)

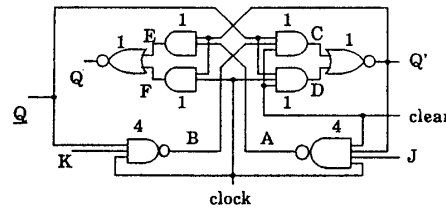


図4. JK F.F.の検証用の回路

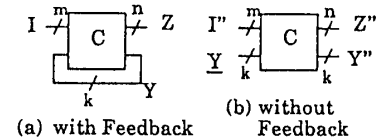


図5. フィードバックループの切断

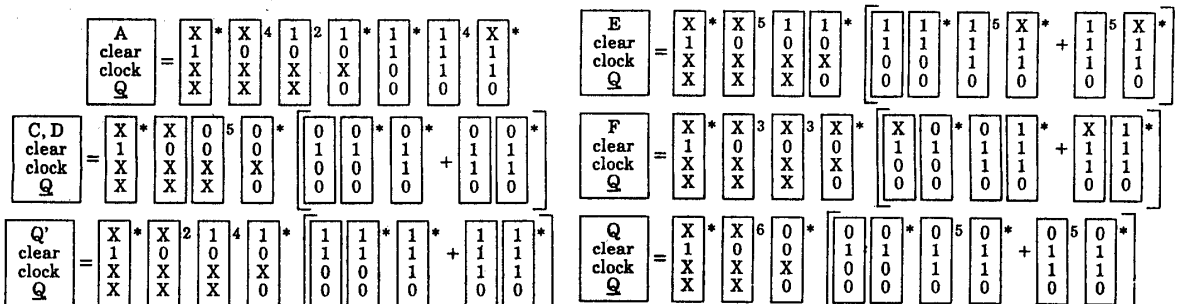


図6. JK F.F.のclear動作の検証