

6Q-5

MOS論理回路のタイミングシミュレーションの一方法

竹之上 典昭 ・ 古賀 義亮
(防衛大学校)

1. はしがき

MOS論理回路の論理検証のツールとしてスイッチレベルシミュレータが注目されている。スイッチレベルシミュレーションは、MOSトランジスタをスイッチとして扱い論理を検証する方法である。スイッチレベルシミュレーションでは、MOS論理回路をスイッチが結合したスイッチネットワークとして扱いシミュレーションを行うために論理値やMOSトランジスタに強さを与えこの強さによってスイッチネットワークの論理を決定する方法が多く用いられている。このような中において論理値等に強さを与えず各MOSトランジスタ等を3ステートイベント法と呼ばれる方法によってイベントを管理し、これによってシミュレートする方法も提案されている。

ここでは、3ステートイベント法によるシミュレーション方法において遅延を考慮したタイミングシミュレーションの方法について提案を行いこれを実現するためのシミュレータの構成法について述べる。この方法によれば簡単なタイムホイールでシミュレーション時間の制御が行えることも示す。

2. シミュレーションのモデル

本方式においては、MOS論理回路をMOSトランジスタ・抵抗・結線の基本要素から構成されたものとしてとらえる。基本要素は、互いに独立したタスクとして扱う。タスクは図1のような構造をしており、三つの手(端子)によって相互に結合し、ネットワーク(以後タスクネットワークと呼ぶ)を構成している。oprはタスクの機能を表しそれぞれの手には状態を示すstat, 値を格

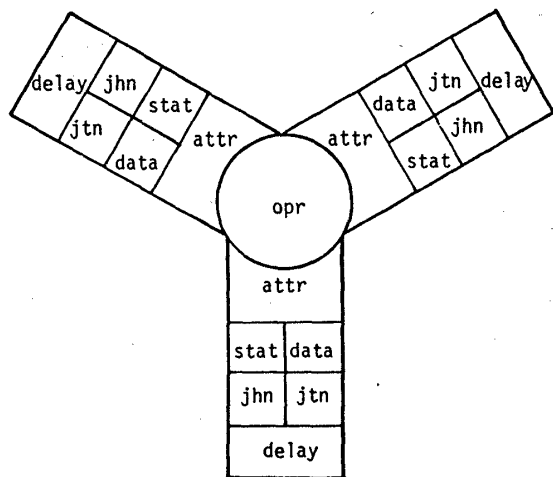


図1 タスクの構造

表1 タスクの機能と手の属性

タスク 手の属性	NMOSGATE PMOSGATE	CONNECTION	RESISTOR DIODE	CLOCKGEN
JOINT		○	○	○
INPORT	○	○	○	
OUTPORT	○	○	○	
SOURCE	○		○	
GATE	○			
DRAIN	○			
INGATE	○			
DATAGATE	○			
VALUE	○	○	○	
NONE				○

○:手の属性として存在するもの

納するdata, 属性を示すattrがあり、joint_task_number(jtn), joint_hand_number(jhn)にタスク間の接続情報を格納し、遅延の情報はdelayとして手の構造の中に格納されている。このような構造を有するタスクの性質はタスクの機能と手の属性との組み合わせによって決定され、表1の組合せがある。

遅延情報を手の構造に持たせるのは、

- (1) タスクの手の属性により異なる遅延情報を的確に与えることができる。
- (2) 遅延のモデルをタスクの演算とは切り離してあつかえ、タスク間の線間遅延をも含めて扱うことができる。

からである。

3. シミュレーションの方法

MOS論理回路のスイッチレベルシミュレーションにおいては、MOSトランジスタ(スイッチ)自体に論理を決定し値の流れを制御する機能はなく、MOS論理回路(スイッチネットワーク)に構成されて始めてこの機能が付与される。そのため本方式では、タスクネットワークを並行的に動作させネットワークの安定により論理値を決定する方法を用いる。タスクの実行はイベントによって管理する。イベントは手の状態(active, waiting, sleepingの3種)によって判断する3ステートイベント法を用いる。遅延はタスク間の通信における伝送遅延として扱われる。

図2は、CMOSのNOT回路をシミュレートする場合のイベントの発生と値の流れを示したものである。まず、値に偽(F)が入力されるとタスクC1はその値をタスクP1, N1に伝送する。P1はこのときONとなり、ドレインの値:真(T)をソースの方へ伝送する。N1はOFFとなるため

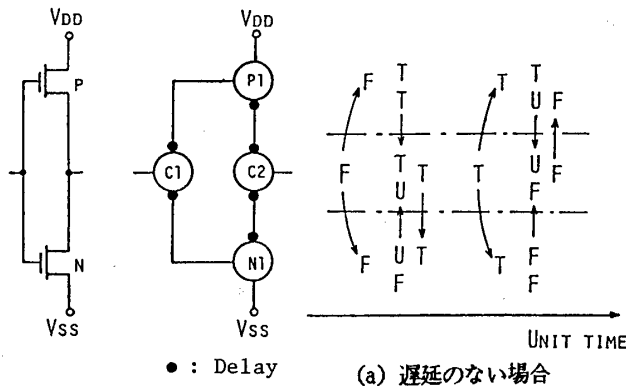


図2 シミュレーションの流れ(CMOS-NOT)

不定 (U) をドレインの方へ伝送する。このときN1のゲートはwaiting 状態となる。TとUを受けとったC2は、その値をTに決定しN1へ再び伝送するが、N1のゲートがwaiting になっているためイベントは発生せずシミュレーションが終了する。この例に示したように、回路の遅延をも含めたシミュレーションが行われる。

4. シミュレータの構成法

遅延シミュレーションのための時間制御の方法としてタイムホイールを用いる方法がよく知られている²⁾。この方法は、処理された素子（ここではタスクに相当する）がn単位時間の遅延をもって次に処理すべき素子へと情報を伝達する場合には、n単位時間後にイベントが発生するように、タイムホイールへ素子の情報をリンクする。シミュレータはタイムホイールのリンク情報を基に時間管理を行いながらシミュレーションを実行するものである。

この方法によれば、素子の最大遅延時間 (N_T) の範囲内のシミュレーションは正確に処理され、イベントの管理等の制御も簡単に行うことができる優れた方法であるが、反面、この方法ではシミュレータを作成した時点において N_T の大きさが決定されてしまい、標準遅延のモデルを扱うには、やや不適當である。また、イベントが無くなると同時にシミュレーションを終了するためには、各単位時間毎に処理の後でタイムホイールの全周すべてをなぞり、イベントの有無を確認しなければならないという欠点もある。

ここでは、データ伝送を行うスタックによって時間制御の補助を行う方法を提案する。この方法によれば、任意の長さの遅延を扱うことができ、タイムホイールの扱いも簡単に行うことができる。この概念を図3に示し、このような機能を有するスタックを以後遅延スタックと呼ぶ。シミュレータはタスク処理後の伝送データ（遅延

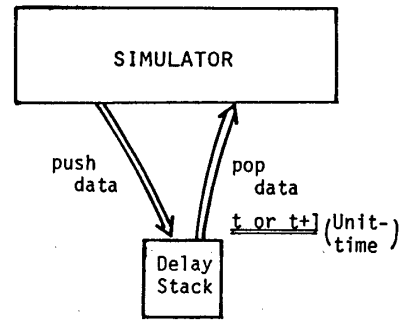


図3 シミュレータと遅延スタックの概念図

情報も含む) を遅延スタックに渡し、その時刻におけるタイムホイール上のタスクの処理が終了すると遅延スタックから同時刻または一単位時間後のデータをシミュレータに返すというものである。このような遅延スタックを用意すればタイムホイールの大きさは二単位時間だけあれば十分であり、シミュレーションを終了する時も次の単位時間にイベントが無いことを確認するだけでよい等シミュレータの制御構造を簡単に行うことができる。

次に、このような時間制御を行う遅延スタックの単位時間内の処理手順を示す。

- (1) シミュレータから受とったデータを遅延スタックに蓄積する。
- (2) シミュレータからのデータ請求に応じて遅延スタック上から遅延時間が1以下のものすべてをシミュレータに渡す。
- (3) 遅延スタック上に残されたデータの遅延時間をすべて一単位時間減らす。

このように遅延スタックは、シミュレータがその時刻において必要とするデータのみを与える機能を有しており、遅延スタックをハードウェアとしてシミュレータから切り離すことによってシミュレーションの機能を分散し、シミュレーションを高速化することができる。

5. まとめ

本論においては、3ステートイベント法によるスイッチレベルシミュレーションのタイミング検証の方法について新たな提案を行った。また、シミュレーションの時間管理をシミュレータ本体から切り離し、シミュレーションを行う方法も述べた。今後の課題としては、立ち上り・立ち下り等の遅延情報も扱えるシミュレータを開発することがある。

謝辞

本研究において、シミュレータ開発に協力してくれた本科4学年川端 達也学生に感謝の意を表す。

参考文献

- 1) 竹之上, 古賀: MOS論理回路のスイッチレベルシミュレータの開発, 情報処理学会, 設計自動化研究会資料, DA31-1 (1986).
- 2) Breuer M. A. and Friedman A. D.: Diagnosis & Reliable Design of Digital Systems, Computer Science Press, INC., Digital System Design Series (1976).