

超高速 (4 MB/s) 大容量 (8 MB)  
ハードウェアソータの実装

5H-2

鈴木 孝<sup>†</sup> 楊 維康<sup>‡</sup> 喜連川 優<sup>‡</sup>

(<sup>†</sup>三菱電機 <sup>‡</sup>東京大学生産技術研究所)

1. はじめに

以前より研究試作を続けているパイプラインマージソータに基づくソートプロセッサ[1]を複数台連結し、高速大容量のメモリも合わせて実装することにより、超高速大容量ハードウェアソータ(以下ソートユニットと呼ぶ)を試作した。

このソートユニットは、18段ソートプロセッサにより、ソート容量8MB、最大26万個のレコードを4MB/secの処理速度で一度にソートすることが可能となっている。

また固定長String Length Tuning Algorithm(SLT)を実装し、高効率メモリ管理を行えること、高速大容量のメモリをマルチモード機構により、有効利用できることなどの特長を有している。

2. ソートユニット構成

今回試作したソートユニット構成図をFig.1に示す。

P1-P18がソートプロセッサで、直線状に連結される。メモリは各ソートプロセッサごとに付加される。またメモリは2ポート構成となっており、他のメモリバスからアクセスすることができる。

この構成では、レコード長が32Bのとき、M1=32B、M2=64B、・・・、M17=2MB、M18=4MBとなり、総容量8MB、レコード個数として $2^8=256$ K個(約26万件)のレコードを一度にソートできる。またこの場合の所要時間はスループットが4MB/secより2秒間である。レコード長がこれよりも長い場合は、初段からの数段をバイパスすることによりソート処理を行い、入力レコード長の制限はない。

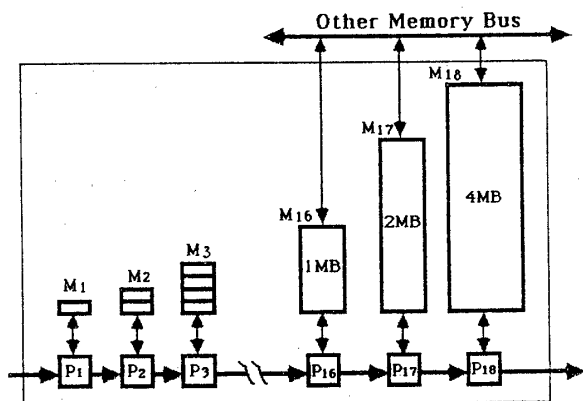


Fig.1 Structure of Sort Unit

3. 入出力インターフェース

Fig.2にソートユニットの入出力信号を示す。

データは2バイト幅を持ち、クロックに同期して出力されるDATA VALIDによって入出力動作が行われる。A/D信号は昇順/降順をレコードごとにバイト単位で示す。SORT END信号は、全レコードのソート終了後に最終段(P18)から出力される。RESET、HALT、CLOCKは全ソートプロセッサに共通に与えられ、それぞれ内部ハードウェアリソースの初期化、ソートプロセッサの一時停止、システムクロックの各信号線である。また2ポートのメモリバスとしてアドレス、データ、制御信号が与えられ、他のシステムからのメモリアクセスができる。

Fig.3に各ソートプロセッサ間、各メモリのインターフェース信号を示す。

メモリは24-bitアドレスで16Mワード(32MB)まで搭載可能となっている。

ソートプロセッサ間のインターフェースは前述の仕様と同等である。データ入出力動作は、各段が出力するDATA VALIDによって制御される。各ソートプロセッサは共通に与えられたクロックに同期してマイクロプログラム制御が行われる。

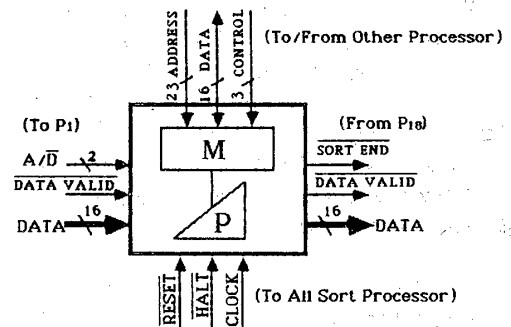


Fig.2 I/O Signals for Sort Unit

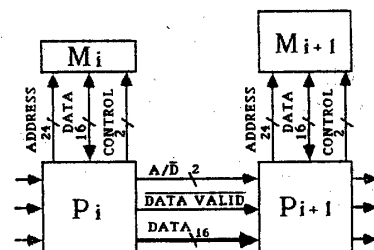


Fig.3 Sort Processor Interface

ソートユニットの動作は次のように行われる〔2〕。はじめにRESET 信号が全ソートプロセッサに与えられ、ハードウェアの初期化が行われる。次にFig.4 で示される初期化データ（3ワード）とレコードデータストリームが順次入力される。初期化データI1にはSLT をどの段で実行するかの情報、I2にはレコード長の情報、I3にはレコード長が初段のメモリより大きい場合、何段目までをバイパスするか情報が入っている。それらが各段のソートプロセッサに順に伝えられ、各段の内部リソース（各種カウンタ等）に値が設定される。以下入力されるレコードごとに付加された2ワードのフラグによりSLT 等の機能を各段のソートプロセッサが処理し、次段にソートされたデータストリームを出力していくことにより、全体としてパイプラインマージソートを実行していく。

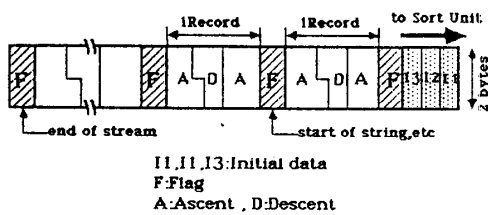


Fig.4 Input Data Stream

#### 4. 実装

##### 4-1. ソートプロセッサ

今回実装した各ソートプロセッサは29cmx31cm のマルチワイヤ基板に、ICを約220個搭載している。特殊なLSIは使用しておらず、マイクロプログラムの制御記憶ROMやRAM（後述）を除くと、各種レジスタ、カウンタ、シーケンサも全てMSIで実装されている。ソートプロセッサ1枚当りのゲート数は約8000ゲートである。またソートプロセッサ基板には、メモリとして32Kワード(64KB)のOn Board Memoryが実装されている。始めの数段の少量のメモリのためにメモリボードを1枚付加することは、実装上効率が極めて悪いためである。

##### 4-2. メモリ

P1-P12までは、On Board Memoryを使うため外部メモリは実装されない。P13-P18は大量のメモリを使うため、外部メモリ構成とした。その構成としては、M13=128KB、M14=512KB、・・・、M17=2MB、M18=4MBとなっている。これらをソートプロセッサと同一の基板に1MBメモリボードとして設計することにより実装している。メモリチップとして64Kx1のSRAMを用い高速化を図っている。この基板は一種類で、メモリチップの個数と基板枚数を各ソートプロセッサに対応させて実装している。またこのメモリボードは前述のように2ポートメモリを構成している。

##### 4-3. ソートユニット

ソートユニット全体の基板枚数は、ソートプロセッサが18枚、外部メモリが10枚、さらにデータ入出力用のインターフェイス基板を含めて計29枚であり、これらを一つの筐体に収納している。

Fig.5にソートプロセッサ基板を、Fig.6にソートユニットの外観を示す。

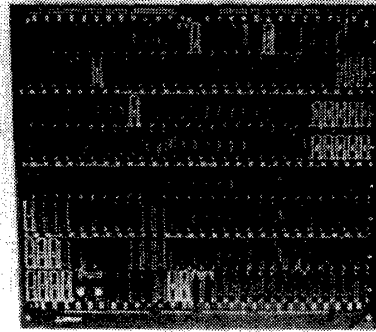


Fig.5 Sort Processor

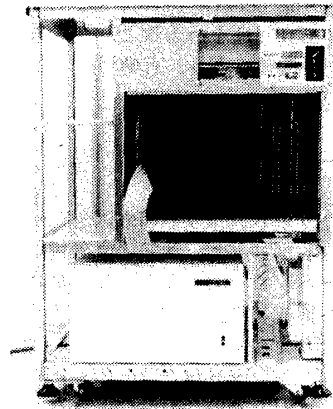


Fig.6 Sort Unit

#### 5. おわりに

ハードウェアソータを多段結合することにより、大容量データを超高速にソートできることの実証と、SLTの動作の確認を行った。

今後は、さらに詳細な性能評価を行っていく。

またこの性能を生かせるような駆動環境を設計製作することにより、データベースマシン〔3〕や機能ディスク〔4〕のシステム化を目指していく予定である。

##### <参考文献>

- 〔1〕 楊他 「Length Tuning 機構を有するハードウェアマージソータの設計」 第30回情報処理大会 1D-8, '85
- 〔2〕 鈴木他 「ハードウェアマージソータの駆動系の設計」 第30回情報処理大会 1D-9, '85
- 〔3〕 鈴木他 「GRACE プロトタイプシステムにおけるプロセッシングモジュールの設計」 第31回情報処理大会 1B-8, '85
- 〔4〕 喜連川他 「高速ソート機構を有する機能ディスクシステム」 第33回情報処理大会 5H-7, '86