

マルチPSI要素プロセッサPSI-IIのアーキテクチャ

7B-3

中島 克人 瀧 和男 中島 浩 京 敬人 江原 輝文 山本 明 横田 実  
 ((財) ICOT) ((株) 三菱電機) (沖電気工業(株)) (日本電気(株))

1. はじめに

第5世代コンピュータ・プロジェクトの中期テーマの1つとしてマルチPSIを開発中である。マルチPSIは並列論理型言語KL1(核言語第1版)を用いた各種並列プログラム開発に用いる事を目的としたツールであり、専用のネットワーク・ハードウェアで16~64台の要素プロセッサ(PSI-II)を接続したシステムとする計画である。本稿ではPSI-IIの設計方針およびアーキテクチャについて述べる。

2. 設計方針

2.1 PSIベースのアーキテクチャ

マルチPSIがツールとして満足できる性能を発揮するためには、その要素プロセッサが単体として十分高速でなければならない。しかしながら、KL1を並列動作させる場合の要素プロセッサとしての最適なアーキテクチャはまだ判っていない。むしろそれは、マルチPSIやPHIのこれからの研究テーマそのものであるといえる。従って、現在までにPSI等を通じて得たKL0高速実行のためのアーキテクチャに関する知識をベースにし、かつ、KL1にも柔軟に対処できる汎用性および拡張性を持ったプロセッサの規模とする事とした。

2.2 小型化

PSI-CPUの程度(プリント基板12枚)の要素プロセッサを16~64台接続するためには、LSI化は必須である。我々は設計工程なども考慮して、低消費電力で集積度も比較的高く、開発の容易なC-MOSゲート・アレイLSI(8000ゲート)を全面採用する事にした。また、PSIで各所に散在していたメモリ類は、徹底的に削減・統合した他、マイクロ命令のビット幅も縮小し、CPU部分をプリント基板3板にまとめる事にした。

2.3 目標性能

PSI規模のハードウェアで達成可能な性能として、KL0実行時に実効100KLIPS、appendプログラムで200KLIPS以上を目標とした。この値はPSIおよびCHIの経験に基づいて設定されたものであり、Prolog専用機械語命令(Prolog Machine Instruction: PMI)とコン

パイラによる最適化、いわゆるWarren Code [1]の採用と、PMIの実行に適したアーキテクチャをとる事により達成する事にした。サイクル時間に関しては、C-MOS LSIの採用という事で、その短縮はあきらめ、PSIと同じ200nsecとする事にした。

2.4 汎用性・拡張性

KL1処理系の実現にはPMIとは異なる命令セットが一組必要になるであろう。その命令レベル(細かさ)はPMIと同等のものが設定し得ると考えている。ただし、PMIのようなスタック・ベースのものとは異なるものかも知れない。PSI-IIでは、PSIと同様、スタックのための特別なハードウェアは設けず、キャッシュ・メモリ(4K語。PSIでは4K語×2セット)とエリアごとに自由に領域(実メモリ)を割り付けていくためのアドレス変換機構を備えている[2,3]。また、KL1用命令セットをPMIと同時にサポートする場合等に備え、命令コードに10ビット(1024命令)確保した。また、データ・タイプによる多方向分岐のための分岐

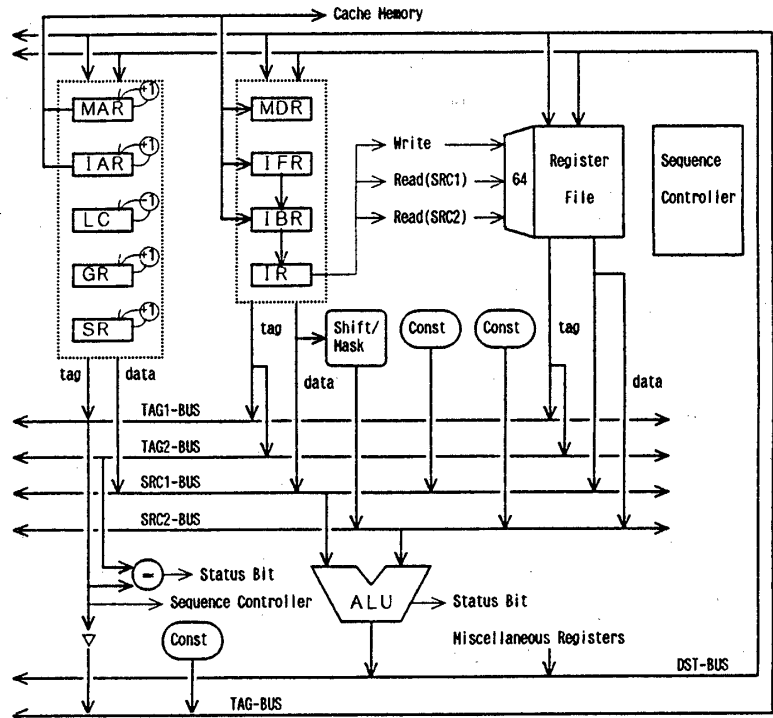


図 1. PSI-II 機内部

Architecture of Multi-PSI Element Processor (PSI-II)  
 K.Nakajima, K.Taki, H.Nakashima, T.Kyou, T.Ehara, A.Yamamoto, M.Yokota  
 (ICOT) (Mitsubishi Electric) (Ok Electric Industry) (NEC)

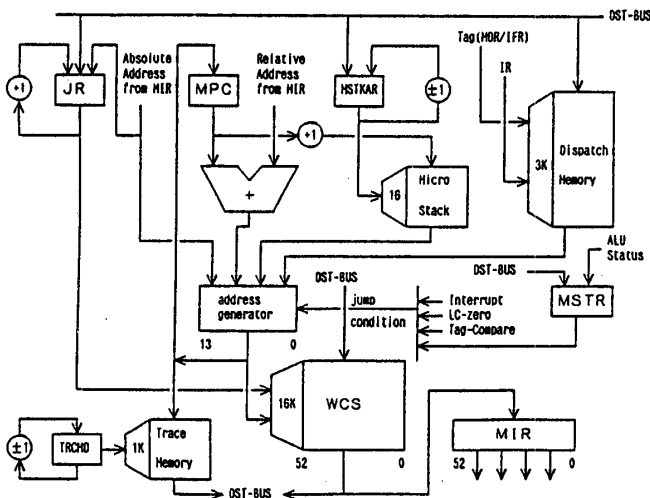


図 2. PSI-II シーケンス制御部

パターンを格納しておく Dispatch Memory も大容量メモリを利用して12パターンから32パターンに拡充した。

### 2.5 スタンド・アロン・システム

今後高まるであろう PSI の小型化・高速化への期待に応える事は、プロジェクト推進の上でも重要な事である。我々は PSI-II に入出力装置を接続し、そのままスタンド・アロン・システムとして使用できる事を考慮して、CPU 設計を行なった。更に、最大主記憶容量も 4 倍の 64M 語 (320M バイト) に拡張した他、多重論理空間を採用する事により、PSI における生成プロセス数の制限 (< 64) をなくす [3] 事にした。

## 3. アーキテクチャ

図 1 に PSI-II の演算部を中心としたブロック図を、図 2 にシーケンス制御部のブロック図を示す。

### 3.1 データ・バスとレジスタ・ファイル

PSI と同様、1 語はタグ 8 ビット (GC 2 ビット、データ・タイプ 6 ビット) とデータ 32 ビットの計 40 ビットからなり、ALU の左右入力および出力の 3 バス構成となっている。64 語の 2 ポート・レジスタ・ファイルは指数レジスタや制御レジスタ、ワーク・レジスタに使用される。

### 3.2 メモリ・アクセス

やはり PSI と同様、2 組のメモリ・アドレス・レジスタ (MAR/IAR) を持ち、それらは自動インクリメント機能を持つが、PSI-II では、IAR は常にプログラム・カウンタとして使用される。IAR でフェッチされた命令語は IFR、IBR、IR の 3 段のパイプライン・レジスタに流れ込む事になり、IR の内容によって実際の命令処理が行なわれる。パイプラインの制御をすべてマイクロ命令自身で行なう事により、ハードウェアは簡略化されているが、それでも、最も短い命令では 1 CPU サイクルでその処理を終えることができる。

### 3.3 カウンタ

PSI と同様のループ制御用のカウンタ LC の他に、PHI で頻度の高い Global Stack Top および Structure Element Pointer のインクリメントを ALU での演算とは並行して行なうために GR、SR の 2 つのカウンタを用意した。

### 3.4 WCS とマイクロ命令

RAM の削減および配線の容易化をねらって、マイクロ命令の各フィールドのエンコードの度合いを高め、ビット長を PSI の 64 ビットから 53 ビットまで縮小した。

マイクロ命令の特長としては、分岐命令の強化があげられる。処理の高速化に伴ない分岐の頻度が高くなるためである。マイクロ・オペレーションの組み合わせの制限から『思い通りの分岐ができない』等ということができるだけないようにコード割り付けを行ったほか、条件付き eop (命令終了および次命令ディスパッチ) や条件付きサブルーチン・コール/リターンなどの機能面の拡充も図った。また、割り込みのような例外的条件の判定は、eop 時にハードウェアで検出する事により、通常の (頻度の高い) 処理中のオーバーヘッドを避けた。PSI-II ではこの割り込みの要因として、外部割り込み (入出力割り込みなど) の他に、ファームウェアによる特殊処理を必要とする事象、例えば、ページ割り付け要求 [3] やトレーサ起動、および、ファームウェアによるデバッグ・測定ルーチンの起動等を含めている。

### 3.5 KLO 処理方式

前述のように、PSI-II では Warren Code をベースにした処理方式を採用することにした。命令は簡単のため、PHI、組込み述語用ともに、バイト・コードとはせずに語単位とした。スタックはグローバル、ローカル、トレールの 3 本とし、各プロセスごとに独立に与え、ヒープ領域とシステム・エリア (プロセス管理用テーブルなどに用いる) はシステム全体にそれぞれ 1 つ割り当てた。構造体に関しては、Warren Code に適した Structure Copy 方式とした。

## 4. 今後の計画

PSI-II の CPU 部は 86 年末、スタンド・アロン・システムのハードウェア・KLO 用ファームウェアは 87 年 3 月完成、マルチ PSI のハードウェア・KL1 用ファームウェアは 87 年末完成を目標としている。

### 参考文献

- [1]: D. H. D. Warren, An Abstract Prolog Instruction Set, TR309, SRI, 1983.
- [2]: 瀧他, パーソナル逐次型推論マシン PSI のハードウェア設計, The Logic Programming Conf. 1984, Tokyo.
- [3]: 古田他, マルチ PSI 要素プロセッサ PSI-II のメモリ管理とプロセス管理, 第 33 回情報処理全国大会, 1986.