

# 組み込み向けリアルタイム画像合成テクスチャキャッシュの開発

米澤 栄斉 加藤 義幸 鳥居 晃 濱田 雅樹 春日 隆文

三菱電機株式会社 情報技術総合研究所

## 1. はじめに

複数のカメラ画像を変形、合成し、任意視点の映像を生成する技術が提案され、種々のシステムに応用されている。エンターテインメント目的の他、車の全周囲監視[1]など安全を目的と分野においても利用が広がっている。このようにカメラ画像を変形、合成する手法として、テクスチャマッピングを利用した Image-Based Rendering 法[2][3]が研究されている。この手法によれば、カメラからの入力画像をメッシュに分割し、仮想の3次元視点位置画像モデルを再構築している。例えば、図1は、複数の魚眼カメラからの入力画像を変形・合成した例であり、真上から見たような視点画像を得ている。画像処理エンジンが、上記のような画像変換を処理する場合、テクスチャ（カメラ入力画像）のフェッチ処理がボトルネックとなりうる。これは、元画像の座標系から変形後の画像の座標系に変換する際に、画素の補間処理が必要となり、変形後の画像の画素 1pixel を得るのに複数の元画像の画素が必要となることに起因している。

本論文では、組み込み機器において、複数のカメラ入力画像のリアルタイムな変形、合成を可能とするテクスチャ回路のうち、テクスチャデータのフェッチ、キャッシュ処理を行うテクスチャキャッシュの開発について述べる。

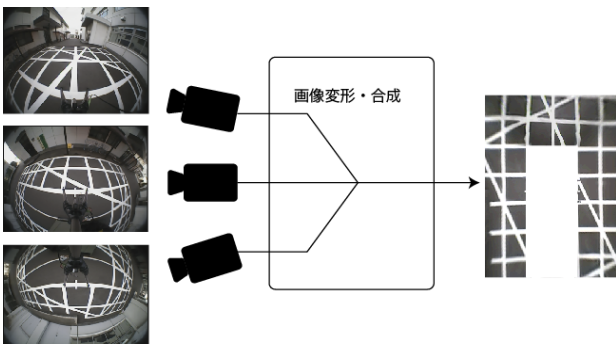


図 1 カメラ画像の変形・合成例

## 2. テクスチャ

テクスチャ処理では、テクスチャデータをキャッシュし、データフェッチの回数を低減する一般的な構成であるテクスチャキャッシュ機構を採用している。なお、本開発のテクスチャキャッシュ方式は、ダイレクトキャッシュ方式である。

## 3. 課題

### 3.1. 開発要求

本開発は、組み込み向けであり、使用できるハードウェア資源には限りがある。表1に本開発の要求事項をあげる。

項目	要求事項
動作周波数	~150MHz
最大解像度	WXGA
フレームレート	30fps
カラーフォーマット	ARGB8888(フルカラー)
補間方法	バイリニアフィルタ
データキャッシュサイズ	~10kByte
その他	キャッシュヒットミスペナルティ~50clk

表 1 要求事項

表1より、最大解像度でカメラ入力画像をリアルタイムに変形、合成するためには、(1)式に示す処理性能が必要となる。

$$4[\text{texel} / \text{pixel}] \times \text{WXGA}[\text{pixel}] \times 30[\text{fps}] \quad (1)$$

$$\approx 118[\text{Mtexel} / \text{sec}]$$

WXGA : 最大解像度

この処理速度を解決する手段として、以下の2点を検討した。

- (a)処理の並列化
- (b)キャッシュヒット率の最大化

### 3.2. 目標値の設定

課題達成に必要な並列化度およびキャッシュヒット率を設定する。想定している平均ミスヒットペナルティ (clk) を  $l$ 、並列度を  $p(\text{texel})$ 、ヒット率を  $h$ 、キャッシュヒット時のスループットを 1 処理あたり  $1\text{clk}$  とすると、不等式(2)を満たす必要がある。

A Development of Texture Cache for Embedded Real Time Image Synthesizer  
 YONEZAWA Eisuke ,KATO Yoshiyuki, TORII Akira,  
 HAMADA Masaki, KASUGA Takafumi,  
 Mitsubishi Electric Corporation. Information Technology R&D Center

$$\frac{f[\text{Hz}]}{h/p+l(1-h)} \geq 118[\text{Mtexel}/\text{sec}] \quad (2)$$

f : 動作周波数

#### 4. テクスチャキャッシュ構成

##### 4.1. 並列処理パイプライン

タグデータを比較し、キャッシュのヒット/ミスヒットを判定する回路のパイプライン構成を図2に示す。

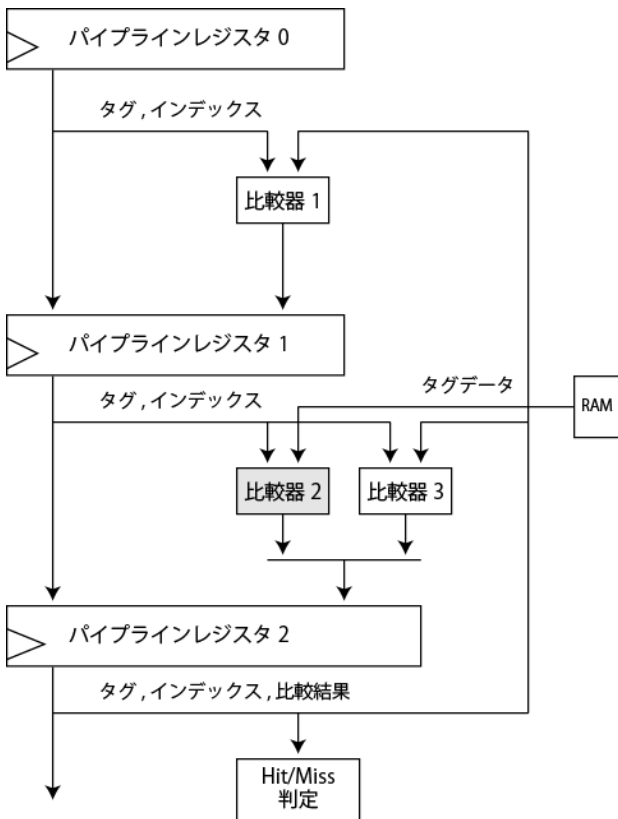


図2 タグデータ比較回路

図2のパイプラインにおいて、SRAMに保存したタグデータを比較するのは、比較器2の部分で、タグデータのSRAMへの書き出しはキャッシュヒット/ミスヒットの判定後となる。このため、比較器1および比較器3において、SRAMへ書き出し処理を行う前のパイプライン2にあるタグデータとも比較を行う必要がある。この構成によって、並列処理を実現する場合、タグとインデックスの比較回数は、並列度に応じた組み合わせ爆発が発生することとなる。このことから、並列度を4texel/clockと、回路規模へのインパクトを抑えることとした。

#### 4.2. キャッシュ構成

カメラ画像の変形、合成をするアプリケーションでのキャッシュヒット率シミュレーションを実施した。図3に結果を示す。

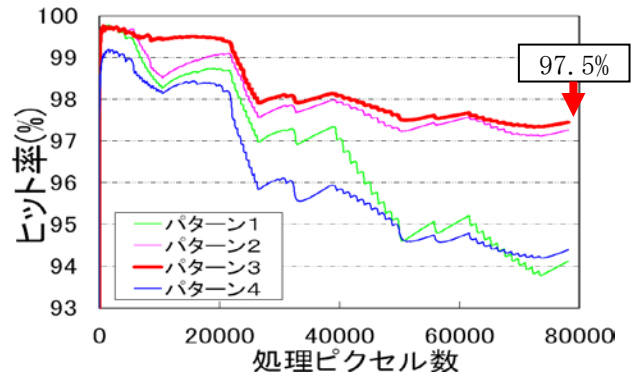


図3 ヒット率シミュレーション

横軸に、処理ピクセル数、縦軸にヒット率遷移を示している。パターン3において、キャッシュヒット率97.5%を達成した。

#### 5. 評価

並列度および、ヒット率シミュレーションの結果から、想定ミスヒットペナルティを50clockとすると、処理速度は、110Mtexel/secとなり、(2)式を満たさなかった。このため、ミスヒットペナルティを軽減するための回路を追加し、要求を満たすリアルタイム画像変形、合成処理を実現した。

#### 6. おわりに

本稿では、リアルタイムにカメラ画像をテクスチャマッピングによって、変形、合成表示を実現するテクスチャキャッシュ構成について述べた。当初の設計では、要求を満たさなかったが、追加のミスヒットペナルティの軽減回路により、要求を満たすことができた。

今後は、さらに処理テクセルを必要とするバイキュービックフィルタなどに対応するために組み合わせ爆発を起こさない並列処理回路について検討する。

#### 参考文献

- [1] 清水誠也, 谷口奨, 貴傳名忠司, 山田浩, 山田正博, Multi Angle Vision™ System to supplement Driver's Visual Field, fujitus-ten.co.jp.edgekey.net
- [2] S. M. Seitz and C. R. Dyer, View Morphing", Proc. SIG-GRAPH'96, pp. 21-30, 1996.
- [3] S. E. Chen and L. Williams, View Interpolation for Image Synthesis", Proc. SIGGRAPH'93, pp. 279-288, 1993.