

物理設計完全性のための新配線アーキテクチャ

黒川 敦^{†,††} 小野 信任^{†††} 鹿毛 哲郎[†]
井上 靖秋^{††} 増田 弘生[†]

近年のディープ・サブミクロン設計において、シグナル・インテグリティは設計収束のうえで非常に重要となっている。本研究では、ロバストな物理設計完全性を可能にする新配線アーキテクチャを提案する。電源線、グラウンド線による従来のシールド効果に加えて、新たに配線によるデカップリング容量を実現することが可能となり、さらに稠密な配線密度を保証することで、配線の製造ばらつきを削減する。

A New Interconnect Architecture for Physical Design Integrity

ATSUSHI KUROKAWA,^{†,††} NOBUTO ONO,^{†††} TETSURO KAGE,[†]
YASUAKI INOUE^{††} and HIROO MASUDA[†]

In recent deep submicron LSI designs, the signal integrity is extremely important to design in a short time. As a solution, we propose a new dense power-ground interconnect architecture that realizes more robust physical design integrity. This provides not only the usual shielding effect but also explicit decoupling capacitances by means of the power and ground lines. By using this architecture, high density wirings can be also guaranteed, so that manufacturing variations in interconnect are reduced.

1. はじめに

プロセス・テクノロジーの進化につれて、最先端の LSI は配線の微細化、高密度化、多層化、そしてクロック動作周波数の高速化に向かっている。近年のディープ・サブミクロン LSI のタイミング設計では、シグナル・インテグリティ (SI) の問題が深刻になってきている^{1)~3)}。SI 問題とは信号波形 (ノイズや遅延) に関わるさまざまな問題の総称で、クロストーク・ノイズや電源ノイズ等の問題に分類される。今後の SoC (system on a chip) 時代の先端システム LSI 設計では、SI 問題はきわめて重要な課題となっている。

SI 問題の 1 つであるクロストーク・ノイズは、配線間の干渉によって生じ、信号がほぼ同時に変化したときに、信号の遅延変動を招く。一般に被害を受ける側をビクティム、攻撃する側をアグレッサと呼んでいる。このクロストーク対策として、レイアウトの配線

トポロジの最適化¹⁾、並行配線の途中にバッファを挿入²⁾、信号線と信号線の間グラウンド配線を入れるシールド効果³⁾等の方法が知られている。SI 問題のもう 1 つである電源ノイズは、セルのスイッチング電流 (I) と電源線の抵抗 (R) によって、静的 IR ドロップを引き起こし、またセルのスイッチングと電源線のインダクタンス (L) や容量 (C) を含む RLC によって、 ΔV ノイズが生じ、結果として信号遅延に影響を及ぼす。電源ノイズの対策として、電源グリッドのピッチを狭くする、電源線とグラウンド線の配線幅を広くする、MOS デカップリング容量を入れる等が知られている^{4)~7)}。

システム LSI のタイミング設計において、DFM (design for manufacturability) や配線の寄生素子抽出も重要な位置を占める。DFM として、平坦化や加工仕上がりを良くするために、CMP (chemical-mechanical polishing)、ダミーフィル、OPC (optical proximity correction) 処理を施している。寄生抽出はより高い精度を得るために電磁界解析ツールを使って、多くの配線構造の寄生素子を求め、配線ライブラリを作っている。またインダクタンスの影響も無視できず、その抽出も重要になってきている。しかし、配線ディメンジョンのばらつきを含む複雑な配線構造の

† 株式会社半導体理工学研究センター

Semiconductor Technology Academic Research Center

†† 早稲田大学

Waseda University

††† 株式会社ジーダット・イノベーション

Jedat Innovation

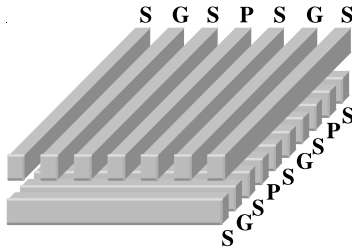


図 1 DWF の配線構造
Fig. 1 DWF structure.

ために現行の寄生抽出の精度は決して十分とはいえない。

これらの問題と対策は、解析と修正と検証のために、設計期間を大幅に増大させている。現行の設計メソッドでは今後のハイパフォーマンス LSI のタイミング収束が困難になると予測される。

上述したいくつかの問題を解決する手法として、DWF (dense wiring fabric) 構造を採用する手法^{8)~10)}が報告されている。DWF 構造とは、図 1 に示すように、すべての信号線を電源線とグラウンド線で挟む構造である。信号線 S に対する電源線 P とグラウンド線 G によるシールド効果によって、信号線どうしの容量性および誘導性クロストークによる遅延変動やグリッジ・ノイズを回避することが可能であり、また配線パターンの規則性による寄生抽出の簡易化も図れる。しかしながら、DWF 手法は、SI と配線の規則性の効果に限定されており、さらに文献 8)~10) では電源ノイズについては言及されていない。この構造は、電源網の抵抗の改善にはある程度寄与するものの、ダイナミックな電源ノイズに対する貢献度は低い。

従来の LSI の電源網設計では、単なる抵抗網としての IR ドロップの静的 DC 解析による設計がされてきた。しかし近年、動作周波数の増大にともない、RC 応答としての動的解析が必要となり、ワイヤ・サイジングのみならず、デカップリング容量のノイズ源への近傍挿入がハイパフォーマンス SoC の設計では必須になってきている。さらに電流量の多い電源網では、インダクタンスによる誘導 (Ldi/dt) ノイズを回避する設計が必須である。電源供給電圧に対する Ldi/dt ノイズの比率は、

$$(Ldi/dt)/Vdd \propto L * P_c * f_c / Vdd^2 \quad (1)$$

の関係がある¹¹⁾。ただし、 L はインダクタンス、 i は電流、 P_c はチップの消費電力、 f_c は動作周波数、 Vdd は電源電圧である。ITRS 2002¹²⁾によると、SoC low power でも、1 世代ごとに f_c は 1.5 倍、 Vdd は 0.8 倍の傾向を示し、 $P_c * f_c / Vdd^2$ は 1 世代ごとに約 2.3 倍

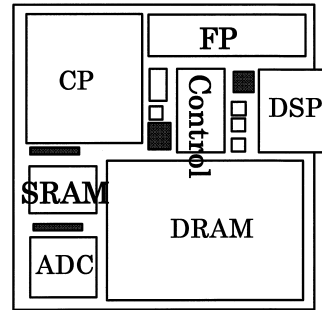


図 2 デカップリング容量挿入にともなうチップ・サイズの増大
Fig. 2 Extra die size for decoupling capacitance insertion.

になる。 Ldi/dt ノイズに対する実際の回避策は、上記の動的 IR ドロップに対するものと同じく、チップ内にデカップリング容量を置くことである。すなわち、高品質な大容量のデカップリング容量がこれらの解決のキーである。

最適なデカップリング割当ての問題は、フロアプランの段階で MOS デカップリング容量の配置が行われる^{5),6)}。しかし、これらの手法では、近傍に挿入するという制約のために、フロアプランの隘路で必要となるデカップリング容量挿入の面積コストは図 2 のように非常に高くなる場合がある。図 2 の黒の領域は、マクロ・ブロックの近傍に配置されたデカップリング容量を示す。

以上のように、先端システム LSI 設計では、SI 問題に関するさまざまな問題の解決が緊急課題となっている。しかし、従来、シグナル・インテグリティ、DFM、寄生抽出の問題は個別に議論されてきた。これらを個々に回避するメソッドでは今後のシステム LSI 設計は困難が予想される。

本論文では、これら諸問題を同時にロバストにする物理設計完全性のための新配線アーキテクチャを提案する。本論文の構成は以下のものである。2 章で我々が提案する新配線アーキテクチャの基本概念を述べ、3 章でその特徴を定量的な解析によって明確にし、4 章でまとめる。

2. 新配線アーキテクチャ

本論文では、物理設計完全性のための新しい配線アーキテクチャを提案する。本章ではまずその概念と構造について述べる。

2.1 基本概念

我々の提案する配線アーキテクチャの概念図を図 3 に示す。本アーキテクチャの基本構造は、電源線 P とグラウンド線 G の PG パターンをできる限り多く使用

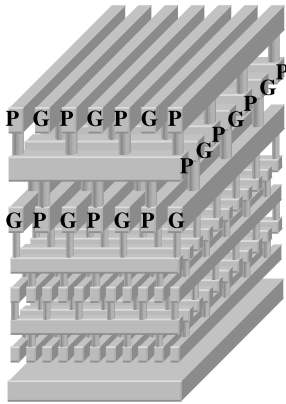


図 3 提案する配線アーキテクチャの構造概念図

Fig. 3 Illustration of proposed interconnect architecture.

して、電源線とグラウンド線によって、より多くのデカップリング容量を生成するように構成する。図 3 は、本アーキテクチャの最大の特徴であるこの PG 配線間デカップリング容量生成の概念を理解するために信号線を通していない例である。信号線はできる限り、電源線またはグラウンド線で挟まれるようにする。配線の幅とスペーシングは任意であるが、グリッド・ルータを仮定した場合、グリッド・ピッチに合わせて、幅とスペーシングを可変とする。対象層とその上下層の電源線どうし、グラウンド線どうしはできる限りピアで接続する。本構造を適用する場所(層やブロック)は任意である。ただし、メタル 1 層目、またはメタル 1 層と 2 層はセルのローカル配線に使用する場合が多いので、それ以外の層を使用する方が、現行のセルベース設計手法には適している。

2.2 提案方式の配線パターン

前述したように提案する配線構造は、PG 配線間デカップリング容量をできる限り生成するように配線するという以外には、配線の組合せ等は任意である。

図 4 に、信号線を通した場合の配線パターンの例を示す。ここで、配線パターン名を連続した電源線 P もしくはグラウンド線 G の本数 m と信号線の本数 n を用いて、PG m S n と定義する。配線の本数に対する信号線の本数の比率は、 $n/(m+n)$ で表される。図 4(a) は、DWF 構造 (PG1S1 パターン) を拡張して、信号線 S を 1 本の電源線 P (またはグラウンド線 G) でシールドする形式を一般化したものである。配線本数に対して、信号線の本数の比率を、1/2, 2/3, 3/4 とした場合のパターンを示している。これら図 4(a) の構造では PG 配線間によってデカップリング容量を獲得することはほとんどできない。提案する信号線と電源線とグラウンド線のパターン例を図 4(b)

パターン名	信号線比率	パターン
PG1S1	1/2	P S G S P S G S P S G S P S G S P S G S
PG1S2	2/3	P S S G S S P S S G S S P S S G S S P S S G S S
PG1S3	3/4	P S S S G S S S P S S S G S S S P S S S G S S S
:	:	:

(a) P/G シールド (PG1)

パターン名	信号線比率	パターン
PG2S1	1/3	P G S P G S P G S P G S P G S P G S P G S
PG2S2	1/2	P G S S P G S S P G S S P G S S P G S S P G S S
PG2S3	3/5	P G S S S P G S S S P G S S S P G S S S P G S S S
PG2S4	2/3	P G S S S S P G S S S S P G S S S S P G S S S S
:	:	:

(b) P/G シールド (PG2)

パターン名	信号線比率	パターン
PG3S1	1/4	P G P S G P G S P G P S G P G S P G P S G P G S
PG3S2	2/5	P G P S S G P G S S P G P S S G P G S S P G P S S G P G S S
PG3S3	1/2	P G P S S S G P G S S S P G P S S S G P G S S S
:	:	:

(c) PGP/GPG シールド (PG3)

図 4 配線パターン

Fig. 4 Wire patterns.

と (c) に示す。図 4(b) では、PG を 1 つのペアとして S をシールドする形式である。この図 4(b) の方法は、シールド効果とデカップリング効果の両方を同時に得ることができる。また図 4(c) は、PGP (または GPG) で信号線を挟むパターンである。信号線の比率 $n/(m+n)$ が同じであっても、連続した PG の数 m が多ければ多いほど PG 間の結合数が増えるのでデカップリング容量を多く生成することができる。

3. 物理設計完全性の改善

本章では、提案する配線アーキテクチャの特徴を明確にする。提案方式の主要な特徴を簡潔にまとめると以下ようになる。

- デカップリング容量の生成、電源ノイズの問題の改善

PG ペア配線による明示的なデカップリング容量を生成できる。また電源線とグラウンド線が近接するので実効的なインダクタンスが減少し、動的な電源ノイズを削減できる。
- クロストークの問題の改善

シールド効果により、容量性および誘導性クロストーク・ノイズを低減できる。
- DFM, 寄生抽出の精度の改善

配線密度の均一性により配線ばらつきが低減し、ダミー・メタルの挿入が不要となり、フローティング・メタルに起因する抽出の不確実性が防止できる。また、配線の規則性により、DFM および抽出の精度が改善できる。
- 配線使用率の増加

PG 配線の追加による配線使用率の増加はチップ

表 1 配線構造パラメータ
Table 1 Interconnect structure parameters.

項目	値
配線層数	9
配線抵抗率 ($\mu\Omega \cdot \text{cm}$)	2.2
比誘電率	3.1
上層 M7-M9	
最小幅 (μm)	0.28
最小スペーシング (μm)	0.28
メタル厚み (μm)	0.4305
絶縁膜高さ (μm)	0.3895
中間層 M3-M6	
最小幅 (μm)	0.1375
最小スペーシング (μm)	0.1375
メタル厚み (μm)	0.23375
絶縁膜高さ (μm)	0.20625
下層 M1, M2	
最小幅 (μm)	0.105
最小スペーシング (μm)	0.105
メタル厚み (μm)	0.1785
絶縁膜高さ (μm)	0.1785

面積もしくは配線層数の増大を招く可能性がある。しかし、本方式を効率良く適用することでその増分を抑えることができる。

上記特徴において、1本の信号線の両側を電源線とグラウンド線でシールドする DWF 方式との大きな違いは、デカップリング容量の生成および電源ノイズの改善である。クロストークの改善、DFM と寄生抽出精度の改善については、DWF とほぼ同じ効果が得られる。配線使用率もしくは面積増加については、DWF はセル内も含めて全メタル層に定期的に配線するが、本提案方式は必要に応じて使用する層や配線パターンを選択するという意味で柔軟性を持つので面積増加を極力抑えることが可能である。

次の節から、上述したいくつかの特徴を詳細に分析する。DWF と同等の効果についても、本提案方式が PI, SI, DFM と抽出精度の観点で、ほぼ同時に解決できることを示すために解析結果を示す。3.1 節から 3.3 節における解析には、ITRS の 90 nm プロセス・テクノロジーの配線構造パラメータを基本に、表 1 に示す値を用いた。

3.1 デカップリング容量の生成

従来方式のデカップリング容量の比率は、文献 13) によると、おおそウェル容量が 30% から 40%、セル容量が 30% から 40% であり、電源線とグラウンド線間の容量はほとんどない。本節では、提案方式の電源線とグラウンド線間のデカップリング容量を解析する。

解析に用いた配線構造パラメータは、表 1 に示す値を用い、チップ面積は、1 cm 角を想定した。いくつかの配線構造に対してデカップリング容量を電磁界

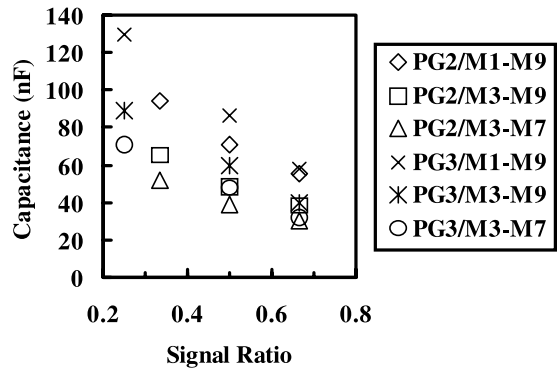


図 5 デカップリング容量の予測
Fig. 5 Prediction of decoupling capacitance values.

解析¹⁴⁾により求めた結果を図 5 に示す。図 5 に示される PGmSn/Mi-Mj は適用条件を表し、PGmSn は図 4 のパターン名に対応し、Mi-Mj はそのパターンを適用した配線層を示す。たとえば、PG2S2/M3-M7 はメタル 3 層 (M3) からメタル 7 層 (M7) までを PG2S2 のパターンにした場合を表す。デカップリング容量は、使用する配線層や配線パターンによって異なるが、信号線比率が 1/2 から 2/3 の場合、数十 nF の容量が得られる。たとえば、PG2S2/M3-M7 の場合で約 40 nF/cm²、PG2S4/M3-M7 の場合で約 30 nF/cm² の容量を生成できる。

必要なデカップリング容量は消費電力や電圧変動の許容値によって異なるが、文献 15) では、テクノロジー・ノードが 180 nm から 70 nm において、必要なデカップリング容量は 39-72 nF/cm² と報告されている。また他の文献 16) では、テクノロジー・ノードが 70 nm 世代で必要なデカップリング容量は約 22 nF/cm² と報告されている。これらの報告は電圧変動の許容値を 10% として解析した結果である。またある 90 nm プロセスのウェル容量は、単位長さあたりの側壁容量と単位面積あたりの底面容量の実測値とセルの高さを使って、セルがすべて敷き詰められたと仮定して簡易計算した結果、約 25-30 nF/cm² であった。これらの状況から、提案構造によって獲得できる PG 間の容量は、一般の LSI に必要なデカップリング容量として寄与できると判断できる。

先端プロセスではゲート酸化膜厚の減少により、薄い酸化膜厚のデカップリング容量ではゲート・リーク電流が増大する⁴⁾。その消費電力を抑えるために厚い酸化膜のデカップリング容量が必要となってきた。厚い膜厚では単位面積あたりの取得容量値は減少し、より多くのチップ・サイズの増大を必要とする。すなわち高品質のデカップリング容量獲得には、本手法に

よる PG 配線間のデカップリング容量は非常に重要となる。

3.2 電源ノイズの改善

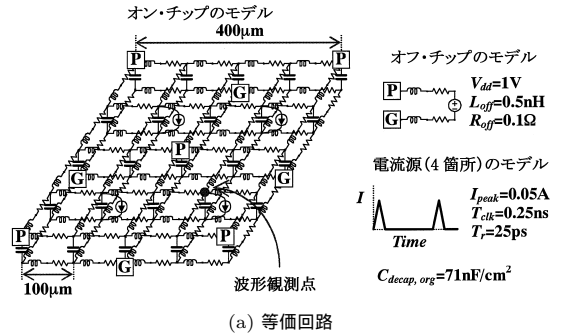
本節では、電源ノイズに対する提案方式の効果を解析する。高速動作チップ向けのフリップチップを想定して、SPICE を用いて電源ノイズを解析する。その構造パラメータは表 1 に示した値を基準とし、電源ノイズ解析のためのモデルは文献 17) を参考に、図 6 (a) に示す等価回路を用いる。電源パッドと電源パッドの間隔を $400\ \mu\text{m}$ とし、1 つのセグメント長を $100\ \mu\text{m}$ とする。従来方式と提案方式のそれぞれの構造に対して電磁界解析ツールを用いて RLC を抽出し、図 6 (a) に示す実効的な RLC 回路網を構成する。1 つのセグメントは実効的な RLC- π 型の集中定数素子である。オフチップ側はインダクタンス $L_{off} = 0.5\ \text{nH}$ 、抵抗 $R_{off} = 0.1\ \Omega$ を通じて電圧源 $V_{dd} = 1\ \text{V}$ に接続する。電流源を 4 カ所に設置し、そのピーク電流 $I_{peak} = 0.05\ \text{A}$ 、クロック・ピリオド $T_{clk} = 0.25\ \text{ns}$ 、その遷移時間 $T_r = 25\ \text{ps}$ とする。また寄生のデカップリング容量は、ウェル容量が約 40% を占めると仮定して、 $71\ \text{nF}/\text{cm}^2$ とする。

従来方式は、トップ 2 層 (M9 と M8) の電源グリッド配線とし、その配線幅は $2\ \mu\text{m}$ 、グリッド間隔を $100\ \mu\text{m}$ と仮定する。その場合の 1 つのセグメントにおける実効抵抗は $2.6\ \Omega$ 、実効インダクタンスは $112\ \text{pH}$ である。提案方式は、トップ 2 層は従来方式と同じ構造とし、メタル 3 層から 7 層までに PG2S2 パターンと PG2S4 パターンを適用すると仮定する。ここで M3/M5/M7/M9 の配線方向を X 方向とし、M4/M6/M8 の配線方向を Y 方向とする。PG2S2/M3-M7 構造の等価モデルにおける 1 つのセグメントにおける実効抵抗は X 方向が $0.22\ \Omega$ 、Y 方向が $0.38\ \Omega$ 、実効インダクタンスは X 方向が $41\ \text{pH}$ と Y 方向が $40\ \text{pH}$ である。同様に PG2S8/M3-M7 構造の実効抵抗は X 方向が $0.24\ \Omega$ 、Y 方向が $0.53\ \Omega$ 、実効インダクタンスは X 方向が $42\ \text{pH}$ と Y 方向が $40\ \text{pH}$ である。

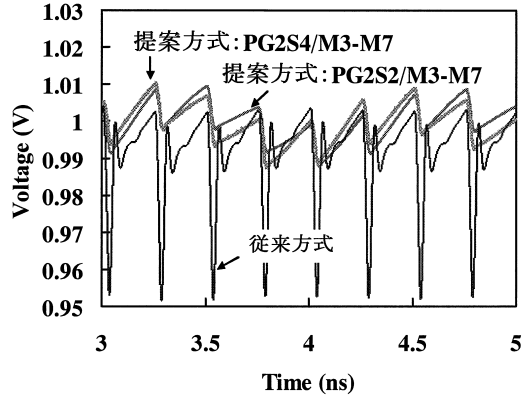
電流源を印加したときの SPICE で過渡解析した波形を図 6 (b) に示す。従来方式は電源電圧に対して最大で約 5% ($50\ \text{mV}$) の電圧降下が生じるが、提案方式は PG2S2/M3-M7 と PG2S4/M3-M7 とともに最大で約 1.3% ($13\ \text{mV}$) に抑えられている。

3.3 クロストーク・ノイズの改善

クロストーク・ノイズの要因は、配線間容量に起因する容量性クロストークと配線間の相互インダクタンスに起因する誘導性クロストークに大別される。



(a) 等価回路



(b) 過渡波形

図 6 電源線の ΔV ノイズの解析
Fig. 6 Results of ΔV noise analysis.

GHz 周波数動作においては、クロック配線のような幅広配線の場合、インダクタンスによる遅延変動が無視できない。また、バス配線のように複数の信号が同時にスイッチングする場合、あるピクティム配線に対して、実効的な大きな電流による磁界の影響で誘導性クロストークに起因するグリッチ・ノイズが生じる。本節では一般の配線幅における同時スイッチングによる誘導性・容量性クロストークに対する提案方式の効果を解析する。

クロストーク・ノイズ解析のために、信号線が 32 本のバス構造を使う。その構造パラメータは表 1 に示した値を用いた。また配線長は $1\ \text{mm}$ 、動作周波数は約 $4\ \text{GHz}$ 、入力信号の遷移時間は $25\ \text{ps}$ 、ドライバの抵抗は $50\ \Omega$ を仮定する。またメタル 8 層目 (M8) は電源グリッドとし、その配線幅は $2\ \mu\text{m}$ 、グリッド間隔を $100\ \mu\text{m}$ と仮定する。従来方式の例として、図 7 (a) は、メタル 6 層目 (M6) の中央の配線をピクティム (V) とし、それ以外の信号線はアグレッサ (A) とし、信号線はダブル・ピッチ (スペーシングは最小線幅の 3 倍) と仮定する。また、提案方式の例として、図 7 (b) に PG2S2 パターンを示す。図 7 の (a) と (b) におい

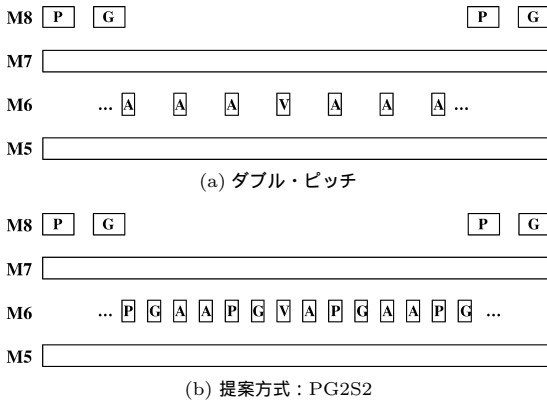


図 7 クロストーク解析の配線構造
Fig. 7 Structures for crosstalk analysis.

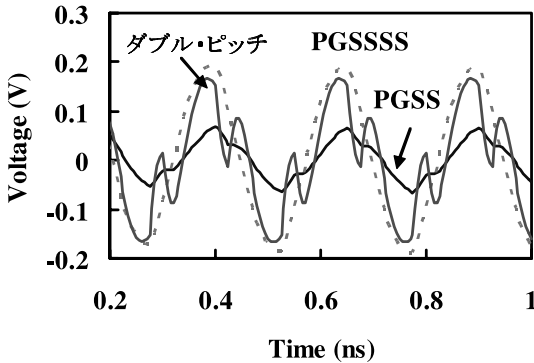
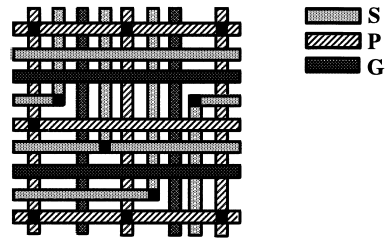


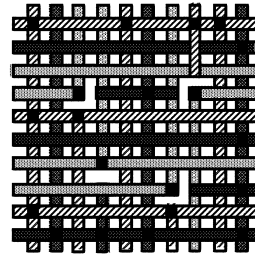
図 8 クロストーク解析の結果
Fig. 8 Results of crosstalk analysis.

て、M7 の信号線の本数およびその信号線の占有する配線密度は同じである。さらに PG2S4 パターンも同様に解析する。

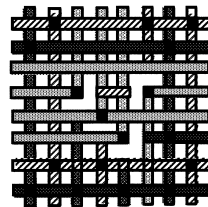
図 7 のそれぞれの構造に対して電磁界解析ツールを用いて RLC を抽出し、ビクティムの入力側はドライバの抵抗を返してグラウンドに接続し、すべてのアグレッサのドライバの入力信号は同時に遷移すると仮定して、ビクティムの遠端の波形を SPICE シミュレーションによって求めた結果を図 8 に示す。ダブル・ピッチの方法では、誘導性クロストーク・ノイズの影響が現れて、最大ピーク電圧は電源電圧の約 20% (0.2 V) に達する。PG2S2 パターンはクロストーク・ノイズの影響を最大約 7% (0.07 V) に抑えている。しかし、PG2S4 パターンは電源電圧の約 20% (0.2 V) のノイズが発生する。このパターンは容量性クロストークの影響を受けるので、配線遅延への影響が顕著な箇所 (たとえば長い並行配線部) には使えない。クロストークの影響が顕著に現れそうな箇所には、PGSS を使うことが必要である。



(a) 従来方式 (DWF) PSG パターン



(b) 提案方式 PGSS パターン



(c) 提案方式 PGSSSS パターン

図 9 提案方式による規則性の改善
Fig. 9 Regularity improvement.

3.4 DFM, 寄生抽出精度の改善

提案方式のさらなる特徴として、配線の規則性の向上があげられる。

図 9 (a) は、信号線 S と電源線 P (もしくはグラウンド線 G) を交互に配置する DWF の構造を使った配線例である。PG 配線で挟まれる信号線は、配線経路に従って、途中でビアを通して直交方向の配線層へ移り、稠密ではなくなる。単位面積あたり使用可能な配線セグメント長を L_{area} とすると、DWF 構造は PG 配線で $L_{area}/2$ を使用する。残りの $L_{area}/2$ のある割合 ξ だけ信号線を使用する。すなわち DWF 構造の全配線のセグメント長 L_{DWF} は、

$$L_{DWF} = L_{area}/2 + \xi \times L_{area}/2. \quad (2)$$

その配線密度 D_{wire} は、

$$D_{wire} = \{(L_{area}/2 + \xi \times L_{area}/2)/L_{area}\}/2 = (1 + \xi)/4. \quad (3)$$

たとえば $\xi = 0.5$ (50%) と仮定すると、DWF 構造の配線密度は 37.5% となる。

提案方式では図 9 (b) に示すように、図 4 (b) での

PG ペア・シールドイングの PG2S2 パターンを利用して、この充填されていないトラックに、近傍の電源線もしくはグラウンド線から配線を延長することで、配線密度をほぼ 50% に近くすることが可能となる。

また、図 9(c) は、図 4(b) の PG ペア・シールドイングの PG2S4 パターンを使用した配線例を示す。この場合は図 9(a) より面積が小さく、かつ配線密度は 50% 近くまで向上していることが分かる。配線密度の向上と均一化は、平坦化の向上を意味し、配線ばらつきを抑える効果が期待できる。

LSI 製造のプロセス工程において、各配線層の平坦化のために、各層のメタル密度はある程度均一に分布させる必要がある。従来、配線空き領域によるメタル密度の稠密性はダミー・メタル処理により補正されるが、提案方式ではこのダミー・メタル処理が不要となる。また一般にダミー・メタルはその 1 辺の長さが配線幅より長く、かつ挿入する条件はある領域のメタル密度のルールで決定されるため、部分的な領域のメタル密度は不均一であり製造ばらつきの原因となる。このように DFM の点でも本提案方式は有効である。

また、この配線の稠密性と均一性は同時に、RLC の抽出精度の向上を可能にする。現在、一般的に採用されている 2.5-D の容量抽出¹⁸⁾において、必要な配線パターン・ライブラリの種類は下記の条件により削減される。

1. 同層における抽出対象の隣接配線は、ほとんどが PG によりシールドイングされるため、隣接配線の容量を求めるときの配線パターンが少なくなる。
2. 抽出対象の上下層は稠密であるため、プレーンと仮定することができ、3 次元形状の複雑な配線パターン数が削減する。

またダミー・メタルは一般にマスク作成直前に挿入される。これは設計中にダミー・メタルを挿入してしまうと、その膨大なデータを処理する必要があること、タイミング検証の段階でバイオレーションが生じた場合にその埋め込まれたダミー・メタルが配置や配線のリペアの障害になるためである。しかしながら、電位の固定されないダミー・メタルを考慮しない場合は、信号線の容量値が 10% 以上の誤差を生じ、またそのダミー・メタルの密度によってもその影響度が異なる¹⁹⁾。本提案方式はダミー・メタルによる容量の不確か性がなくなるため、抽出精度も向上する。

3.5 配線面積の評価

本節では、提案方式の配線面積について評価する。提案方式において、信号線比率の少ない配線パターン（たとえば図 4(b) の信号線比率 1/3 の PG2S1 パ

ターン)を多用すると、配線面積が増大し、配線層数の増加もしくはチップ面積の増大につながる。そこで、ローカル電源線等で使用するメタル 1 層と 2 層は本方式を適用せずに、配線空き領域を効率良く利用して、またクリティカルでない配線に対しては、図 4 に示すように信号線の比率を高くして、PG 配線による面積の増加を抑えることが重要である。

次の例に示すように、効率良く適用することで、面積の増加を抑えることが可能である。以下に面積の増分の計算の一例を示す。

<条件>

● 適用配線層

9 層配線プロセスを仮定する。基本的にメタル 3 層目から 7 層目の 5 層分の配線に対して本方式を適用する。ただし他の層の配線空き領域も使用することにする。本方式の平均パターンを PG2S4 (図 4(b) の信号線比率 2/3) と仮定する。

● 配線空き領域

一般に先端 LSI におけるチップ面積に対するメタル密度は経験的に各層ともにおおよそ 20% から 40% (配線幅とスペーシングがほぼ 1 対 1 とすると配線密度はメタル密度の 2 倍) である。また、平坦化のためのダミー・メタルの挿入は全体の面積の 5% から 20% である。ダミー・メタルはデザイン・ルールにより配線からかなりスペーシングをとって挿入され、かつメタル密度ルールより、一般にある大きさの領域に対しておおよそ 30% から 70% 程度になるように挿入される。すなわち、配線空き領域があってもダミー・メタルが挿入されない箇所も多々あり、実際に挿入されるダミー・メタルの領域より配線可能な領域は大きい。これらを考慮すると、配線可能な空き領域は 10% から 40% であると推測される。

ここでは配線密度 D_{wire} を全体の 60% とし、配線可能な空き領域を 20% とし、残り 20% は利用できない固定領域の比率 ξ_{fix} であると仮定する。これらの条件を使って配線面積を計算する。チップは正方形とし、その一辺を a とすると、元のチップ面積 $A_{org,chip}$ は、

$$A_{org,chip} = a \times a = a^2. \quad (4)$$

9 層分の総面積 $A_{org,all}$ は、

$$A_{org,all} = A_{org,chip} \times 9 = 9a^2. \quad (5)$$

同様に利用不可能な 9 層分の総面積 $A_{fix,all}$ は、

$$A_{fix,all} = A_{org,chip} \times \xi_{fix} \times 9 = 1.8a^2. \quad (6)$$

元の各層の配線占有面積 $A_{org,Mi}$ は、

$$A_{org,Mi} = A_{org,chip} \times D_{wire} = 0.6a^2. \quad (7)$$

ただし、 M_i は各メタル層を示し、 i は 1 から 9 であ

表 2 提案方式と従来方式の比較
Table 2 Comparison of proposed methods and conventional method.

項目	従来方式	PG2S2/M3-M7	PG2S4/M3-M7
PG間デカップリング容量	×	◎ (約40nF/cm ²)	○ (約30nF/cm ²)
電源ノイズ (最大電圧効果)	× (約5%)	◎ (約1%)	◎ (約1%)
クロストーク (ピークノイズ)	× (約20%)	○ (約7%)	× (約20%)
DFMと抽出	×	◎	◎
面積 (増加率)	◎	△ (約13%増)	○

る。PG2S4パターンをM3からM7に適用すると、適用した各層の配線占有面積 $A_{new,Mj}$ は、

$$A_{new,Mj} = A_{org,Mi} \times (3/2) = 0.9a^2. \quad (8)$$

ただし、 Mj は本方式を適用する各メタル層を示し、 j は3から7である。提案方式に必要な総面積 $A_{new,all}$ は、

$$A_{new,all} = A_{org,Mi} \times 4 + A_{new,Mj} \times 5 + A_{fix,all} = 8.7a^2. \quad (9)$$

すなわち、元々の総面積が $A_{org,all} = 9a^2$ であるから、本条件では提案方式による面積の増加は生じない。

ここで解析した条件は、下層2層のローカル電源線と上層2層の電源線は従来方式をそのまま使った場合であり、また使用したメタル密度等の条件は典型的な場合である。したがって、PG2S2/M3-M7構造の提案方式は面積のペナルティをほとんど受けずに適用可能であることを示している。

同様に、PG2S2/M3-M7構造の場合、従来方式の配線状況を同じ (配線密度 $D_{wire} = 60\%$ 、空き領域 = 20%、固定領域 = 20%) とすると、約13%の面積増となる。また空き領域が30%の場合は約2%しか面積の増加に至らない。これらは配線状況によって異なるので一概にはいえず、実際の製品における検証は今後の課題である。

以下に本提案方式をまとめる。本方式では、デカップリング容量の生成、電源ノイズの改善、クロストーク・ノイズの改善、DFMと抽出精度の改善のメリットと配線密度 (または面積) の増加のペナルティは、トレード・オフの関係にある。本章の解析結果を基に従来方式と提案方式の比較を表2に簡単にまとめる。ある程度面積増を犠牲にしてもタイミング収束を優先する場合は、PG2S2パターンを規則的に配線するのが良い。面積増を極力抑えながら、タイミング収束を加速したい場合は、平均パターンをPG2S4程度とし、クロストーク・ノイズが顕著な箇所にPG2S2パターンを使用することが望ましい。

4. おわりに

物理設計完全性のための新しい配線アーキテクチャを提案した。本アーキテクチャは電源線とグラウンド

線を隣接させる配線構造からなり、シールドング効果ばかりか高品質なデカップリング容量を生成できる効果がある。また本構造は配線密度がほぼ一定に保たれるので、従来行われていたダミー・メタルの挿入が不要となるばかりか、そのメタル密度の均一性が高くなる。結果として、本アーキテクチャは、シグナル・インテグリティ、DFM、寄生抽出精度を同時に改善し、ロバストな設計を可能にする。今後、実レイアウトへの適用を含むさらなる有効性の検証を行う予定である。

謝辞 本技術に関してご助言をいただきました三洋電機 (株) の伊部哲也氏 (株) 半導体理工学研究センター (STARC) のワーキンググループで本手法について議論していただきました (株) ルネサステクノロジの金本俊幾氏、佐藤高史氏、NECエレクトロニクス (株) の蜂屋孝太郎氏 (株) 東芝の南文裕氏らに感謝する。

参考文献

- 1) Cong, J. and Koh, C.-K.: Interconnect Layout Optimization under Higher-Order RLC Model, *Proc. ICCAD*, pp.713-720 (1997)
- 2) Ismail, Y.I. and Friedman, E.G.: Effects of Inductance on the Propagation Delay and Repeater Insertion in VLSI Circuits, *Proc. DAC*, pp.721-724 (1999).
- 3) He, L. and Lepak, K.M.: Simultaneous Shield Insertion and Net Ordering for Capacitive Coupling Minimization, *Proc. ISPD*, pp.55-60 (2000).
- 4) Bobba, S., Thorp, A., Aingaran, T.K. and Liu, D.: IC Power Distribution Challenges, *Proc. IC-CAD*, pp.643-650 (2001).
- 5) Zhao, S., Roy, K. and Koh, C.K.: Decoupling Capacitance Allocation for Power Supply Noise Suppression, *Proc. ISPD*, pp.66-73 (2001).
- 6) Su, H., Sapatnekar, S. and Nassif, S.R.: An Algorithm for Optional Decoupling Capacitor Sizing and Placement for Standard Cell Layouts, *Proc. ISPD*, pp.68-75 (2002).
- 7) Chen, H.H. and Ling, D.D.: Power Supply Noise Analysis Methodology for Deep-submicron VLSI Chip Design, *Proc. DAC*, pp.638-643 (1997).
- 8) Khatri, S.P., Mehrotra, A., Brayton, R.K., Sangiovanni-Vincentelli, A. and Otten, R.H.J.M.: A Novel VLSI Layout Fabric for Deep Sub-micron Applications, *Proc. DAC*, pp.491-496 (1999).
- 9) Khatri, S.P., Brayton, R.K. and Sangiovanni-Vincentelli, A.: Cross-talk Immune VLSI De-

- sign using a Network of PLAs Embedded in a Regular Layout Fabric, *Proc. ICCAD*, pp.412-419 (2000).
- 10) Khatri, S.P., Brayton, R.K. and Sangiovanni-Vincentelli, A.L.: *Cross-talk Noise Immune VLSI Design using Regular Layout Fabrics*, Kluwer Academic Publishers (2001).
 - 11) Lin, S. and Chang, N.: Challenges in Power-ground Integrity, *Proc. ICCAD*, pp.651-655 (2001).
 - 12) *International Technology Roadmap for Semiconductors*, Semiconductor Industry Association (2002).
 - 13) Hayashi, S. and Yamada, M.: EMI-noise Analysis under ASIC Design Environment, *IEEE Trans. Computer-Aided Design*, Vol.19, No.11, pp.1337-1346 (2000).
 - 14) Raphael Version 2000.4, Synopsys Corporation (2000).
 - 15) Ajami, A.H., Banerjee, K., Mehrotra, A. and Pedram, M.: Analysis of IR-Drop Scaling with Implication for Deep Submicron P/G Network Designs, *Proc. ISQED*, pp.35-40 (2003).
 - 16) 山縣暢英, 貝原光男, 蜂屋孝太郎, 小野信任: インダクタンス起因ノイズのトレンド - クロストークと dI/dt ノイズ, 電子情報通信学会 2002 年ソサエティ大会, pp.249-250 (2002).
 - 17) 蜂屋孝太郎, 黒川 敦, 佐藤高史, 南 文裕, 増田弘生: 動的電源ノイズ解析のための電源グリッドモデル抽出, 情報処理学会 DA シンポジウム, pp.193-198 (2002).
 - 18) Cong, J., He, L., Kahng, A.B., Boice, D., Shirali, N. and Yen, S.H.-C.: Analysis and Justification of a Simple, Practical 2 1/2-D Capacitance Extraction Methodology, *Proc. DAC*, pp.627-632 (1997).
 - 19) Lee, W.-S., Lee, K.-H., Park, J.-K., Kim, T.-K. and Park, Y.-K.: Investigation of the Capacitance Deviation due to Metal-Fills and the Effective Interconnect Geometry Modeling, *Proc. ISQED*, pp.373-376 (2003).

(平成 15 年 10 月 15 日受付)

(平成 16 年 3 月 5 日採録)



黒川 敦 (正会員)

1986 年成蹊大学卒業。1986 年三洋電機入社。CMOS-LSI のカスタム設計技術および基盤設計技術のグループ長を経て、2002 年 7 月より、(株)半導体理工学研究センターに
 出向中。先端 SoC の物理設計技術開発に従事。早稲田大学博士課程在学中。平成 15 年度情報処理学会システム LSI 設計技術研究会優秀論文賞受賞。訳書『LSI 配線の解析と合成』(共訳, 培風館)。IEEE, 電子情報通信学会各会員。



小野 信任

1981 年東京工業大学理工学部制御工学科卒業。同年セイコーインスツルメンツ株式会社入社。2002 年 2 月にエスアイアイ・イーディー・テクノロジー株式会社, 2004 年 2 月から株式会社ジードット・イノベーションへ移籍。主にレイアウト設計自動化の技術開発に従事。訳書『LSI 配線の解析と合成』(共訳, 培風館)。IEEE 会員。



鹿毛 哲郎 (正会員)

1976 年九州工業大学大学院工学研究科電気工学専攻修士課程修了。博士(情報工学)。1976 年(株)富士通研究所入社。2002 年(株)半導体理工学研究センターに出向。LSI 回路シミュレーション技術の研究開発に従事。電子情報通信学会, IEEE 各会員。



井上 靖秋(正会員)

1945年生. 1964年長岡工業高等専門学校卒業. 1996年早稲田大学博士(工学)取得. 1964年~2000年三洋電機セミコンダクターカンパニー(旧東京三洋電機)勤務. 1993年同社CAD技術部長, 1998年同メモリ開発部長. 2000年東亜大学教授. 2003年早稲田大学大学院情報生産システム研究科教授. アナログ・デジタルLSI, 同CADシステム, 非線形回路の数値解析の研究に従事. 1997年IEEE回路とシステム論文誌II編集委員. 1988年石川賞, 1999年科学技術庁長官賞(科学技術功労者), 2002年テレコムシステム技術賞, 2003年本会業績賞, 2004年船井情報科学振興賞各受賞. IEEE, 電子情報通信学会, 電気学会各会員.



増田 弘生

1970年東京工業大学理工学部応用物理学科卒業(株)日立製作所に入社. MOS集積回路, MOSモデリングの研究に従事. 2000年(株)半導体理工学研究センター, 室長. CMOS集積回路の物理設計技術開発に従事. 工学博士(電子システム). 電子情報通信学会, 応用物理学会, IEEE各会員.