

PD-SOIのクロック・ゲーティング機構に 対応したリーク電力削減手法

福岡 一樹[†] 飯島 正章[†] 濱田 健司[†]
沼 昌宏^{††} 多田 章^{†††}

本論文では、部分空乏型 SOI (PD-SOI) 上のクロック・ゲーティング機構に対応するリーク電力削減手法を提案する。クロックの供給が停止している間のリーク電力を削減するために、フリップ・フロップ (FF) とローカル・クロック・バッファを構成するトランジスタのスレッシュホールド電圧 V_{th} をローカル・クロックの状態に合わせてボディ・バイアスにより動的に制御することで、性能を低下させずにリーク電力を削減する点を特徴とする。特に、従来のバルク・プロセスではなく PD-SOI プロセスを対象とすることで、フォワード・バイアスによる 1 クロック期間内での V_{th} 制御を実現し、タイミング設計の複雑化を避けている。SPICE シミュレーションで提案手法を評価した結果、少ない面積とアクティブ電力のオーバーヘッドでリーク電力を 82% 削減できることを確認した。

A Technique to Reduce Leakage Power for Clock Gating Scheme on PD-SOI

KAZUKI FUKUOKA,[†] MASAOKI IJIMA,[†] KENJI HAMADA,[†]
MASAHIRO NUMA^{††} and AKIRA TADA^{†††}

This paper presents a technique for reducing leakage power of the circuits employing a clock gating scheme on Partially Depleted Silicon On Insulator (PD-SOI). To reduce leakage power while a local clock is disabled, V_{th} of each transistor in Flip-Flops (FFs) and local clock buffers is dynamically controlled by body biasing corresponding to the mode of the local clock. Using PD-SOI is the key to control V_{th} within one clock cycle by forward biasing and to reduce leakage power without speed degradation. The SPICE simulation results have shown that the proposed technique reduces leakage power by 82% with small area and active power penalty.

1. はじめに

携帯電話などバッテリー駆動機器向けの LSI では、様々な低消費電力化技術が利用されている。なかでもクロック・ゲーティングは、多くの LSI において採用されている技術である。しかし、プロセスの微細化とともに将来的にはクロック・ゲーティングが有効に機能しなくなる可能性が指摘されている¹⁾。

CMOS 回路における消費電力は、

$$P_{total} = P_{dyn} + P_{sc} + P_{leak} \quad (1)$$

と表すことができる。 P_{dyn} は、負荷容量を充放電する

際に消費されるダイナミック電力であり、 P_{sc} は、貫通電流により消費される電力、 P_{leak} は、リーク電流により消費されるリーク電力である。従来、 P_{dyn} が CMOS 回路における電力の大部分を占め、その削減により低消費電力化が行われてきた。ここで P_{dyn} は、

$$P_{dyn} = p_t f C_L V_{DD}^2 \quad (2)$$

で表され、 p_t はスイッチング確率、 f はクロック周波数、 C_L は負荷容量、 V_{DD} は電源電圧を表す。これらのパラメータを小さくすることで、低消費電力化を図ることが可能である。クロック・ゲーティングは、イネーブル信号 $EN = 0$ のときにローカル・クロック (LCK) の供給を停止することによって p_t を低減させ、FF と LCK 用バッファのダイナミック電力を削減する。LCK の供給が停止している間 (スリープ、 $EN = 0$)、FF と LCK 用バッファは P_{leak} のみを消費する。よって P_{dyn} が支配的である現在、クロック・ゲーティングは効果的である。

さて、式 (2) から分かるように、スケーリング則に

[†] 神戸大学大学院自然科学研究科
Graduate School of Science and Technology, Kobe University

^{††} 神戸大学工学部
Faculty of Engineering, Kobe University

^{†††} 株式会社ルネサステクノロジ
LSI Product Technology Unit, Renesas Technology Corporation

基づいてプロセスの微細化とともに行われてきた低電源電圧化は、電力削減に最も有効に働く。一方、伝搬遅延 t_{pd} は、

$$t_{pd} = \frac{kC_L V_{DD}}{(V_{DD} - V_{th})^\alpha} \quad (3)$$

で近似される²⁾。ここで、 $\alpha \cong 1.3$ であり、 k は定数である。式 (3) より、低電源電圧化のみでは伝搬遅延 t_{pd} の増加を招くため、同時に V_{th} を下げる必要がある。ここで P_{leak} は、

$$P_{leak} = I_0 10^{-\frac{V_{th}}{S}} V_{DD} \quad (4)$$

で与えられる。 I_0 は全トランジスタの幅に比例する定数である。 S はサブスレッショルド・ファクタであり、60 mV/dec が理想値であるが、バルク・プロセスや PD-SOI プロセスでは、室温で 70 ~ 80 mV/dec 程度である。式 (4) は、 V_{th} を下げると指数的にリーク電力 P_{leak} が増加することを表す。また、温度上昇にもなって S が増加するため、リーク電力 P_{leak} も増加する。文献 3) では、プロセスが 1 世代進むごとにリーク電力は 5 倍に増加するとされている。スケリング則より一定ダイサイズに対する P_{dyn} は保たれるため、数世代先のプロセス以降では P_{leak} が支配的になると予測されている^{4),5)}。

クロック・ゲーティングは、スリープ時の消費電力 $P_{sleep}(= P_{leak})$ がクロックを供給している間 (アクティブ、 $EN = 1$) の消費電力 P_{active} に比べて小さい間は有効であるが、いずれ P_{leak} の増加にともない、 P_{sleep} がクロック・ゲーティング回路における電力に与える影響が大きくなる。そこで、将来のプロセスにおいてもクロック・ゲーティングを有効に機能させるため、クロック・ゲーティング回路におけるリーク電力削減手法を提案する。

リーク電力 P_{leak} の削減に効果的な V_{th} 制御をクロック・ゲーティング回路とともに用いる場合、アクティブ時に low- V_{th} 、スリープ時に high- V_{th} に設定する必要がある。したがって、1 クロック期間内で V_{th} を low または high に切替え可能な制御法が必要となる。VTCMOS (Variable Threshold voltage CMOS)⁶⁾ は、ボディバイアスによってリーク電力を削減する手法である。しかし、アクティブからスリープへの遷移に長い時間を要するため、VTCMOS をクロック・ゲーティングに用いることは困難である。一方、MTCMOS (Multiple-Threshold voltage CMOS)⁷⁾ では、high- V_{th} のカットオフ・スイッチを挿入することにより、リーク電力を削減する。しかし、MTCMOS には 2 つの問題がある。1 つは入力ベクタが同時に変化する

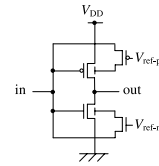


図 1 補助トランジスタを用いた DTMOS インバータ
Fig. 1 DTMOS inverter with subsidiary transistors.

場合、仮想電源 (GND) ラインの電圧変動によりタイミング検証および設計が複雑となる点である。もう 1 つは、スリープ時に電源、GND ラインから切り離すために FF の値を保持できない点にある。さらにこれら 2 つの手法は、頻繁なモード切替えによるダイナミック電力の増加を避けるため、たかだか 1,000 回/秒程度のモード切替えを想定しており、クロック単位での切替えには適用されてこなかった。MTCMOS を改良することで、クロック・ゲーティングにリーク削減手法を適用した手法¹⁾ が提案されており、1 クロック期間内でのモード切替えを可能としている。しかし、この手法では上記の MTCMOS に内在する 2 つの問題点を解決していない。したがって、従来のリーク削減手法をクロック・ゲーティングとともに用いることは困難である。

さて、PD-SOI はバルクにはない特徴を持っている。1 つはバルクより小さい接合容量であり、これは高速化および低消費電力化に寄与する。もう 1 つの特徴は、各トランジスタのボディを動的にバイアス制御できる点である。しかもバルク・プロセスでは、バイアス制御するブロックをウェル分離するためにトリプルウェル・プロセスを必要とするが、PD-SOI では各トランジスタのボディが分離されているため必要としない。

PD-SOI 上でボディバイアスを用いて動的に V_{th} 制御を行う手法の例として、DTMOS (Dynamic Threshold voltage MOS)⁸⁾ があげられる。DTMOS は、ゲート信号にボディを接続することによって、各トランジスタのボディを動的に制御する。ただし、PD-SOI ではボディとソースまたはドレインとの間の PN 接合によるダイオードが導通することによって生じるボディ電流の影響を回避するため、ボディバイアスを 0.6 V 以下に制限する必要がある。そのため、DTMOS を 0.6 V 以上の電源電圧に適用する場合は、図 1⁹⁾ に示すように補助トランジスタを用いる必要がある。

DTMOS においては、PD-SOI トランジスタのボディ容量が小さい性質を利用して、ゲートへの入力信号による動的バイアス制御を実現している。このような PD-SOI における動的バイアス制御をクロック・ゲーティング回路に応用することで、イネーブル信号

EN に対応して 1 クロック期間内でトランジスタの V_{th} を制御可能になると考えられる。

本論文では、FF とローカル・クロック・バッファのリーク電力を削減するために、PD-SOI 上でクロックのモードに応じて動的に V_{th} 制御を行う手法を提案する。モード遷移に時間を要する従来の VTCMOS と異なり、ボディ容量が小さい PD-SOI の特徴を生かしつつ、制御するトランジスタ数に応じてバイアス制御回路のサイズ、個数を調整することで、1 クロック期間内でのボディ電位遷移に必要なタイミング制約を満たすことを可能とする。さらに MTCMOS と異なり、本手法ではスリープ時においても FF の値を保持することが可能である。

本論文の構成は次のとおりである。2 章でクロック・ゲーティングに対するリーク電力削減手法を提案するとともに、そのためのボディ・バイアス制御機構について述べる。3 章で 1 クロック期間内でのボディバイアス制御に求められるボディ電圧遷移時間に関するタイミング制約について説明する。4 章で SPICE シミュレーションによる評価結果を示し、最後に結論を述べる。

2. クロック・ゲーティングに対するリーク電力削減手法

本章では、クロック・ゲーティングに対するリーク電力削減手法を提案するとともに、そのためのボディ・バイアス制御機構について述べる。

図 2 (a) に従来のクロック・ゲーティング回路の構成を示す。グリッチ・キャンセラはグローバル・クロック (GCK) の反転信号を用いたトランスベアレント・ラッチであり、GCK が low の間、クロック・イネーブル信号 (GEN) を LEN として出力する。一方、GCK が high の間は LEN を保持することで、この期間中に GEN が変化してもローカル・クロックに影響を及ぼさない。そして、GCK と LEN を入力とする AND ゲートの出力を FF へのローカル・クロック (LCK) とすることにより、LEN が Low の間はクロックの供給を停止する。よって、クロック・ゲーティング回路のリーク電力を削減するためには、LEN に応じて V_{th} 制御を行う必要がある。図 2 (b) に、提案するクロック・ゲーティング回路の構成を示す。提案手法では、FF とローカル・クロック・バッファ内のトランジスタに対して LEN が high の間 $low-V_{th}$ とし、low の間 $high-V_{th}$ とするバイアス制御を行う。クロック・ゲーティング回路内のバイアス制御に数クロック要する場合、そのクロック期間ではアクティブ時のスピード低

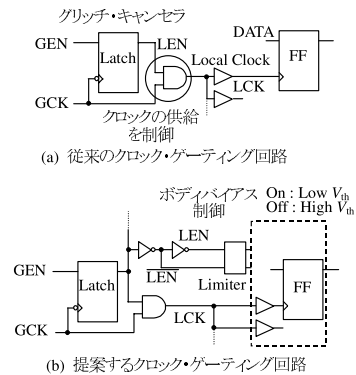


図 2 クロック・ゲーティング回路の構成

Fig. 2 Clock gating circuits.

下によってタイミング設計が複雑になると同時に、スリープへの移行中のクロック期間では、十分にリーク電力が削減できなくなり、スリープ時のクロック数が少ない場合に問題となる。よって本手法では、タイミング設計の簡潔化および短いスリープ期間でも有効とするため、1 クロック期間内でのバイアス制御を前提とする。ボディの電圧変化に要する時間が長いバルクでは困難であるが、PD-SOI はバルクよりボディ容量が小さいため、急峻なバイアス制御に適している。

提案手法では、 V_{th} 制御にフォワード・バイアスを用い、トランジスタのボディはアクティブ時にフォワード・バイアス、スリープ時にゼロ・バイアスとする。バルク MOS FET では、負の基板バイアスをボディに印可すると単調に V_{th} が増加する。一方、PD-SOI の MOS FET では、負の基板バイアス効果がバルクより小さいだけでなく、あるバイアス点で V_{th} の上昇が飽和する¹⁰⁾。そこで、ゼロ・バイアスで $high-V_{th}$ となるトランジスタを用いて、アクティブ時にはフォワード・バイアスを与える。

PD-SOI では、フォワード・バイアス時のボディ電圧は 0.6 V 以下でなければならない。これは、0.6 V 以上ではソース・ボディ間またはドレイン・ボディ間のダイオードが ON 状態となり、ダイオード電流が流れるためである。ダイオード電流を抑制するため、図 3 に示すように、リミッタ・トランジスタを LEN (\overline{LEN}) とボディコンタクト間に挿入する。リミッタは、ボディがフォワード・バイアスの間、定常状態におけるボディ電位を

$$V_{body-n} = V_{ref-n} - V_{th-n} \quad (5)$$

$$V_{body-p} = V_{ref-p} + |V_{th-p}| \quad (6)$$

となるように制御する。ここで、 V_{body-n} 、 V_{body-p} はそれぞれ nMOS、pMOS のボディ電位であり、 V_{th-n} 、 V_{th-p} はそれぞれ nMOS、pMOS のスレッショルド電

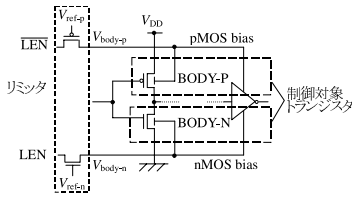


図3 イネーブル信号によるバイアス制御
Fig. 3 Bias control by enable signals.

圧である。このとき、nMOS, pMOS それぞれに与えるフォワード・バイアス電圧 V_{FB-n} , V_{FB-p} を

$$V_{FB-n} = V_{body-n} \quad (7)$$

$$V_{FB-p} = V_{DD} - V_{body-p} \quad (8)$$

と定義する。式(5), (6)に, 式(7), (8)を代入すると,

$$V_{ref-n} = V_{FB-n} + V_{th-n} \quad (9)$$

$$V_{ref-p} = V_{DD} - (V_{FB-p} + |V_{th-p}|) \quad (10)$$

が得られるので, V_{FB-n} , V_{FB-p} が 0.6V 以下となるようにリファレンス電圧 V_{ref-n} と V_{ref-p} を設定する。なお, 以下では, フォワード・バイアス電圧 $V_{FB} = V_{FB-n} = V_{FB-p}$ とする。

DTMOSでは電源電圧が0.6V以上の場合, ボディバイアスを0.6V以下に制限する補助トランジスタが必要となる。図1に示したように, 各ゲート入力に対して補助トランジスタがnMOS, pMOS各1個ずつ必要となるため, トランジスタ数が最大2倍となる。また, ゲート信号を補助トランジスタに接続すると入力負荷が増加するため, ゲート入力信号の遅れも問題となる。

それに対して提案手法では, クロックの供給を制御する信号LENに対してnMOS, pMOSそれぞれのバイアス電圧制限用にリミッタを1個ずつ挿入する。必要とするリミッタの数およびトランジスタサイズは, バイアス制御対象とするボディの総負荷容量とタイミング制約に依存するが, DTMOSに比べて少ない。したがって, 提案手法でクロック・ゲーティング回路に付加する素子は, 図2(b)に示すリミッタ, イネーブル信号の反転信号生成用のインバータのみである。その結果, 回路規模を抑えつつリーク電力を削減することが可能となる。

3. ボディ電圧の遷移時間とそのタイミング

本章では, アクティブ時のスピードを低下させないために必要となる

i) アクティブへの遷移時間に関するタイミング制約:

$$C_{StoA}$$

ii) スリープへの遷移時間に関するタイミング制約:

$$C_{AtoS}$$

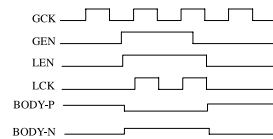


図4 クロック・ゲーティング回路での各信号のタイミング
Fig. 4 Timing of signals in clock gating circuit.

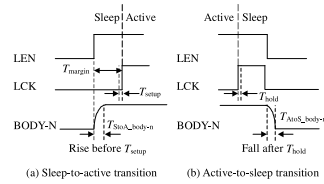


図5 ボディ電圧の遷移タイミング
Fig. 5 Timing of body voltage transition.

の2点について述べる。i) について, クロックの立ち上がりまでに $low-V_{th}$ となるように, フォワード・バイアスを与える必要がある。ii) について, スリープ状態への遷移後速やかに $high-V_{th}$ とすることがリーク電力削減効果を高めるために必要である。以下では, FFをポジティブ・エッジ型と仮定して議論する。提案手法に關係する信号のタイミングチャートの一例を図4に示す。ボディBODY-P, BODY-Nは, LENによって制御される。よって, C_{StoA} , C_{AtoS} はLEN-LCK間の時間余裕とボディ電圧の遷移時間によって決定される。本章では, BODY-Nの遷移時間に要求される制約条件について扱うが, BODY-Pに関する制約も同様に導出される。

3.1 アクティブへの遷移時間に関するタイミング制約

スリープからアクティブへの遷移時のLCK, LEN, BODY-Nの電圧変化の例を図5(a)に示す。アクティブ時のスピードの低下を避けるためには, BODY-NをLCKの立ち上がりからFFのセットアップ時間 T_{setup} 以上前に, フォワード・バイアスの状態(式(5))にする必要がある。したがって, スリープからアクティブへの遷移時間 T_{StoA_body-n} に関するタイミング制約 C_{StoA} は, LENの立ち上がりからLCKの立ち上がりまでの時間余裕 T_{margin} を用いて

$$T_{StoA_body-n} \leq T_{margin} - T_{setup} \quad (11)$$

で与えられる。 T_{StoA_body-n} は, リミッタの駆動能力とファンアウト数によって決定される。したがって, 式(11)の右辺が極端に小さな値でない限り, この式を満たすようなリミッタのゲートサイジングと適当なファンアウト分配により, アクティブ時のスピードを損なわずにリーク電流を制限できる。

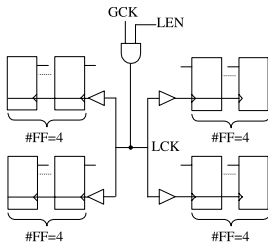


図 6 評価対象回路

Fig. 6 Circuit for evaluation.

3.2 スリープへの遷移時間に関するタイミング制約

図 5 (b) に、スリープからアクティブへの遷移時の LCK, LEN, BODY-N の電圧変化の例を示す。スリープに変化するとき、LCK の立上がりから FF のホールド時間 T_{hold} の間、BODY-N をフォワード・バイアス状態で保持する必要がある、これがアクティブからスリープへの遷移時間に関するタイミング制約 C_{AtoS} となる。ここで、グリッチ・キャンセラにより LCK が high の間、LEN は high に保持されるため、LEN はつねに LCK の立下がりの後 low へと変化する。一般に T_{hold} はクロック期間の半分より短いため、BODY-N は必ず C_{AtoS} を満たす。ただし、アクティブからスリープへの遷移時間が長い場合、リーク電力の削減効果が低下する。この遷移時間もリミッタの駆動能力とファンアウト数に依存する。タイミング制約 C_{AtoS} よりも C_{StoA} が厳しいため、スリープからアクティブへの遷移時間をもとに、リミッタの数とサイズを決定することが望ましい。

4. シミュレーションによる評価と考察

本章では、提案手法をもとに SPICE による回路シミュレーションを行った結果を示し、考察を加える。プロセスは $0.18 \mu\text{m}$ PD-SOI であり、電源電圧は 1.8V とした。フォワード・バイアスについて、nMOS, pMOS とも $V_{\text{FB}} = 0.5 \text{V}$ を印可した。温度については特に断りがない限り、室温 (25度) とした。実際のレイアウト結果より抽出した RC を用いた回路シミュレーションの結果をもとに、3 つの項目: 1) ボディ電圧の遷移時間, 2) リーク電力, 3) 付加回路による消費電力・面積のオーバーヘッド, について評価したうえで、提案手法の効果に対して考察を加えた。なお、2), 3) については、図 6 に示す回路を用いて評価した。

4.1 ボディ電圧の遷移時間に関する結果

ボディ電位の遷移時間に関するシミュレーション結果を図 7 に示す。ここで、 StoA_body-n(p) は、スリープからアクティブへの変化における nMOS (pMOS)

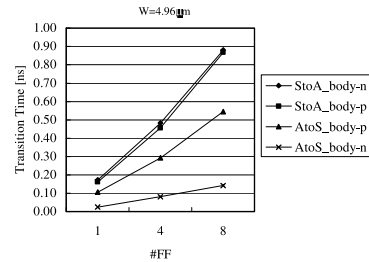


図 7 ボディ電圧の遷移時間

Fig. 7 Transition time of body voltage.

表 1 遷移時間が 0.5 ns 内になるときのリミッタのサイズ
Table 1 Limiter size for transition time less than 0.5 ns .

# FF	1	2	3	4
W [μm]	1.24	2.48	3.72	4.96

のボディ電圧の遷移時間、 AtoS_body-n(p) は、アクティブからスリープへの変化における nMOS (pMOS) のボディ電圧の遷移時間を表す。横軸はリミッタにより、ボディを駆動する FF (計 24 トランジスタ) の数を表し、縦軸はボディ電圧の 20~80% の遷移時間を示す。リミッタのトランジスタサイズは、FF 4 個のボディを駆動したとき遷移時間が 0.5 ns 内になるトランジスタサイズ $W_n = W_p = 4.96 \mu\text{m}$ である。

スリープからアクティブへの遷移時間 (StoA) は、式 (11) を満たす必要がある。FF 数による増加率が大きいと、リミッタのトランジスタサイズと数については注意深く決定する必要がある。図 7 では FF 1 個を駆動するとき遷移時間が約 0.2 ns に抑えられており、動作速度の低下を招くことなく本手法を導入可能であると考えられる。

アクティブからスリープ (AtoS) への遷移時間は StoA に比べて短く、特に nMOS においては短くなる。したがって、式 (11) を満たすように StoA_body-n(p) を決定した場合、 AtoS_body-n(p) が増加することは抑えられる。

次に、配線容量として 1 つの FF につき 3 fF を付加したうえで、図 7 の結果からリミッタの W を nMOS, pMOS とも等しいと仮定して、遷移時間が 0.5 ns 内になるように調整した結果を、表 1 に示す。リミッタにより駆動する FF の個数とリミッタのサイズは比例することが確認できる。しかし、リミッタから FF のボディまでの配線によっては、配線容量が大きく増加する可能性がある。図 8 (a) に示すように、リミッタから FF のボディまでの配線 BODY-P/N は 0.5 V 駆動であるため、配線負荷による伝搬遅延への影響が大きいと考えられる。そのため、以後のシミュレーション

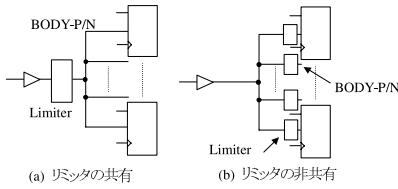


図 8 リミッタの共有, 非共有

Fig. 8 Shared and dedicated limiters.

表 2 スリープモードでのリーク電力
Table 2 Leakage power in sleep mode.

手法	固定バイアス	DTMOS	提案手法	提案 固定	提案 DTMOS
リーク電力 [μ W]	2.19	0.69	0.39	0.18	0.57

ンでは、図 8 (b) に示すように各 FF にリミッタを挿入して FF とリミッタを隣接配置することで、リミッタから FF のボディまでの配線を極力短縮し、配線負荷によるボディ電圧の遷移時間の増加を回避した。それでも 2 章で述べたとおり、FF を構成する 24 個のトランジスタに対するバイアス制御を 1 個のリミッタで行えるため、4.3 節で述べるように DTMOS より少ないトランジスタ数で構成できる。

4.2 リーク電力に関する結果

次にリーク電力について、図 6 に示す回路(FF × 16, AND × 1, クロックバッファ × 4)を用いて評価した。提案手法ではこれに FF とクロックバッファ制御用のリミッタおよびリミッタに与える LEN (\overline{LEN}) 生成用のインバータが付加される。クロック周波数を 100 MHz とし、各 FF にリミッタを挿入して遷移時間が 0.5 ns 内になるように $W_n = W_p = 1.24 \mu\text{m}$ とした。ここでは、図 2 (a) の構成に対応する従来手法を用いて、各トランジスタの V_{th} を提案手法におけるアクティブ時の値と一致させた結果 (固定バイアス), および図 1 の構成に対応する DTMOS と比較する。DTMOS については、補助トランジスタのサイズをすべて最小の $W_n = W_p = 0.44 \mu\text{m}$ とし、提案手法と同一の V_{ref-n} , V_{ref-p} を与える。

表 2 にスリープ時のリーク電力を示す。この結果から、提案手法は固定バイアスと同等の速度を保ちつつ、リーク電力を 82%削減できることが示された。

また、DTMOS と比べて、リーク電力を 43%削減できた。提案手法ではスリープ時にゼロバイアス ($V_{FB} = 0\text{V}$) になるため、ボディとソースまたはドレインとの PN 接合を流れるボディ電流の影響を受けないが、DTMOS ではインバータを構成する pMOS, nMOS のいずれかに $V_{FB} = 0.5\text{V}$ のボディバイアスが加わることで、ボディ電流が補助トランジスタを介

して流れ込み、電力を消費するためである。

4.3 提案手法によるオーバーヘッドに関する結果

遅延時間および提案手法による面積、アクティブ時の消費電力 P_{active} のオーバーヘッドおよびボディ制御回路による消費電力 P_{ctrl} に関する評価結果を表 3 に示す。ただし、遅延時間は、FF の遅延時間を表し、 P_{active} は式 (5), (6) に示したボディバイアスが安定した状態での 1 クロック期間 $T = 10\text{ns}$ の平均電力を表す。また P_{ctrl} は、ボディ電位を変化させる場合のボディ制御用付加回路における 1 クロック期間の平均電力を示す。従来手法は、図 2 (a) の構成に対応する。

図 6 に示した回路の場合、ボディ制御用付加回路はリミッタとインバータであり、面積のオーバーヘッドは 20%となった。このオーバーヘッドの 1 割に相当する 2%分が、ボディ・コンタクトおよびボディ配線による。提案手法では、ボディ・コンタクトおよびボディ配線に消費する面積が小さく、また複雑な回路を要しないため、面積の増加は比較的少ない。表 3 の結果においては、ボディ電圧遷移時間短縮のために、リミッタで駆動する FF の数を 1 にしているが、 T_{margin} が大きい場合はリミッタ数を減らして面積の削減することも考えられる。

また、提案手法による P_{active} のオーバーヘッドは 4%と少ない。ボディ電圧変化にともなう電力について、従来手法の P_{active} に対して、アクティブ状態への遷移、スリープ状態への遷移それぞれにおいて 14%となった。これは、図 2 (b) における LEN からリミッタに至るインバータの消費電力による影響が大きい。

DTMOS と比較すると、提案手法による結果は 51% 小さい面積を示した。これは、各 FF を構成するトランジスタ数では提案手法がリミッタを含め 26 個であるのに対し、DTMOS は、38 個となり補助トランジスタによりトランジスタ数が増加しているためであり、 W の総計で比較しても提案手法が有利である。アクティブ時の消費電力は、DTMOS より 20%小さい。これは、DTMOS におけるトランジスタ数と面積の増加による負荷容量の増加の問題を回避できたためと考えられる。そして DTMOS では、ゲート信号に補助トランジスタを接続するため、入力負荷が増加し、その結果フォワード・バイアス、提案手法に比べ、16%遅延が増加する。よって、速度を保ちつつ、リーク電力を削減するという事は補助トランジスタを用いた DTMOS では困難である。

4.4 クロック・ゲーティングにおける提案手法の効果

最後に、クロック・ゲーティングにおける提案手法

表 3 遅延時間および提案手法による面積, 消費電力のオーバーヘッド
Table 3 Delay and overhead of area and power dissipation.

手法	固定バイアス		DTMOS 提案手法		提案	提案
	固定	DTMOS	固定	DTMOS	固定	DTMOS
遅延時間 [ps]	145	173	145	1.00	1.00	0.84
セル面積 [μm^2]	1,178	2,905	1,411	1.20	0.49	
P_{active} [μW]	378	494	394	1.04	0.80	
$P_{\text{ctrl(StoA)}}$ [μW]	—	—	53	0.14*	0.11**	
$P_{\text{ctrl(AtoS)}}$ [μW]	—	—	54	0.14*	0.11**	

*固定バイアスの P_{active} との比較
**DTMOS の P_{active} との比較

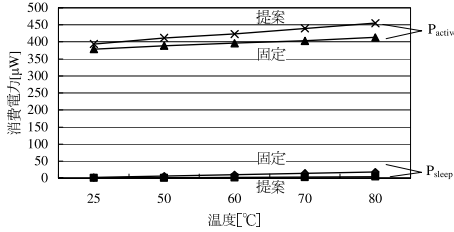


図 9 温度-電力特性

Fig. 9 Power vs. temperature.

による効果について考察する．図 9 に P_{active} , P_{sleep} の温度-電力特性を示す． P_{sleep} はリーク電力であるため, 温度の上昇とともに増加する．提案手法では, リーク電力の増加を従来手法に比べて抑えることが可能になった． P_{active} に関して, P_{dyn} の温度による変化はわずかであり, P_{leak} の増加が P_{active} の増加を起こす．

次に, アクティブ/スリープ間の状態遷移に要する電力まで考慮すると, 提案手法による消費電力の従来手法に対する変化分は

$$P_{\text{diff}} = \{ (P_{\text{active(prop)}} - P_{\text{active(conv)}}) \cdot N_{\text{active}} + (P_{\text{sleep(prop)}} - P_{\text{sleep(conv)}}) \cdot N_{\text{sleep}} + P_{\text{ctrl(StoA)}} \cdot N_{\text{StoA}} + P_{\text{ctrl(AtoS)}} \cdot N_{\text{AtoS}} \} / N_{\text{total}} \quad (12)$$

と表される．ここで, 添字(prop), (conv)は, それぞれ提案手法, 固定バイアスを表し, N_{active} , N_{sleep} は, アクティブ, スリープのサイクル数, N_{StoA} , N_{AtoS} は, アクティブ, スリープへ遷移した回数を表し, $N_{\text{total}} = N_{\text{active}} + N_{\text{sleep}}$ である．従来手法より消費電力を削減するために $P_{\text{diff}} < 0$ とすることが必要である．ここで, 図 10 に示すような次の条件

$$N_{\text{active}} = N_{\text{StoA}} = N_{\text{AtoS}} = 1 \quad (13)$$

のもとで, $P_{\text{diff}} < 0$ とする N_{sleep} の最小値を表 4 に示す．常温で $N_{\text{sleep}} \geq 69$ なら $P_{\text{diff}} < 0$ となる． $0.18 \mu\text{m}$ プロセスでは, リーク電力がダイナミック電力に比べて小さいため, 提案手法が効果を発揮するためには長めのスリープ・サイクル数が必要となる．

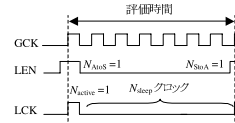


図 10 仮定条件

Fig. 10 Condition for evaluation.

表 4 提案手法が効果的となるスリープサイクル数

Table 4 Minimum sleep cycles for power reduction.

温度 [$^{\circ}\text{C}$]	25	50	60	70	80
サイクル数	69	27	17	12	11

80°C においては $N_{\text{sleep}} \geq 11$ であればよい．また現在は, FF に含まれるすべてのトランジスタをボディ制御対象としているが, 動作速度に影響を及ぼすトランジスタに限定することで, ボディ制御による消費電力 P_{ctrl} を削減することが考えられる．

さらにプロセスの微細化を考慮して, 1 世代でリーク電力が 5 倍になる³⁾ と仮定して $N_{\text{sleep}} \geq 4$ で有効となる温度を求めると, $0.13 \mu\text{m}$ では 60°C 以上で, 90 nm においては室温で有効に機能すると予測できる．

5. ま と め

本論文では, PD-SOI 上のクロック・ゲーティング機構に対応するリーク電力削減手法を提案した．本手法では, ローカル・クロック・バッファと FF を構成するトランジスタのスレッシュホールド電圧 V_{th} を, ローカル・クロックの状態に合わせて制御する．PD-SOI プロセスを対象とすることで, フォワード・バイアスによる 1 クロック期間内での V_{th} 制御を実現した．ボディ電圧の遷移時間を 1 クロック期間内で制御可能な短い時間に抑えられることを確認するとともに, リーク電力が 82%削減されることをシミュレーションにより確認した．

今後の課題として, ボディ制御対象トランジスタの選定方法によるボディ電圧遷移時の電力削減があげられる．

参 考 文 献

- 1) Min, K., Kawaguchi, H. and Sakurai, T.: Zigzag super cut-off CMOS (ZSCCMOS) block activation with self-adaptive level controller: an alternative to clock-gating scheme in leakage dominant era, *ISSCC Digest of Technical Papers* (2003).
- 2) Sakurai, T. and Newton, A.R.: Alpha-power law MOSFET model and its application to CMOS inverter delay and other formulas, *IEEE Journal of Solid State Circuits*, Vol.25, No.2, pp.584-594 (1990).
- 3) De, V. and Borkar, S.: Technology and design challenges for low power and high performance, *Proc. ISLPED*, pp.163-168 (1999).
- 4) Heo, S. and Asanovic, K.: Leakage-biased domino circuits for dynamic fine-grain leakage reduction, *Symp. on VLSI Circuits Digest of Technical Papers*, pp.316-319 (2002).
- 5) Sakurai, T.: Perspectives on Power-Aware Electronics, *ISSCC Digest of Technical Papers*, (2003).
- 6) Kuroda, T., Fujita, T., Nagamatsu, T., Yoshioka, S., Suzuki, K., Sano, T., Norishima, M., Murota, M., Kako, M., Kinugawa, M., Kakumu, M. and Sakurai, T.: A 0.9-V, 150-MHz, 10-mW, 4mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme, *IEEE Journal of Solid State Circuits*, Vol.31, No.11, pp.1770-1779 (1996).
- 7) Mutoh, S., Douseki, T., Matsuya, Y., Aoki, T., Sigematsu, S. and Yamada, J.: 1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS, *IEEE Journal of Solid State Circuits*, Vol.30, No.8, pp.847-854 (1995).
- 8) Addaderaghi, F., Parke, S., Sinisky, D. Bokor, J., Ko, P.K. and Hu, C.: A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation, *IEEE IEDM Tech. Dig.*, pp.809-812 (1994).
- 9) Addaderaghi, F., Sinisky, D., Parke, S., Bokor, J., Ko, P.K. and Hu, C.: A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage VLSI, *IEEE Trans. Elec. Dev.*, Vol.44, No.3, pp.414-422 (1997).
- 10) Maeda, S., Hirano, Y., Yamatuchi, Y., Ipposhi, T., Ueda, K., Mashiko, K., Maegawa, S., Abe, H. and Nishimura, T.: Substrate-bias effect and source-drain breakdown characteristics, *IEEE Trans. Elec. Dev.*, Vol.46, No.1,

pp.151-158 (1999).

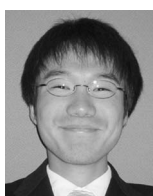
(平成 15 年 10 月 22 日受付)

(平成 16 年 3 月 5 日採録)



福岡 一樹

1976 年生。1998 年神戸大学工学部電気電子工学科卒業。同年シャープ株式会社入社。アナログ回路設計に従事。2000 年より神戸大学大学院入学。2002 年同大学院自然科学研究科博士前期課程修了。同年、同研究科博士後期課程進学。LSI 設計に関する研究に従事。



飯島 正章

1980 年生。2003 年神戸大学工学部電気電子工学科卒業。同年同大学大学院自然科学研究科博士前期課程入学。LSI 設計に関する研究に従事。電子情報通信学会学生会員。



濱田 健司

1980 年生。2004 年神戸大学工学部電気電子工学科卒業。同年、同大学大学院自然科学研究科博士前期課程入学。LSI 設計に関する研究に従事。



沼 昌宏 (正会員)

1960 年生。1983 年東京大学精密機械工学科卒業。1985 年同大学大学院修士課程修了。同大学助手、講師を経て、1990 年神戸大学大学院自然科学研究科講師、1995 年同大学工学部電気電子工学科助教授、2004 年同学科教授。工学博士。主に LSI の設計と CAD、画像処理に関する研究に従事。IEEE, ACM, 電子情報通信学会会員。



多田 章 (正会員)

1973 年生。1995 年神戸大学工学部電気工学科卒業。1997 年同大学大学院自然科学研究科博士前期課程修了。同年三菱電機株式会社入社。以来、LSI の設計技術に関する研究開発に従事。2003 年 4 月より株式会社ルネサステクノロジに転籍。IEEE, 電子情報通信学会各会員。