

NoCにおけるQoSのハードウェアでの実装とその評価

森高 晃大†

伊藤 雄太‡

グエン チュオン ソン‡

小柳 滋†

†立命館大学

‡立命館大学大学院理工学研究科

1 はじめに

複数のコアを単一チップ上に集約する System on Chip において、コア間の通信を効率的に行う NoC (Network on Chip) が注目されている。チップ上に集約されたコア間の通信は従来バスが用いられているが、性能、遅延、スケラビリティ等の面からバスに代わるものとして NoC が研究されている。

我々は組み込みシステムにおける NoC について検討している。組み込みシステムでは、リアルタイム制御のための QoS (Quality of Service) 保証が必要となる。QoS 保証では、バンド幅を保証する GS (Guaranteed Service) 通信が用いられるが、同時にバンド幅を保証しない BES (Best Effort Service) 通信もサポートする必要がある。これら2つの通信が同一ネットワーク上で混在する。我々は、GS 通信のバンド幅を保証しつつ、BES 通信の性能を低下させないことを目指している。

QoS 保証の実現には、Time Division Multiplexing (TDM) や、仮想チャンネル (VC) の予約によって行う方式が提案されており、これらはハードリアルタイム QoS に分類される。これらの手法では、GS 通信を Variable Bit Rate (VBR) で行う場合、最大の Bit Rate を確保する必要がある。しかし、実際の Bit Rate が確保された値より低下すると、その影響により効率よく BES 通信を行うことができないため、BES 通信の性能が低下する。本稿では、GS 通信のリアルタイム性を維持しつつ BES 通信の性能向上を目的としたソフトリアルタイム QoS の実現方法について述べる。

2 QoSの実現方法

2.1 TDM

Ethereal[1] のルータアーキテクチャを図1に示す。Etherealでは、GS通信の開始前に、目的ノードまでの通信経路が確保される。この確保された経路は他の通信では使用できない。経路確保には各ノードに存在する Time-Slot モジュールを用いた TDM で行われる。この Time-Slot には、GS パケットの経路と通過時刻が記録され、この記録内容をもとに GS 通信が行われる。また、各ノードには GS 通信専用の仮想チャンネルが存在し、これと Time-Slot によってハードリアルタイム QoS を実現している。

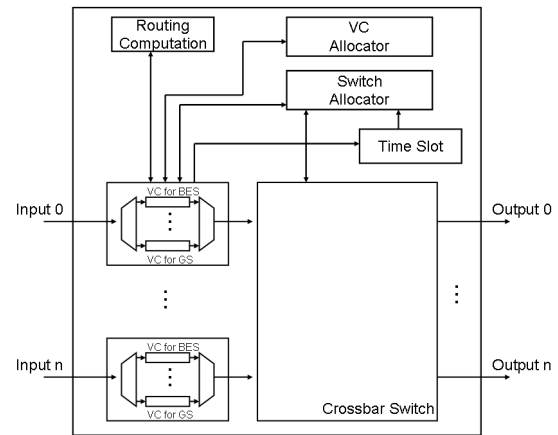


図1: Ethernet ルータアーキテクチャ

2.2 優先度アービタ

この手法では、GS 通信用パケットに BES 通信用パケットより高い優先度を与え、その優先度に応じてアービタで調停を行うことにより、GS 通信用パケットにバンド幅を優先的に割り付けて QoS 保証を実現する。しかし、これだけでは BES 通信のトラフィックが高いとき GS 通信に仮想チャンネルが割り当てられない場合があり、GS 通信の QoS が守れない場合がある。

2.3 VC 分割

本手法 [2] では、GS 通信と BES 通信で割り付ける仮想チャンネル数を分離する。これにより GS 通信は BES 通信のトラフィックにかかわらず VC を使用できるため、GS 通信の QoS を維持しやすくなる。さらに、各通信のトラフィックに応じて VC を動的に分割することにより、GS 通信が多く行われている経路では、GS 通信用にバッファが多く割り当てられる。逆に GS 通信が少ない経路は BES 通信用にバッファが多く割り当てられ、VC の使用効率を高めることができる。これにより、BES 通信の性能低下を緩和することができる。

3 ハードウェアによる実装

3.1 ベースとなるルータ

QoS を実現する上でベースにするルータアーキテクチャは、通常の VC ルータを用いて QoS を実現する方式に加え、VOQ (Virtual Output Queuing) 方式に基づくルータ [3] を取り上げる。図2に VC ルータのアーキテクチャを、図3に VOQ ルータのアーキテクチャを示す。VOQ ルータは各入力ポートに各出力ポート専用の

Evaluation of QoS Architecture for NoC

†Kodai MORITAKA ‡Yuta ITO ‡Nguyen Truong Son †Shigeru OYANAGI

†Ritsumeikan University

‡Graduated School of Science and Engineering, Ritsumeikan University

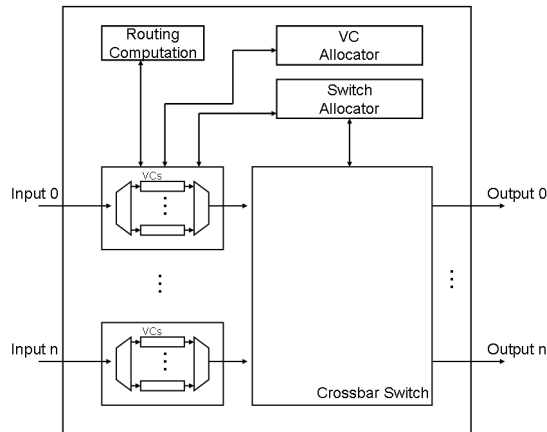


図 2: VC ルータアーキテクチャ

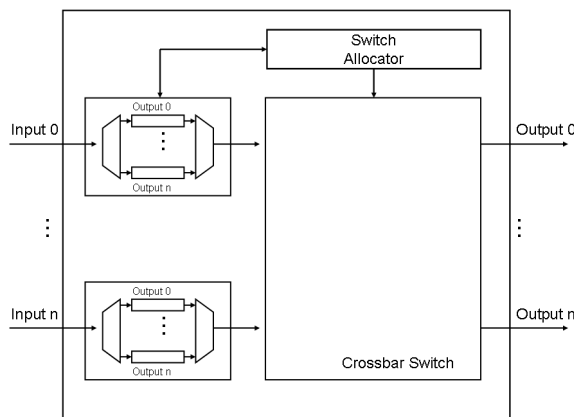


図 3: VOQ ルータアーキテクチャ

VC を設けている．出力ポートごとに VC を設けることにより，出力可能なポートが存在しても，VC の先頭パケットを出力できないために発生する HOL (Head Of Line) ブロッキングを低減できる．また，入力パケットを格納する VC が固定されているため，ルータ内のパイプライン段数を削減することができ，ルータのレイテンシを低減することができる．

3.2 実装したモデル

以上に示した QoS の実現方式を比較するため，ベースとなるルータを用いてハードウェアによる実装を行う．以下のモデルを FPGA に実装し，性能とハードウェア規模について比較・評価する．回路設計には Verilog HDL を用い，シミュレーションには ModelSim XE6.3c を用いる．

- Æthereal
- VOQ + 優先度アービタ
- VC + 優先度アービタ

表 1: 各モデルの実装結果

	スライス数	LUTs	Flip-Flops	動作周波数
Æthereal	570	2193	645	203 MHz
VOQ + 優先度アービタ	486	1525	300	100 MHz
VC + 優先度アービタ	1559	3721	425	169 MHz
VC + 優先度アービタ + バッファ分割	1504	4168	500	167 MHz

- VC + バッファ分割 + 優先度アービタ

3.3 評価

評価に用いるネットワークは 4*4 の 2 次元メッシュとし，ルーティング方式は XY ルーティングとする．上記のモデルすべてについて，双方向チャンネル，16 ビットデータ幅，5 フリット分のバッファサイズとする．

実装結果を表 1 に示す．スライス数は，VOQ + 優先度アービタが最も小さくなり，反対に VC + 優先度アービタ，VC + バッファ分割 + 優先度アービタが大きくなった．これは，図 2，3 より，Routing Computation と VC Allocator を削減した効果だと考えられる．

また，動作周波数は VOQ + 優先度アービタが最も低く，Æthereal が高くなっている．VOQ ルータでは，Switch Allocation，Switch Traversal を並行して行うため，処理が複雑になったことが動作周波数低下の原因と考えられる．Æthereal は，Time Slot での処理が，優先度アービトレーションやバッファの分割処理に比べて簡単であるため，動作周波数が高くなったと考えられる．

4 おわりに

NoC における QoS の実現方式について検討し，さまざまなモデルをハードウェアで実装することにより，性能・ハードウェア規模を比較・評価した．まだ，実装中であり，評価結果は不十分であるが，VOQ ルータをベースに優先度制御とバッファの動的分割を加えたソフトリアルタイム方式について，さらに検討する．

参考文献

- [1] Goosen,K., Dielissen,J., Radulescu,A., Æthereal Network on Chip: Concepts, Architectures, and Implementations, IEEE Design & Test of Computers Vol.22 No.5 pp.414-421 2005
- [2] Ito,Y., Nguyen,T.S., Oyanagi,S., Evaluation of QoS Architecture by Dynamic Virtual Channel Allocation for NoC, 情報科学技術フォーラム 2010
- [3] Nguyen,T.S., Oyanagi,S., Development of A Low Latency Router Utilizing Virtual Output Queuing for Network-on-Chip, 電子情報通信学会論文誌 電子情報通信学会 Vol.J93-D No.10 pp.2222-2230