

計算機システム研究のためのハードウェア試作

吉瀬 謙二[†]

東京工業大学大学院情報理工学研究科[†]

1 はじめに

FPGA とメモリを搭載するシンプルな計算機システムを設計し、この計算機システムを接続することでスケラブルかつ大規模な計算機システム (ScalableCore システム) を構築した [1]。また、ScalableCore システムをメニーコアプロセッサのシミュレータとして活用して、ディペンダブルな計算機システムを開発するプロジェクト [2] に取り組んでいる。

このような計算機システム研究においては、ソフトウェアシミュレータを用いて方式を評価することが多いが、計算機システムを試作してそれを活用するという方法を選択した。本稿では、ScalableCore システムを構成する 1 ボードである ScalableCore Unit V2.3 の試作例を紹介しながら、インクリメンタルなハードウェア試作の有用性を議論する。

2 計算機システムのハードウェア試作

計算機システムには、プロセッサ、メモリ、I/O を主要な部品として持つという特徴がある。ただし、プロセッサの内部構成も研究対象としているため、その構成を変更できるように FPGA にプロセッサを実装する構成を前提とする。VDEC で試作したチップを用いる場合のケーススタディは文献 [3] に詳しい。

計算機システム研究のハードウェア試作のために市販の FPGA ボードを利用できれば、設計コストを大幅に削減できる。しかしながら、メモリの仕様が異なったり、性能 (速度、電力、設置面積など) やコストへの要求が異なっていたりするため、市販の FPGA ボードの採用が難しいことが多い。このような場合には、十分な検討によってハードウェアの仕様を定めるとともに、プリント基板のパターン設計が必要となる。

3 プリント基板のパターン設計

ScalableCore Unit V2.3 の主な仕様を列挙する。プリント基板の外形 $47\text{mm} \times 60\text{mm}$ 、FPGA XC6SLX16-2FTG256 (Spartan-6) を搭載、4Mbit SRAM ($512k \times 8$) を搭載、通信のため上下左右にコネクタを配置。

プリント基板は、その構造から、1 層基板 (片面にパターンのあるプリント基板、片面基板とも呼ばれる)、2 層基板 (両面にパターンのあるもの、両面基板とも呼ばれる)、多層基板 (パターンが 2 層より多いもの、4 層基板や 6 層基板が一般的) という 3 種類に分類できる。ここで、パターンとは伝導体 (銅箔など) の配線を指す。

Hardware Prototyping for Computer System Research
Kenji KISE

[†] Graduate School of Information Science and Engineering,
Tokyo Institute of Technology

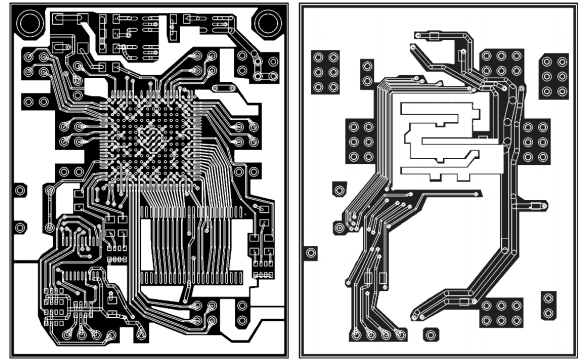


図 1: ScalableCore Unit V2.3 のパターン。左が部品面、右が半田面 (白色の部分が銅箔のパターンとなる)。

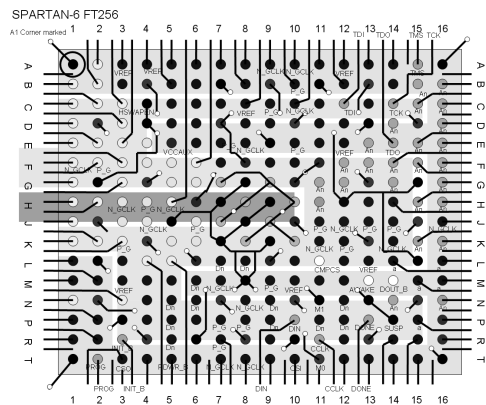


図 2: FPGA Spartan-6 256BGA のレイアウト検討の結果。

1 層基板では、配線の交差が難しく、実現できる回路が大幅に制限されるため、FPGA を搭載するハードウェア試作には適していない。一方、設計および製造コストから、多層基板の採用は好ましくない。このような要求から、2 層基板のパターン設計を選択した。2 つの層は部品面 (表) および半田面 (裏) と呼ばれる。

フリーソフトウェア PCBE を用いて設計したパターンを図 1 に示す。図左の部品面には、FPGA を搭載するための BGA (Ball Grid Array) のパターン (中央やや上、ボールピッチ 1.0mm) や、SRAM を搭載するためのパターン (右下) がある。一方、図右の半田面は、左下部分の FPGA コンフィギュレーションのためのパターンと電源供給のパターン等を除き、大部分をグランドとした。部品配置および配線レイアウトが決まっていれば、この程度の複雑さの基板であれば、2~3 日の作業でパターン設計を完了できる。

FPGA の様な大規模デバイスを利用する場合には、そのための配線レイアウトが難しい。配線レイアウトの検討結果を図 2 に示す。まず、プリント基板製造の設計ルールから、ボールをハンダ付けするパッドの間に配線

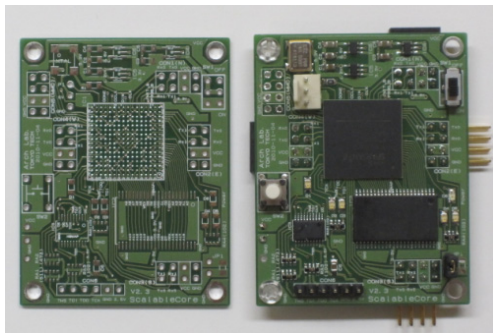


図 3: ScalableCore Unit V2.3. 左が製造したプリント基板 (外形 47mm × 60mm), 右が部品実装を経て完成したボード。

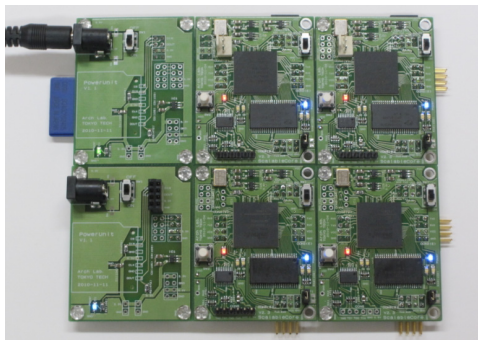


図 4: ScalableCore Unit V2.3 を 4 枚接続した ScalableCore システムを動作させている様子。

を 1 本しか配置しない, といった制約を設定する。次に, 電源, グランド, I/O, SRAM などと接続する全ての配線を引き出すためのレイアウトを考える。

2 層基板で外形が決まっている場合, 仕様に基づく配線レイアウトが可能かどうかは実際に引いてみないわからない (一般的に, FPGA を搭載するボードを 2 層基板で設計することは無謀である)。このため, 配線レイアウトは挑戦的な作業となることがある。図 2 の検討は数日で完了したが, 困難な場合には, パッド間に 2 本の配線を通すといった設計ルールの変更が必要となる。

4 プリント基板製造と部品実装

実装業者にパターン設計のデータを提供して, プリント基板を製造する。通常, データを提供してから, 基板が手元に届くまで 1 週間程度 (コストは急上昇するが数日間で製造することも可能) である。図 3 左に, 図 1 のデータから製造したプリント基板の写真を示す。

プリント基板には, FPGA, SRAM, コンデンサといった部品を実装する必要がある。実装を業者に依頼しても良いが, そのためには部品の梱包と郵送, 工場のライン確保などの時間を要してしまう。このため, 初期の試作の部品実装は手作業でおこなうことが好ましい。図 3 右に, 部品実装を経て完成したボードを示す。FPGA を含む全ての部品は手作業で実装しているが, これに要する時間は 1 時間程度である。

ScalableCore Unit V2.3 を 4 枚接続したシステムを動作させている様子を図 4 に示す。左端には電源供給用のボードが接続されている。FPGA には独自開発のプロセッサ [4] および通信のためのルータ等が実装されてい

る。本システムは 45MHz の動作周波数で安定動作している。

5 議論: インクリメンタルなハードウェア設計

新規にプリント基板を設計するハードウェア試作では, (A) 回路図設計, (B) プリント基板のパターン設計, (C) プリント基板製造, (D) 部品実装, (E) 動作検証, といった作業を繰り返す開発サイクルが生じる。

ハードウェア試作では, 確実に動作する所望のハードウェアの実現が求められるが, そのためには, この開発サイクルを何度も繰り返す余裕があることが好ましい。この余裕によって, インクリメンタルな (段階的な) 開発が可能となり, それによってデバッグの効率が飛躍的に向上する。

インクリメンタルな開発のためには, 開発サイクルを延ばす主要な原因となる金銭的成本と時間的成本の削減が重要となる。ScalableCore システムの試作では, (C) プリント基板製造, を除く大部分の工程を自前でおこなうことで, 金銭的成本と時間的成本を大幅に削減している。ただし, そのためには, それぞれの工程のスキルをある程度習得するとともに, 手作業の実装に適したパターン設計をおこなう, 動作検証をシンプルにするための設計をおこなう等, 複数の工程を意識した設計が不可欠となる。

また, シンプルな構成要素を敷き詰めるという ScalableCore システムの設計思想により, 大部分の工程を自前でおこなえるレベルまでそのハードウェアを簡略化できている。これがコスト削減を可能にしている理由の一つである。別のハードウェア試作で同様の手法が使えるという訳ではないが, 同様の方針を検討してみる価値があるのではないだろうか。

6 まとめ

本稿では, ScalableCore Unit V2.3 の試作例を紹介しながら, インクリメンタルなハードウェア試作の有用性を議論した。

謝辞

本研究の一部は, 科学技術振興機構・戦略的創造研究推進事業 (CREST) 「アーキテクチャと形式的検証の協調による超ディペンダブル VLSI」の支援による。

参考文献

- [1] 高前田他. メニーコアアーキテクチャの HW 評価環境 ScalableCore システムの開発, SACSIS2010 論文集, pp.287-294, 2010.
- [2] 吉瀬他. メニーコアプロセッサのディペンダビリティ向上と高性能を目指す SmartCore システム, 情報処理学会研究報告 2008-ARC-180, pp.49-52, 2008.
- [3] 若杉他. 極めて低コストで効率的な VDEC チップ試作・検証システムの開発と応用, 情報処理学会研究報告 2009-ARC-183, pp.1-8, 2009.
- [4] 渡邊他. MIPS システムシミュレータ SimMips を活用した組込みシステム開発の検討, 情報処理学会研究報告 2008-EMB-10, pp.23-28, 2008.