

システム液晶のための配線容量抽出手法

内田 好弘^{†1} 谷 貞宏^{†2} 橋本 昌宜^{†1}
 築山 修治^{†3} 白川 功^{†4}

システム液晶など配線とグランド平面の距離が遠い構造では、配線間の容量結合の割合、影響範囲が大きく、容量の見積りが困難である。既存の容量抽出手法では LSI 配線を対象に抽出処理、容量モデルの作成を行っているため、システム液晶配線に適用すると誤差が大きい。本稿ではグランド平面の距離と容量結合の関係を調べ、LSI 配線との違いを明らかにし、システム液晶に適した配線容量抽出手法について考察する。複数配線からなる配線構造を広範囲にわたってフィールドソルバで解析するのは困難である。計算量、データ規模を削減する方法として 4 種類の領域分割手法を考察し、精度と計算コストを評価した。液晶ドライバ回路における基本的な配線構造である格子構造に対して領域分割を行い、分割をせずに解析した容量値と比較した。注目配線に直交する配線の中央で領域を分割する方法が、事前に行うキャラクタイズコスト、抽出精度の観点で優れており、システム液晶の配線容量抽出に適していることを明らかにした。

Interconnect Capacitance Extraction for System LCD Circuits

YOSHIHIRO UCHIDA,^{†1} SADAHIRO TANI,^{†2} MASANORI HASHIMOTO,^{†1}
 SHUJI TSUKIYAMA^{†3} and ISAO SHIRAKAWA^{†4}

This paper discusses interconnect parasitic capacitance extraction for system LCD circuits, where coupling capacitance is much significant since a ground plane locates far away unlike LSI designs. In order to implement an accurate and efficient capacitance extraction system, interconnect structures are spatially divided into several regions considering capacitance coupling range, and analyzed in each region using 3-D field solver. In this paper, four division methods are evaluated in lattice structures that are basic and common structure in LCD driver circuits. Experimental results reveal efficient division methods for accurate capacitance extraction.

1. はじめに

近年、ガラス基板上に回路を実装するシステム液晶技術が普及してきている。従来は液晶パネルとは別に実装していた周辺回路をガラス基板上に集積することにより製品の小型化、低コスト化が進んでいる。現在は液晶ドライバ回路などの小規模な回路の実装が主であるが、プロセス技術の進歩にともなって CPU などの大規模な回路の実装も実現されつつある¹⁾。その回路設計において、配線間容量の抽出精度が問題となっている²⁾。

システム液晶では図 1 のように厚さ数百 μm のガラス基板の上に回路が生成されており、対向電極の存在しない液晶表示部周辺の配線領域には明確なグランド平面が存在しない。ガラスの反対側に存在する筐体をグランド平面と見立てた場合、LSI の配線に比べると配線-グランド平面間の距離は 100~1,000 倍となる。配線容量は、対グランド容量よりも配線間容量が支配的であり、配線交差部などにおける三次元的な容量結合が大きく、LSI と同じ容量抽出手法では正確な抽出が困難である。既存の容量抽出手法は、LSI の配線を対象として容量のモデル、抽出方法が設計されており、液晶構造のようにグランドが遠い構造を想定していない。システム液晶の回路に対して精度良く容量を抽出するためにはグランドが遠い場合の容量値を分析し、適切な容量モデルを作成する必要がある。システム液晶における容量モデルとして、文献 2) では 2 導体間の結合容量のモデリングを行っている。しかし導体が複数存在する場合の容量結合の影響範囲は考慮されて

†1 大阪大学
Osaka University

†2 シャープ株式会社
SHARP Corporation

†3 中央大学
Chuo University

†4 兵庫県立大学
University of Hyogo

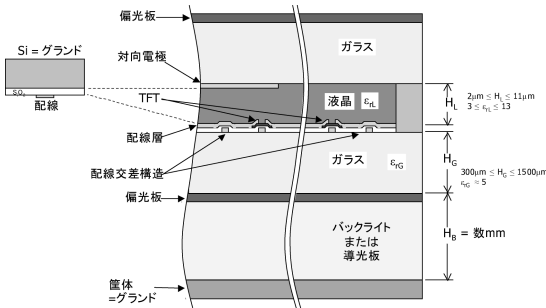


図 1 システム液晶の基本構成
Fig. 1 Typical structure of system LCD.

ならず、大規模な実レイアウトには適用しにくい。そのため、複数導体からなる複雑な配線構造に対する容量抽出手法が求められている。

本稿では、パターンマッチングによる容量抽出手法を液晶配線に適用する手法を検討した。精度を保ちながら計算量を削減する手法として空間的な領域分割方法を示し、キャラクタライズコストや精度の評価を行った。2章ではグランド平面の距離と容量結合の振舞いを解析し、LSI 配線との違いを明らかにする。3章ではシステム液晶に適した容量抽出手法について述べ、計算時間、データ規模削減のための配線構造に対する空間的な領域分割について述べる。4章では格子状の配線構造に対して領域分割を適用した結果を示し、計算量と精度について述べる。最後に5章でまとめと今後の課題を示す。

2. 配線-グランド間距離と容量結合の関係

本章では、基本的な配線構造における配線-グランド間距離と平行配線間容量、交差配線間容量との関係を示し、LSI 配線とシステム液晶の配線での違いについて考察する。

2.1 平行配線間容量

図 2 は 3 配線が平行する構造の断面図である。配線-グランド間距離 H を $1 \sim 10,000 \mu\text{m}$ と変化させて容量値の変化を調べた。LSI 配線でのグランド距離は $H = 1 \sim 10 \mu\text{m}$ のオーダであり、システム液晶での配線では $H = 1,000 \mu\text{m}$ のオーダである。配線幅 W 、配線間隔 S はすべて $5 \mu\text{m}$ とし、配線厚 T は $1 \mu\text{m}$ 、誘電率は一様で $\epsilon = 3.9$ とした。市販のフィールドソルバ³⁾を用いて 2 次元電磁界解析を行った結果を図 3 に示す。左端の配線 M21 を注目配線とし、M21 に生じる各容量と配線-グランド間距離の関係を表している。

図 3 の縦軸は単位長さあたりの容量値であり、LSI の配線 ($H = 1 \sim 10 \mu\text{m}$) では対地容量 (M21-GND) が支配的であり、直近の平行配線との結合容量 (M21-

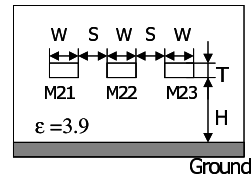


図 2 平行 3 配線の 2D 断面図
Fig. 2 Cross-section of three parallel wires.

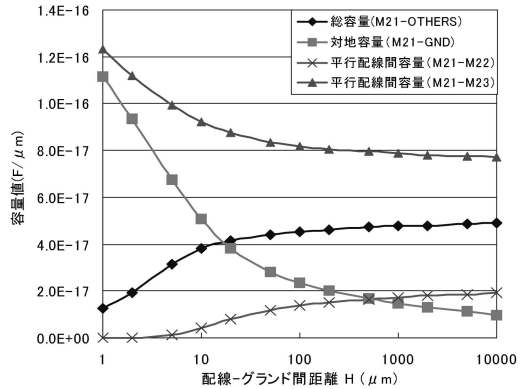


図 3 グランド距離と容量値の関係
Fig. 3 Relation between ground plane location and capacitance.

M22) が全体の 10 ~ 50% である。一方、2 本隣の平行配線との結合容量 (M21-M23) は 10% 以下となり影響は小さい。システム液晶の配線 ($H = 1,000 \mu\text{m}$) では、1 本隣の配線との結合容量 (M21-M22) が 60%、2 本隣との結合容量 (M21-M23) が 22%、対地容量 (M21-GND) が 18% となり、対地容量よりも 2 つ隣の平行配線との容量結合の方が大きい。一般に LSI 配線ではグランド平面との結合が大きく、平行配線との容量結合は最隣接配線のみを考慮すれば十分であることが多い⁴⁾。しかしシステム液晶の配線に対しては、少なくとも 2 つ隣の配線まで見る必要がある。

次に、考慮すべき隣接平行配線の本数を調べるため、図 2 中の平行配線数を 1 ~ 5 本と変化させて容量値を評価した。 $H = \{1,000, 10,000\} \mu\text{m}$ とし解析した結果を図 4 に示す。図の縦軸は注目配線 M21 に生じる単位長さあたりの容量値である。 $H = 1,000 \mu\text{m}$ の場合、総容量 (M21-OTHERS) は、平行配線数が 1 本と 2 本の間で 150% も増加している。2 本と 3 本の間では 5% 増加しているが、3 本以上に増やしてもほとんど変化はなかった。平行配線間容量は、総容量を 100% とすると、最隣接の配線との結合容量 (M21-M22) は平行配線数が 2 本のときに 77%、3 本のときに 60% となり、4 本以上では 54 ~ 57% とほぼ一定になった。2 本隣の配線との結合容量 (M21-M23) は、平行配線数

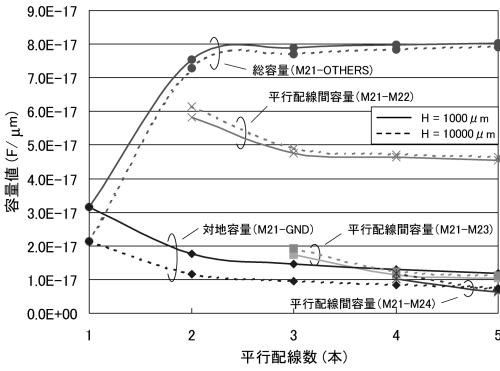


図 4 平行配線数と容量値の関係

Fig. 4 Relation between number of parallel wires and coupling capacitance.

が 3 本のときに 22%, 4 本以上では 11~14% とほぼ一定であった。3 本の配線との結合容量 (M21-M24) は平行配線数が 4 本のときに 13% となり、それ以上は 10% 以下であった。H = 10,000 μm の場合も対地容量、総容量で若干の違いはあるが平行配線間容量はほぼ同じ値となった。以上より、システム液晶の場合には隣接 2 配線を考慮すべきである。総容量の 10% を占める結合容量が問題となる場合は、隣接 3 配線を考慮する必要がある。ただし、考慮すべき平行配線数が増えると容量モデルの数、計算量は大きく増加するので、精度と計算量はトレードオフの関係にある。

2.2 交差配線間容量

図 5 は交差する 2 配線のレイアウト図である。下層の配線を M1, 上層の配線を M2 とし、注目配線を M2 とする。M2 の配線長を交差部から 1,000 μm とし, M1 の配線長を交差部から R1 = 10 ~ 100,000 μm と変化させて交差配線間の容量結合を調べた。ただし、各配線幅 W は 5 μm, 配線厚, 配線層間距離はすべて 1 μm, 誘電率は一様で ε = 3.9 とした。3 次元電磁界解析を行い、グランド距離を H = {1, 10, 100, 1,000, 10,000} μm として調べた結果を図 6 に示す。LSI 配線 (H = 1 ~ 10 μm) に対しては、配線長にかかわらず結合容量が一定となっている。これは注目配線 M2 に対して対地容量が支配的であり、交差配線間には対向している部分周辺のみで容量結合が生じているからである。一方、システム液晶の配線 (H = 1,000 μm) では配線長が 2,000 μm のあたりでようやく収束が見られる。M2 に対してグランド平面よりも隣接配線の方がはるかに近く、交差部から遠い距離まで容量結合が生じているからである。この効果がシステム液晶と LSI 配線での違いであり、既存容量抽出手法で十分な精度が出ない要因である。

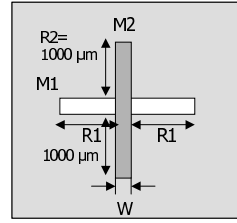


図 5 交差 2 配線のレイアウト図

Fig. 5 Layout of two crossing wires.

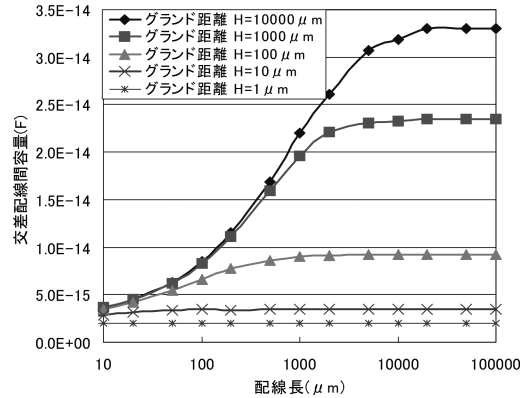


図 6 交差配線間における容量結合の範囲

Fig. 6 Capacitance coupling range of two crossing wires.

以上の結果から、システム液晶の配線では LSI 配線に比べて容量結合の影響が非常に大きく、結合の影響範囲もはるかに広いことが分かった。精度良く容量を抽出するためには、グランド距離に相当する範囲において少なくとも隣接 2 配線との関係を考慮して計算を行う必要がある。

3. システム液晶に適した容量抽出手法

本章では、容量抽出の対象とするシステム液晶のプロセス情報、配線の構造パラメータについて定義し、パターンマッチングによる容量抽出の流れ、計算量削減のための配線構造に対する空間的な領域分割方法について述べる。

3.1 対象プロセスと構造パラメータ

本稿で容量抽出対象とするシステム液晶のプロセス情報、配線パターンを図 7 に示す。配線-グランド間距離は 1,000 μm であり、配線は 2 層で下層を M1, 上層を M2 とし、互いに直交するものとする。配線厚, 配線層間距離はすべて 1 μm とし、誘電率は一様で ε = 3.9 とする。配線の構造パラメータは、配線幅 W, 配線間隔 S, 配線長 L である。W, S は各層とも最小値を 5 μm とし、その整数倍の値をとるものとする。容量抽出の対象とする配線構造としては、液晶ド

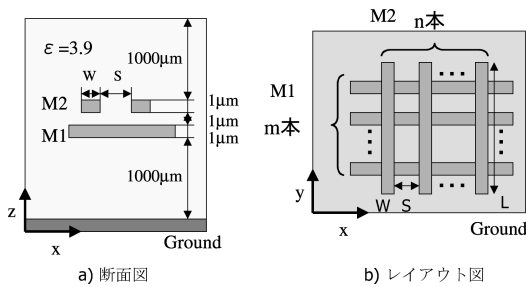


図 7 対象プロセス構造
Fig. 7 Target process parameters.

ライバ回路を想定する．液晶ドライバ回路は並行する配線長が長く、交差構造も多く配線容量の影響が特に重要となる回路である．基本となる配線構造は複数配線からなる平行構造、交差構造、格子状の交差構造である⁵⁾．容量を抽出したい注目配線に対して、隣接配線がない場合、平行配線がない場合は格子構造のサブセットとして考えることができるため、 $m \times n$ の格子構造を評価対象と定めた．

3.2 容量抽出の流れ

ディープサブミクロンプロセス以前の LSI の配線容量抽出では、2 導体間の解析式を用いる手法⁶⁾ や 2 導体に対して 3 導体目の影響を補正する 2.5D 方式⁷⁾ が主流であった．しかし現在の微細プロセスでは隣接配線との影響が増大するため、配線構造の基本的なパターンを事前にフィールドソルバで解析し、レイアウトに対してパターンマッチングにより算出する手法⁸⁾ が用いられることが多い．また、注目配線全体に対して 3D フィールドソルバで容量値を計算する手法も提案されている^{4),9)} ．

本稿では精度・実装の観点からパターンマッチングを用いた容量抽出を想定する．パターンマッチングを用いた容量抽出の一般的な流れを図 8 に示す．まず前処理としてプロセス情報、目標精度などから特徴的なパターンに対する容量モデルの計算を行い、容量モデルの係数データベースを作成する．このとき、パラメータのすべての組合せを保持するものと、何点かの計算結果を保持しておき、補間計算するものがある．容量抽出実行時には、レイアウトデータに対して容量を抽出したいネットを選択する．次に注目ネットと容量結合を生じる隣接・交差する配線を含んだ配線構造を容量抽出構造として定義する．そして抽出構造に対して容量モデルとのパターンマッチングを行い、構造全体の容量値を算出し、注目ネットに対する容量抽出結果を出力する．配線構造に対応する容量モデルがない場合は、近い構造を持った容量モデルとマッチング

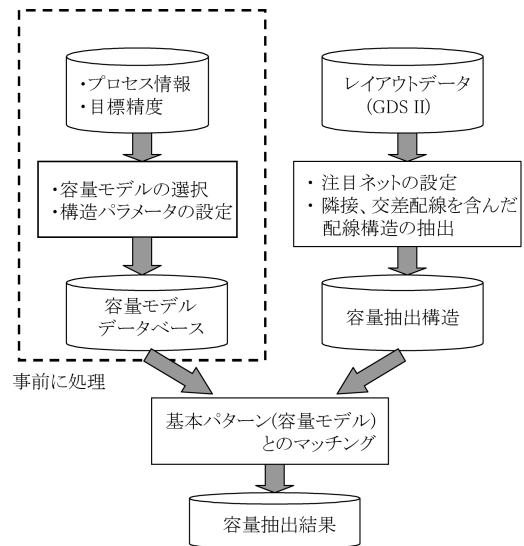


図 8 容量抽出処理の流れ
Fig. 8 Capacitance extraction flow using pattern matching.

が行われる．

パターンマッチングによる抽出の誤差要因には、容量モデルのパターンが適切でないことで生じる誤差と補間による誤差がある．精度良く容量を抽出するためには、容量結合の範囲を考慮した特徴的なレイアウトパターンを選択すること、各構造パラメータの値の範囲、事前に解析する値の個数を適切に設定することが重要となる．

3.3 容量抽出の計算コスト

2 章で述べたように LSI 配線が対象の場合、一般的に平行配線は最近接配線のみを考慮すればよいため、データベースに用意しておくべき容量モデルに含まれる構造パラメータの数は比較的少ない．しかし、システム液晶の回路では、容量結合の影響が空間的に大きく広がるため、複数の周囲配線を含めた解析が不可欠である．システム液晶に適した解析領域の分割、ならびにデータベースに用意しておくべき容量モデルの構築が必要となる．

本節では、データベースに用意しておく容量モデルについて、事前に解析したサンプル数とサンプル点間の補間により生じる誤差の関係を評価する．システム液晶では各構造パラメータがとる値の範囲が広く、一部の LSI 配線容量抽出ツールで採用されているすべての組合せに対して事前評価を行うことは不可能である．なんらかの関数フィッティング、もしくはサンプル点間の補間が不可欠であり、ここではサンプル点間の補間を取り上げる．本節で明らかとなった必要なサン

表 1 パラメータの解析サンプル数と精度の関係

Table 1 Relation between sampling number of each parameter and interpolation error.

パラメータの サンプル数 n	平均誤差 (%)	標準偏差 σ (%)	平均+3 σ (%)
2	-0.19	3.81	11.62
3	0.66	1.23	4.36
4	-0.01	0.97	2.90
5	0.13	0.67	2.15

プル数をもとに、解析領域分割方法のデータベースの大きさに関する考察を次章で行う。

1つの変数に対して解析すべきサンプル数を調べるため、図5の2配線の交差構造を考える。構造パラメータを配線長 R1, R2 とすると、図6より、配線長 R1 は 5,000 μm まで容量値に関係することから、パラメータの値の範囲としては最小寸法 5 μm から 5,000 μm までと決める。次に、R1, R2 をそれぞれ $R_{i(i=1,2)} = \{5, 10, 20, 50, 100, 200, 500, 1,000, 2,000, 5,000\} \mu\text{m}$ と変化させ、その中から解析サンプル数をそれぞれ n 個として n^2 パターンの解析を行い、結合容量の参照テーブルを作る。作成した参照テーブルを用いて複数の評価点においてフィールドソルバの解析値に対する補間値の誤差を調べた。ただし、誤差は参照テーブルの補間方法、事前に解析しておくサンプル点の選択方法などに依存する。ここでは交差する2配線の配線間容量を、R1, R2, R1·R2 を項として下式で近似した。

$$C_{couple} = b_0 + b_1 \cdot R1 + b_2 \cdot R2 + b_{12} \cdot R1 \cdot R2 \quad (1)$$

式(1)を用いて、求めたい R1, R2 の値の近傍に位置するサンプル点4点を用いて係数 b_0, b_1, b_2, b_{12} を求め、R1, R2 に対する容量値を計算する。作成したデータベースがパラメータ範囲に対し有効であるかを評価するために、前述の R1, R2 とは異なる点 ($R'_{i(i=1,2)} = \{30, 40, 60, 70, 80, 90, 300, 400, 600, 700, 800, 900, 3,000, 4,000\} \mu\text{m}$)、総計 196 点での誤差を求めた。参照テーブルに用意するサンプル点は、誤差の平均 +3 σ が最小となる組合せが選択されるものとして、評価した。解析サンプル数 n に対する補間の誤差の平均値、標準偏差 σ 、平均値+3 σ の値を表1に示す。考慮するパラメータの範囲全体において精度良く補間をするためには、パラメータ R1, R2 について少なくとも3点はサンプル点をとる必要があることが分かる。ただし、これは注目する配線構造に対するサンプル点の選択が最適である場合の数値であるので、一般にはもっと多くの数値で解析をする必要がある。

図9の格子構造の場合、各構造パラメータに対して3つのサンプル点を考えるとすると、総当たりの事前

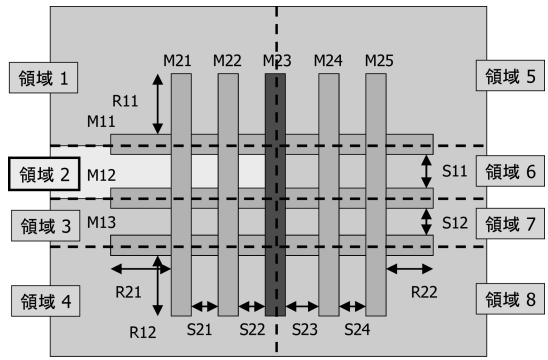


図 9 注目・直交配線の中心での分割方法

Fig. 9 5 × 3 lattice structure (broken line means division method 2)).

に解析すべきパターン数は $3^{10} = 59,049$ パターンと膨大な数となる。また構造全体を詳細に解析するためには 3D フィールドソルバの利用が不可欠であるが、フィールドソルバは導体数が増えると解析時間が飛躍的に大きくなり、規模が大きすぎる場合は解析できない。構造全体に対してフィールドソルバを用いることは計算量、データ規模の両方の点で実行困難である。

3.4 領域分割による計算量削減

本稿では、計算量、データ規模を削減するために配線構造に対して空間的な領域分割を検討する。直交する配線の中央など、配線構造における電界の対称性を考慮していくつかの領域に分割し、各領域をフィールドソルバで解析した値を足し合わせることで、精度を落とすことなく容量抽出の計算量・データ規模を削減することができる。本稿では以下に示す4種類の領域分割法を評価する。

方法 1) 注目配線および注目配線と直交する配線の中央で領域を分割

図9に示すように注目配線、注目配線と直交する配線の中央で領域を分割する。LSI配線ではさらに隣接配線で分割する方法もあるが¹⁰⁾、システム液晶の回路では平行配線の影響が大きいことから、ここでは注目配線、直交配線の中央でのみ分割する。

方法 2) 直交する配線の中央で領域を分割

方法 1) は注目配線に対して左右非対称な構造に対しては誤差が大きくなる¹⁰⁾。そこで注目配線の中央では分割を行わず、直交配線の中心でのみ分割する。

方法 3) 直交配線の間で領域分割

領域の分割にはフィールドソルバの境界条件による誤差が生じる。境界条件を考慮し、注目配線に対する直交配線からの電気力線を対称に評価できるように、直交配線の間で分割する。方法 2) と同じ理由から縦方向の分割は行わない。

表 2 注目配線 = M23 としたときの容量値と精度比較

Table 2 Capacitance and precision comparison (focusing on M23).

注目配線 = "M23"	容量値 (fF)					精度 (%)				
	総容量	交差 1	交差 2	平行 1	平行 2	総容量	交差 1	交差 2	平行 1	平行 2
領域分割法	Total	M11	M12	M24	M25	Total	M11	M12	M24	M25
1)	173.8	3.3	2.7	56.9	18.4	-0.4	0.0	0.0	0.1	0.1
2)	174.4	3.3	2.7	56.9	18.2	-0.1	0.0	0.0	0.1	0.1
3)	174.6	3.4	2.7	56.9	18.2	0.1	0.1	0.0	0.0	0.0
4)	169.9	3.8	3.4	68.2	0.0	-2.6	0.3	0.4	6.5	-10.4
分割なし	174.5	3.5	2.7	56.8	18.2	0.0	0.0	0.0	0.0	0.0

表 3 注目配線 = M21 としたときの容量値と精度比較

Table 3 Capacitance and precision comparison (focusing on M21).

注目配線 = "M21"	容量値 (fF)					精度 (%)				
	総容量	交差 1	交差 2	平行 1	平行 2	総容量	交差 1	交差 2	平行 1	平行 2
領域分割法	Total	M11	M12	M24	M25	Total	M11	M12	M24	M25
1)	127.4	4.4	2.9	54.6	12.3	-10.5	0.3	-0.5	-7.3	-4.1
2)	142.1	4.0	2.8	65.2	18.2	-0.1	-0.1	-0.6	0.1	0.1
3)	142.3	4.3	2.8	65.2	18.2	0.0	0.2	-0.5	0.1	0.1
4)	135.4	4.9	4.1	83.2	0.0	-4.9	0.5	0.4	12.7	-12.7
分割なし	142.3	4.1	3.6	65.0	18.1	0.0	0.0	0.0	0.0	0.0

方法 4) 注目配線の最隣接配線のみを考慮

LSI 配線での容量モデルと同じく最隣接配線のみを考慮する。図 9 のレイアウトにおいて注目配線を M23 とすると、M21, M25 を除いた 3×3 の格子構造として解析を行う。

4. 容量抽出精度評価

3.4 節で説明した各領域分割方式について、2 種類の格子構造に対して精度評価を行った。

4.1 5×3 格子構造

図 9 の 5×3 の格子構造を考える。格子構造の構造パラメータは、配線間隔 S11, S12, S21, S22, S23, S24, 格子部から配線端までの長さ R11, R12, R21, R22 の計 10 個である。ここでは R11 = R12 = 1,000 μm , R21 = R22 = 100 μm , 配線幅, 配線間隔はすべて 5 μm として領域分割手法の評価を行った。結果を表 2, 表 3 に示す。注目配線に対する構造の対称性の影響を調べるため、表 2 は注目配線を中央の M23 とし、表 3 は注目配線を左端の M21 とした結果である。誤差は以下の式に示すように、領域分割により生じる容量値の差分 ($C(\text{original}) - \Sigma C(\text{division})$) を、領域分割せずに正確に評価した総配線容量 $C_{\text{total}}(\text{original})$ で割った値で定義した。ここで、分割しない場合は全体をフィールドソルバで解析した結果であり、表中の「分割なし」の欄に示した結果である。

$$\text{error} = \frac{C(\text{original}) - \Sigma C(\text{division})}{C_{\text{total}}(\text{original})} \times 100 \quad (2)$$

表 4 には各手法の計算時間、最大構造パラメータ

表 4 各手法の性能評価

Table 4 Performance comparison of each method.

領域 分割法	計算時間 (sec.)*	構造パラメータ数		総当たり パターン数
		横方向	縦方向	
1)	83.4	3	1	81
2)	132.6	6	1	2,187
3)	122.3	6	2	6,561
4)	108.0	4	4	6,561
分割なし	188.7	6	4	59,049

CPU: Ultra SPARCH III 900 MHz, メモリ 5 GB

数、パラメータのサンプル点数を 3 つと考えた場合の総当たりの組合せパターン数 (データ規模) を示した。たとえば領域分割法 1) では、領域 1 ~ 領域 8 に対する解析時間の和は 108.0 秒である。ここでの解析時間はデータベース作成に要するものではない。方法 2) で最もパラメータ数の多い領域 2 を考える。領域 2 における構造パラメータは縦方向: S11, 横方向: S21, S22, R21 の計 4 つであり、各パラメータに対して 3 つのサンプル点で事前評価するので、総当たりのパターン数は $3^4 = 81$ となる。抽出精度は表 2, 3 より、隣接 1 配線しか考慮しない方法 4) では平行配線間容量の誤差が 12.7% と大きく、また総容量にも 4.9% の誤差が生じている。領域を細かく分割できる方法 1) は計算量、組合せ数とも少ないが、抽出構造が非対称の場合に総容量の 10% という誤差が生じている。この構造の場合は方法 2), 3) の直交配線の方向だけで領域を分割する方法が適している。

4.2 3×3 格子構造

領域分割の誤差を統計的に評価するために格子構

表 5 総容量の誤差 (%)

Table 5 Experimental results: error of C_{total} (%).

領域分割法	注目配線：中央				注目配線：左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	4.5	4.0	2.9	0.0	20.6	3.7	3.7	2.9
MIN	-8.8	-4.5	-2.5	0.0	-12.1	-4.1	-4.1	-2.2
ave	-1.2	-0.3	0.1	0.0	2.0	-0.7	0.7	0.0
3σ	2.1	0.8	0.5	0.0	8.7	1.2	1.2	0.7
$ ave +3\sigma$	7.4	2.8	1.6	0.0	28.0	4.2	4.2	2.3

表 6 平行配線間容量の誤差 (%)

Table 6 Experimental results: error of $C_{parallel}$ (%).

領域分割法	注目配線：中央				注目配線：左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	5.0	0.8	0.3	0.0	20.2	0.8	0.3	14.8
MIN	0.0	-0.2	-0.2	0.0	-9.4	-0.3	-0.2	0.0
ave	1.3	0.1	0.1	0.0	0.1	0.2	0.1	5.7
3σ	1.4	0.2	0.1	0.0	6.2	0.2	0.1	4.6
$ ave +3\sigma$	5.6	0.6	0.3	0.0	18.6	0.7	0.3	19.4

表 7 交差配線間容量の誤差 (%)

Table 7 Experimental results: error of C_{cross} (%).

領域分割法	注目配線：中央				注目配線：左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	0.9	0.9	1.2	0.0	1.7	1.1	1.5	1.4
MIN	-9.8	-9.8	-9.9	0.0	-9.6	-9.7	-9.7	-0.2
ave	-1.4	-1.4	-1.4	0.0	-1.9	-1.1	-1.8	0.3
3σ	1.8	1.8	1.8	0.0	2.3	2.2	2.4	0.3
$ ave +3\sigma$	6.7	6.7	6.8	0.0	8.9	8.7	8.9	1.2

造の各パラメータを変化させて精度評価を行った。4.1 節の結果から平行配線が多いと方法 4) では誤差が非常に大きく、方法 2), 3) が精度が良いことは明らかである。ここでは構造パラメータの変化に注目するため、評価構造には 3×3 の格子構造を用いた。各配線幅、配線間隔を $W = \{2, 5, 10\} \mu\text{m}$ 、 $S = \{5, 50, 1,000\} \mu\text{m}$ 、M1, M2 の配線長はそれぞれ $L = \{50, 200, 1,000, 3,000\} \mu\text{m}$ と変化させ、注目配線が中央と左端の場合の解析を行った。配線が交差しない構造 ($L1 < S21$ の場合など) は除き、左右の配線間隔が入れ替わるだけなど冗長な構造も除いて実行した。評価した配線構造の総数は 432 である。誤差は式 (1) で計算した。総容量、平行配線間容量、交差配線間容量の誤差の最大値、最小値、平均値、標準偏差 σ をそれぞれ表 5、表 6、表 7 に示す。

総容量については、方法 1) は構造の非対称性から最大誤差が 20.6% と大きくなっている。その他の手法については十分な精度が確認できた。平行配線間容量については、2 本隣の配線を考慮していない方法 4)、構造の対称性が影響する方法 1) の精度が悪くなっている。交差配線間容量については、方法 1), 2), 3) で -10% という誤差が生じている。これは直交配線間

の間隔が最小のときで、領域の境界条件が「直交配線が間隔 $5 \mu\text{m}$ で無限に並ぶ構造」と同じになり、実際の構造と大きく変わってしまうためである。システム液晶の回路では直交配線どうしにも強い容量結合が生じるため、領域分割により過小評価となる。ただし、直交配線の数が多くなるとフィールドソルバの境界条件と実際の電界分布が近くなるため誤差は小さくなる。平均するとどの手法でも誤差は 3% 以内と精度良く計算できている。

以上の結果から、最も精度が高い結果が得られたのは方法 3) であるが、方法 2) もほぼ同程度の精度が得られた。考慮する構造パラメータが 1 つ少ないことから格子構造に対する領域分割には方法 2) が適している。分割手法 2) を用いればパラメータを変化させても平均誤差 3% 以内と高い精度での抽出が可能である。よって、システム液晶の配線構造に対して領域分割を行うことにより、精度を落とすことなく効率の良い容量抽出が可能であることを確認できた。

5. まとめと今後の課題

本稿では、システム液晶の回路に対し結合容量を精度良く見積もるための配線容量抽出手法について考察を行った。容量結合の影響範囲を解析し、既存手法では不十分である点を示した。広い範囲の結合影響範囲に対して 3D フィールドソルバを利用するために、配線構造に対する空間的な領域分割を検討した。配線構造全体をいくつかの領域に分け解析し、足し合わせることで計算量・データ規模削減を図った。液晶ドライバ回路の基本配線構造である格子構造に対し領域分割法を評価した結果、注目配線に直交する配線の中央で領域を分割することにより、平均誤差 3% 以内で、総容量、結合容量ともに精度良く抽出できることを確認した。

今後の課題としては、さまざまな構造に対する容量補間方法の検討、および液晶ドライバ回路以外の配線構造に対する容量抽出の検討などがあげられる。

参考文献

- 1) Lee, B., Hirayama, Y., Kubota, Y., Imai, S., Imai, A., Katayama, M., Kato, K., Ishikawa, A., Ikeda, T., Kurokawa, Y., Ozaki, T., Mutaguch, K. and Yamazaki, S.: A CPU on a glass substrate using CG-silicon TFTs, *Proc. International Solid-State Circuits Conference (ISSCC2003)*, CA, USA, Vol.1, pp.164-165 (2003).
- 2) Tani, S., Uchida, Y., Furuie, M., Tsukiyama,

- S., Lee, B.Y., Nishi, S., Kubota, Y., Shirakawa, I. and Imai, S.: Parasitic capacitance modeling for non-planar interconnects in liquid crystal displays, *IEICE Trans. Fund.*, Vol.E86-A, No.12, pp.2923–2932 (2003).
- 3) Synopsys, Raphael 2002.2 User's Manual.
- 4) Bächtold, M., Spasojevic, M., Lage, C. and Ljung, P.B.: A system for full-chip and critical net parasitic extraction for ULSI interconnects using a fast 3-D field solver, *IEEE Trans. Computer-Aided Design*, Vol.19, No.3, pp.325–338 (2000).
- 5) 堀 浩雄, 鈴木幸治: カラー液晶ディスプレイ, 共立出版株式会社 (2001).
- 6) Sakurai, T.: Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI's, *IEEE Trans. Electron Devices*, Vol.40, No.1, pp.118–124 (1993).
- 7) Choudhury, U. and Sangiovanni-Vincentelli, A.: Automatic generation of analytical models for interconnect capacitances, *IEEE Trans. Computer-Aided Design*, Vol.14, No.4, pp.470–480 (1995).
- 8) Wee, J.-K., Park, Y.J., Min, H.S., Cho, D.-H., Seung, M.-H. and Park, H.-S.: Measurement and characterization of multilayered interconnect capacitance for deep-submicron VLSI technology, *IEEE Trans. Semiconductor Manufacturing*, Vol.11, No.4, pp.636–644 (1998).
- 9) Shi, W. and Yu, F.: A divide-and-conquer algorithm for 3-D capacitance extraction, *IEEE Trans. Computer-Aided Design*, Vol.23, No.8, pp.1157–1163 (2004).
- 10) 小林 進, 枝廣正人: ディープサブミクロン LSI 設計のための高速配線容量抽出手法, 情報処理学会論文誌, Vol.41, No.4, pp.863–870 (2000).

(平成 16 年 11 月 18 日受付)

(平成 17 年 4 月 1 日採録)



内田 好弘

平成 12 年大阪大学工学部情報システム工学科卒業。平成 17 年同大学大学院情報科学研究科博士後期課程単位取得後退学。同年シャープ(株)入社。在学中は配線間容量の抽出に関する研究に従事。IEEE, 電子情報通信学会各会員。



谷 貞宏(正会員)

昭和 54 年大阪大学工学部電子工学科卒業。昭和 56 年同大学大学院工学研究科電子工学専攻博士前期課程修了。同年シャープ(株)入社。平成 16 年大阪大学大学院博士後期課程(情報システム工学専攻)修了, 工学博士。半導体回路, プリント回路基板の信号保全性に関する研究に従事。IEEE, 電子情報通信学会, エレクトロニクス実装学会各会員。



橋本 昌宜(正会員)

平成 9 年京都大学工学部電子工学科卒業。平成 13 年同大学大学院博士課程(通信情報システム専攻)修了, 情報学博士。同年京都大学大学院情報学研究科助手, 平成 16 年大阪大学大学院情報科学研究科助教授, 現在に至る。LSI の設計手法, CAD の研究に従事。IEEE, 電子情報通信学会各会員。



築山 修治(正会員)

昭和 47 年大阪大学工学部電子工学科卒業。昭和 52 年同大学大学院博士課程修了, 工学博士。同年大阪大学工学部助手, 昭和 62 年中央大学理工学部電気電子工学科助教授, 平成 2 年同教授, 現在に至る。この間, 昭和 53~55 年カルフォルニア大学バークレイ校電子工学研究所客員研究員。VLSI の物理設計や統計的遅延解析等の CAD 技法, グラフやネットワークのアルゴリズム等の研究に従事。IEEE, ACM, 電子情報通信学会, エレクトロニクス実装学会各会員。



白川 功 (正会員)

昭和 38 年大阪大学工学部電子工学科卒業。昭和 43 年同大学大学院博士課程修了，工学博士。同年大阪大学助手，昭和 48 年同助教授，昭和 62 年同教授。平成 10 年同大型計
算機センター長，平成 11 年同評議員，平成 13 年同大学院工学研究科長・工学部長，平成 15 年同定年退官，同名誉教授（株）シンセシス取締役。平成 16 年兵庫
県立大学大学院応用情報科学研究科長，現在に至る。この間，昭和 49～50 年カルフォルニア大学バークレイ校客員研究員。回路理論，グラフ理論，VLSI の設計自動化，システム VLSI の設計等の教育研究に従事。IEEE，電子情報通信学会各フェロー会員。ACM，映像情報メディア学会各会員。著書『演習グラフ理論』，『回路理論 I，II』（共著，コロナ社）等。
