

同期シフトデータ伝送に基づく 2次元アレイ上での3次元FDTD法解析ハードウェア

石垣 雄太郎[†] 高須 涼太[†] 富岡 洋一[†] 青木 孝^{††} 宮崎 昭彦^{††} 北澤 仁志[†]

[†]東京農工大学 ^{††}NTT マイクロシステムインテグレーション研究所

1 はじめに

FPGA(Field Programmable Gate Array)の高集積化に伴う大規模化・高性能化によって、FPGAが並列分散処理に基づくHPC(High Performance Computing)の有効な手段として利用できるようになり、種々の数値シミュレーションの高速化に用いられるようになってきた。特に物理現象の数値シミュレーションでは、3次元解析が必要である場合が多々あるが、これらの空間的な並列化を考えたとき、PE(Processing Element)を3次元状に配置するのは、FPGAが2次元構造であるため実現は困難である。

本稿では、同期シフトデータ伝送 [1] を用いることによって、2次元SIMDアレイプロセッサ上でほとんど損失なく3次元並列数値解析が実行できることを示す。また、3次元FDTD法(3-D Finite-Difference Time-Domain method)への適用例、およびGPGPU(General Purpose computation on Graphics Processing Unit)や大規模解析のためのデータストリーミングを利用する手法との比較を示す。

2 同期シフトデータ伝送

同期シフトデータ伝送は、2次元アレイプロセッサにおいて、全てのPEのデータを同方向(上下左右)に転送することで、少量の配線でメモリアクセスの競合を起こさずデータ転送を行うための手法である。PE間の配線は、上下左右4方向の隣接PEとの配線だけでよいので必要最小限の配線で済む。

図1の例では、8回のデータ転送で、8近傍のPEからデータを得ることができる。なお、同期シフトデータ伝送に必要な時間が、演算器性能とPE間転送時間による制約を満たす場合、完全グラフに接続する場合と比べて実行性能の低下は起こらない [1]。

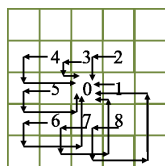


図1 同期シフトデータ伝送(8近傍のデータ転送)

3 2次元アレイ上での3次元並列処理

本稿で扱うハードウェアは、各々のPEが大容量のローカルメモリを持ち、それぞれの解析領域のデータをPE自身が保持することでデータ伝送量を最小限に抑えた2次元SIMD型アレイプロセッサである。数値解析を行う際、近接データのみを参照して値を更新するようなアルゴリズムの場合、こ

のハードウェア構成は有効であり、データ転送は基本的に隣接PE間のみで行われることになる。

3次元解析の場合、3次元状にPEアレイを構成することはFPGAの構成上適さないので、図2のようにz方向にスライスしたPEアレイをx方向に接続することで、2次元アレイ上に仮想的に3次元アレイを構成する。3次元アレイとするには、z方向のPE間配線も必要であるが、同期シフトデータ伝送を利用することで、これらの配線を節約できる。すなわち、z方向のデータ転送については、x方向への数回の同期シフトデータ伝送で対応するPEへ送る。図2の例では、x方向に3回の同期シフトデータ伝送で済む。

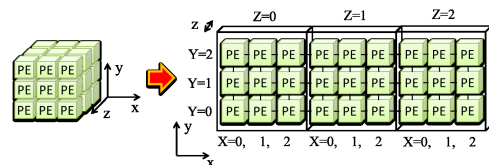


図2 仮想3次元アレイ

図3に示すように、仮想3次元アレイにおける同期シフトデータ伝送では、x, y方向には1クロックで転送できるが、z方向の転送には数クロックかかる。ただし、z方向の転送が必要となるのはPE内で最大または最小のz座標を持つノードの計算のときだけであり、データ転送が生じる頻度は少ないため、1つのPEが処理する解析領域の取り方によって、z方向の転送のロスも抑えることができる。

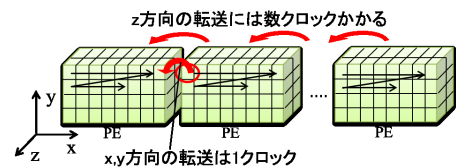
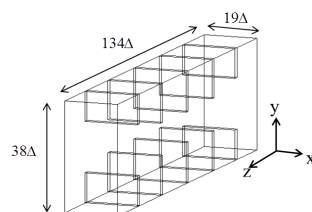


図3 仮想3次元アレイ上での同期シフトデータ伝送

4 3次元FDTD法への適用

本稿では、3次元数値解析の具体的な例として3次元FDTD法を取り上げ、電磁界解析への応用を示す。導波管の規範問題 [2] を扱うため、解析対象は4段導波管BPF(Band-Pass Filter)とし、セルサイズとセル数は図4のように設定する。



セルサイズ: $\Delta=0.5\text{mm}$ セル数: $134 \times 38 \times 19=96748$

図4 4段導波管BPF

3-D FDTD Analysis Hardware using Synchronous Shift Data Transfer on the 2-D Array Processor

[†] Yutaro Ishigaki, Ryota Takasu, Yoichi Tomioka, Hitoshi Kitazawa (Tokyo University of Agriculture and Technology)

^{††} Takashi Aoki, Akihiko Miyazaki (NTT Microsystem Integration Laboratories)

FDTD法の処理は、 x, y, z 軸方向の電界・磁界の更新式に加え、導波管端子部の境界条件処理もハードウェア上で実行する。境界条件としては、インピーダンス終端条件 [3] を適用する。

5 ハードウェア構成

FPGA上に実装したハードウェアの全体構成を図5に示す。Host-PCとのデータ通信や、ハードウェア全体の制御はControlProcessorが行い、演算を行うPEはFDTD法の演算に特化した構成で図6のようにパイプライン化されており100[MHz]で動作している。PEの制御はVLIW(Very Long Instruction Word)型制御としており、あらかじめHost-PC上で生成しFtdtControlMemoryに保存した80bitの制御コードを逐次発行する。PEアレイのサイズは、固定小数点演算器での構成の場合468PE、浮動小数点演算器の場合240PEとなる¹。また、1PE当たり固定小数点演算器の場合225セル、浮動小数点演算器の場合460セルを処理している。

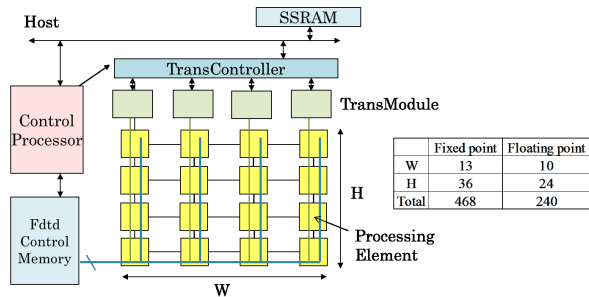


図5 ハードウェア全体構成

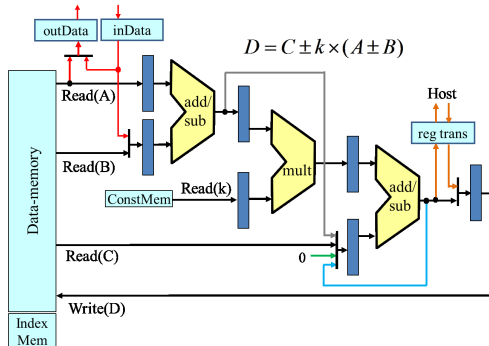


図6 PEの内部構造

6 性能評価

図4の解析対象に対して、FPGAによる仮想3次元アレイとGPGPUによるFDTD法の実行時間の比較を表1に示す。なお、解析する時間ステップ数はいずれも65536としている。

表1より、FPGAによる仮想3次元アレイがGPGPUを上回る性能で3次元FDTD法の解析を実行できることが確認できる。

表1 FPGAとGPGPUの実行時間比較

デバイス	演算器	実行時間 [sec]
FPGA(Stratix V ¹)	固定小数点	1.89
FPGA(Stratix V ¹)	浮動小数点	3.73
GPU(GeForce GTX 780)	浮動小数点	15.87 ²
GPU(Tesla C2075)	浮動小数点	11.78 ²

¹ Altera Stratix V 5SGSMD5K2F40C2N

² 共有メモリ・レジスタは未使用

7 大規模解析の検討

仮想3次元アレイを利用する本手法は、PE内のローカルメモリで扱える解析領域を超えた場合、外部メモリとの大容量データ転送が必要となり実行速度は著しく低下する。

そこで、図4の解析対象に対して、時空間並列手法を用いて、解析領域の拡張性を考慮したScalable Streaming-Array(SSA)[4]を用いた手法による実行時間を予測し、提案手法との比較を行う。ただし、FDTD法の場合は[4]の手法をそのまま適用することはできないので、同期シフトデータ伝送を組み合わせた手法でこれを実現している。

仮想3次元アレイとSSAとの予測実行時間の比較を表2に示す。SSAの予測に用いたFPGAは、仮想3次元アレイと同一であり、外部メモリとしてDDR3 SDRAMを4つ並列に接続している。また、図4の解析対象と、図4の各辺を2倍したサイズの解析対象に対して予測実行時間を求めており、後者はFPGAを8つ用いることを想定している。なお、どちらも固定小数点演算器を用いている。

表2 仮想3次元アレイとSSAの実行時間比較

アーキテクチャ	予測実行時間 [sec]	
	96748cell	773984cell
仮想3次元アレイ	1.89	1.89
SSA+同期シフトデータ伝送	10.28	29.86

表2より、解析セル数を増やしたとき、SSAの実行速度が低下することが確認できるが、これは外部メモリの帯域幅による制限で、メモリアクセスが主なボトルネックとなっている。

GPGPUも、メモリへのアクセス頻度が高い問題ではメモリアクセスがボトルネックとなる場合があり、今後のGPGPU技術の発展により演算性能が向上したとしても、FDTD法のようにメモリアクセスがボトルネックになるような問題では大幅な実効速度の改善は見込めないと考えられる。

一方、本稿で提案した同期シフトデータ伝送に基づく仮想3次元アレイでは、ほとんどローカルメモリとのアクセスで済み、PEの数に比例して並列度が上がり高速化ができるので、大規模FPGAや複数のFPGAを用いることで、さらなる高速化と解析領域の拡張性が期待できる。

8 おわりに

本稿では、同期シフトデータ伝送に基づく2次元アレイ上での3次元数値解析について、3次元FDTD法を具体的な例として取り上げ、実行性能を示した。また、本稿のアーキテクチャを用いることで、複数のFPGAを用いてほとんど損失なく拡張性と高速性を備えた3次元数値解析を行えることを示した。

参考文献

- [1] Y. Tomioka, et al., "FPGA Implementation of Exclusive Block Matching for Robust Moving Object Extraction and Tracking", IEICE Trans. on Information and Systems, Vol. E97-D, No. 3, pp. -, Mar. 2014, to appear.
- [2] "導波管回路", http://www.ieice.org/es/est/activities/kihan_mst/01/main.html
- [3] 柴田随道, 木村秀明, "FDTD法による方形導波管回路の一般化散乱行列解析", 信学技報 MST2003-01, pp. 1-8, Sep. 2003.
- [4] K. Sano, et al., "Multi-FPGA Accelerator for Scalable Stencil Computation with Constant Memory-Bandwidth", IEEE Trans. PDS, Vol. PP, Feb. 2013.