

# 16 論理を実現できる両極性 CNT 型トランジスタを用いた

## 2 入力再構成可能論理回路

\*\*嘉藤淳紀 \*渡辺重佳

湘南工科大学工学部 情報工学科

### 1. はじめに

近年、処理能力の高度化に伴いシステム LSI の素子数やチップ面積が増加している。その問題を解決できるだけでなく、再構成可能な論理を実現するデバイスとして両極性の性能を持つ、CNT 型トランジスタが注目されている。CNT (Carbon Nano Tube)

### 2. CNT 型トランジスタの構成

両極性の性能を持つ CNT 型トランジスタの代表的な構成を図 1 に示す。

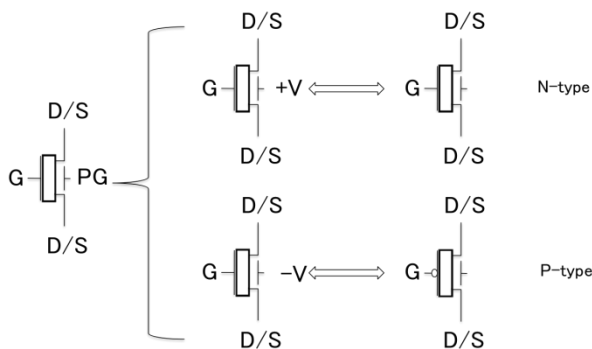


図 1. 両極性を持つ CNT 型トランジスタの構成  
Fig.1 CNTFET device symbol and configuration

図 1 に示すようにゲートドレイン/ソース以外に両極性ゲート端子 (PG) に制御信号を入力する。制御信号がプラスの電圧 (+V) の時、CNT 型トランジスタは N 型トランジスタとして動作する。制御信号がマイナスの電圧 (-V) の時、CNT 型トランジスタは P 型トランジスタとして動作する。

2 input 16 functions reconfigurable logic circuit design based on ambipolar CNTFETs.

\*\*Kato Junki \*Shigeyoshi Watanabe

Shonan Institute of Technology

Fujisawa, Kanagawa, 251-8511 Japan

両極性 CNT 型トランジスタとしては、制御信号が 0 の時に CNT 型トランジスタがカットオフ状態になる特性を更に持っている構成も提案されている [2],[3],[4],[5]。しかしながらその構成では両極性ゲートの電圧の絶対値が低い時 (0 の時) 完全にトランジスタをカットオフさせる特性を実現することがデバイス・プロセス技術的に難しい。そこでここでは比較的デバイス・プロセス技術的に実現しやすい両極性の電圧の絶対値が大きい (+V,-V の時) のみを利用する図 1 の構成の CNT 型トランジスタを用いた論理回路に関して考察する。

### 3. CNTFET を用いた新しい論理回路

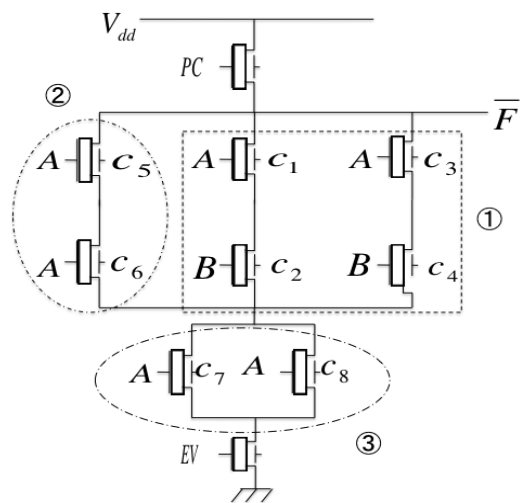


図 2. 16 論理を実現する 2 入力論理回路

Fig.3 Circuit of 16-function 2input logic circuit

図 2 に新たに提案する 16 論理を実現できる新しい 2 入力論理回路を示す。10 個の両極性 CNT 型トランジスタと  $C_1 \sim C_8$  の制御信号を用いている。この回路は①,②,③で示す 3 種類の回路によって構成されている。回路が実現論理を明示的に表している場合、その回路は活性化していると定義する。表 1 に図 2 に対応する制御信号と実現論理を示す。

- (1) 2入力信号の積、2入力信号の積の和、1入力信号に依存する論理を実現する場合には①の回路を活性化し、②の回路はオフ状態、③の回路はショート状態とする。①は異なるCNT型トランジスタが直列に接続されたものが並列に接続されているため、2入力信号の積の和が容易に実現できる。

積の例：

$$(AB + \overline{AB} + \overline{AA})(A + \overline{A}) = AB$$

積の和の例：

$$(\overline{AB} + \overline{AB} + \overline{AA})(A + \overline{A}) = A \oplus B$$

1入力に依存する例：

$$(AB + \overline{AB} + \overline{AA})(A + \overline{A}) = B(A + \overline{A}) = B$$

- (2) 2入力信号の和、入力に依存しない”1”は①の回路を活性化しただけでは実現できない。そこで①だけでなく②も活性化（③の回路はショート状態）して実現する。ブール代数の簡単化を用いて①で”B”に関する論理を実現し、②で”A”に関する論理を実現すれば、2入力信号の和が実現できる。例として、

$(AB + \overline{AB} + \overline{AA})(A + \overline{A}) = \{B(A + \overline{A}) + A\} = A + B$   
一方、”1”では①で”B”に関数論理を吸収すれば実現できる。例として、

$$(AB + \overline{AB} + \overline{AA})(A + \overline{A}) = \{A(B + \overline{B}) + \overline{A}\} = 1$$

- (3) 入力信号に依存しない”0”は①、②を活性化しただけでは実現できない。そこで①、②だけでなく、③も活性化して実現する。すなわち、①、②で”A”を実現し、③で $\overline{A}$ を実現することにより $A \cdot \overline{A} = 0$ により”0”を実現する。

$$(AB + \overline{AB} + \overline{AA})(\overline{A} + \overline{\overline{A}}) = \{A(B + \overline{B}) + A\} \overline{A} = 0$$

#### 4. まとめ

+V、-Vの2種類の制御信号を用いた、両極性CNT型トランジスタを用いて、わずか10素子で2入力論理回路で必要な16種類の論理を実現できる再構成可能な論理回路を新たに提案した。この構成は”0”の制御信号を使用していないため、デバイス・プロセス技術的に作り易い特徴が有り、将来再構成可能な大規模LSIを実現する要素回路の候補として有望である。

表 1. 16 論理を実現する 2 入力論理回路の制御信号と実現論理（図 2 に対応）

Table.1 Configuration 2inputs and corresponding logic functions for Fig.2

c <sub>1</sub>	c <sub>2</sub>	c <sub>3</sub>	c <sub>4</sub>	c <sub>5</sub>	c <sub>6</sub>	c <sub>7</sub>	c <sub>8</sub>	F
+V	+V	+V	+V	+V	-V	+V	-V	AB
-V	-V	-V	-V	+V	-V	+V	-V	$\overline{A+B}$
+V	-V	+V	-V	+V	-V	+V	-V	$\overline{AB}$
-V	+V	-V	+V	+V	-V	+V	-V	$\overline{AB}$
-V	+V	+V	-V	+V	-V	+V	-V	$A \oplus B$
-V	-V	+V	+V	+V	-V	+V	-V	$A \oplus B$
+V	+V	-V	+V	+V	-V	+V	-V	B
+V	-V	-V	-V	+V	-V	+V	-V	$\overline{B}$
+V	+V	+V	-V	+V	-V	+V	-V	A
-V	+V	-V	-V	+V	-V	+V	-V	$\overline{A}$
+V	+V	-V	+V	+V	+V	+V	-V	A+B
+V	-V	-V	-V	+V	+V	+V	-V	$\overline{A+B}$
+V	+V	-V	+V	-V	-V	+V	-V	$\overline{A+B}$
+V	-V	-V	-V	-V	-V	+V	-V	$\overline{A+B}$
+V	+V	+V	-V	-V	-V	+V	-V	T
+V	+V	+V	-V	+V	+V	-V	-V	$\perp$

#### 参考文献

[1] I.O'Connor “CNTFET Modeling and Reconfigurable Logic-Circuit Design” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS —I: REGULAR PAPERS, Vol.54 No.11, NOVEMBER 2007.  
 [2] 林 隆程, 渡辺 重佳 “MOS ダブルゲート/CNT トランジスタを用いた再構成可能な論理設計法” Vol.J93-C, No.12, pp.674-675, 2010.  
 [3] 林 隆程, 渡辺 重佳 “MOS ダブルゲート/CNT トランジスタを用いた再構成可能な論理回路のパターン面積の検討” Vol.J94-C, No.10, pp.326-349, 2011.  
 [4] H. Ninomiya, M. Kobasyashi and S. Watanabe, “Reduced Reconfigurable Logic Circuit Design Based on Double Gate CNTFETs Using Ambipolar Binary Decision Diagram” IEICE Trans. on Fundamentals., vol.E96-A, no.1, pp.356-359, Jan., 2013.  
 [5] M. Kobayashi, H. Ninomiya and S. Watanabe, “Circuit Design of Reconfigurable Logic Based on Double-Gate CNTFETs” to appear in IEICE Trans. on Fundamentals., Vol.E96-A, No.7, pp.-, Jul. 2013.