

単一磁束量子回路を用いた 超高速マイクロプロセッサの実現に向けて

津秦 伴紀^{1,a)} 井上 弘士¹

概要：近年の CMOS マイクロプロセッサでは動作周波数が頭打ちとなっている。その理由は、動作周波数の向上による消費電力の増加が問題となるためである。今後この消費電力の壁を打ち破り、超高速動作が可能なプロセッサを実現することは必要不可欠となってくる。そこで発表者は、単一磁束量子 (SFQ: Single-Flux-Quantum) 回路に着目している。SFQ 回路は論理ゲート当たりの消費電力は CMOS 回路と比較して約 1/1,000 以下という超低消費電力性と超伝導状態による数 10~100GHz での動作といった高速性を兼ね備える。今までに設計されてきた SFQ マイクロプロセッサは、各パイプラインステージがマルチサイクル処理方式となる 5 段階程度の命令パイプライン構造を採用している。その結果、パイプラインステージ単体では 25GHz での動作を実証しているものの、命令パイプライン全体としては 1.5GHz の動作速度に留まる。これは SFQ 回路の持つ高速性を十分に活かしてきれていないことを意味する。そこで発表者は、SFQ 回路の特徴を活かした論理ゲートレベルでの命令パイプラインに着目している。これにより SFQ 回路が本来有する高速な動作を実現できる。このようなパイプラインの深化は、CMOS マイクロプロセッサでは消費電力の問題、ならびに、パイプラインレジスタ数の増加による面積増加の問題から適用できない。対して、SFQ 回路ではその低消費電力性と SFQ 回路は殆どの論理ゲートがラッチ機能を持つという特徴から前述の問題は回避できる。しかしながら、今まで CMOS マイクロプロセッサでゲートレベルまで深いパイプラインの検討がされてこなかった背景や SFQ 回路という特殊な回路を用いることで新たに生じる制約条件から、SFQ 回路を用いたゲートレベルパイプラインの実現可能性は未だ明らかでない。加えて、パイプラインを深化したことによるメモリアクセスペナルティや分岐ペナルティの増加が問題となる。そこで本研究ではゲートレベルパイプラインを採用した SFQ マイクロプロセッサのアーキテクチャ設計を行い、ゲートレベルパイプラインが実現できることを示す。さらに、ゲートレベルパイプラインにマルチスレッディングを適用することでペナルティ問題の解決を図る。本発表では提案アーキテクチャとマルチスレッディングを用いたペナルティ隠蔽手法の概要について述べる。

¹ 九州大学
Kyushu University

^{a)} tsuhata@soc.ait.kyushu-u.ac.jp