

28nm UTBB FD-SOIプロセスにおける冗長化によらない耐ソフトエラーフリップフロップ構造の検討

神田 翔平 古田 潤 小林和淑
京都工芸繊維大学 工芸科学研究科

概要 近年の集積回路の素子の微細化により、ソフトエラーに代表される一過性エラーが増加し、回路の信頼性に与える影響はますます深刻になっている。信頼性対策として回路レベル、デバイスレベルで様々な対策が施されている。デバイスレベルで対策が施された SOI プロセスでは、冗長化せずに回路構造を少し変更するだけでソフトエラーに効果的であると考えられる。本研究ではソフトエラーに強いとされている FD-SOI プロセスで冗長化によらない耐ソフトエラーフリップフロップについて検討する。数種類のフリップフロップについて回路シミュレーションによりソフトエラー率、消費電力、遅延時間を評価し、比較を行う。

Evaluation of Circuit Structure of Radiation-Hard Flip-Flops without Redundant in 28-nm UTBB FD-SOI

Shohei Kanda, Jun Furuta, Kazutoshi Kobayashi

Dept. of Design Engineering, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Recently, the soft error rates (SERs) of integrated circuits is increased by process scaling. It degrades the reliability of LSIs. Various measures have been subjected on the circuit or device level. The SOI process can decrease SERs by simply changing circuit structures without redundancy. In this work, we propose flip-flops without redundancy. By circuit simulations, we evaluate SERs, power dissipation and delay of them.

1 序論

集積回路は微細化、高集積化されることによって高性能化してきた。しかし近年、微細化に伴う集積回路の信頼性低下が問題視されている。信頼性を低下させる要因の一つとして、ソフトエラーと呼ばれる放射線起因の一過性エラーがある。微細化に伴う電源電圧の低下、クリティカルノード間距離の減少などにより更に信頼性低下は深刻になっている [1]。

ソフトエラーの種類として、1つの保持値が反転する SEU (Single Event Upset)、複数の保持値が同時に反転する MCU (Multiple Cell Upset)、論理回路部で一過性のパルスが生じる SET (Single Event Transient) に分類される。本論文では、主に SEU について考える。

現在、回路レベル、デバイスレベルにおいて様々なソフトエラー対策が施されている。回路レベルでは、三重化回路構造や DICE (Dual Interlocked storage CELL) 構造など SEU 対策を施した冗長化回路が多数提案されている。一方で、冗長化回路では面積や消費電力、遅延時間の増大が問題となる。デバイスレベルでは、SOI 構造にすることでソフトエラー耐性が向上することが多数報告されている [1] [2]。

本論文では、SOI 構造の一種である FD-SOI プロセスの特徴に着目し、冗長化によらない耐ソフトエラーフリップフロップを検討する。各フリップフロップ構造に関して、回路シミュレーションを用いてソフトエラー率、消費電力、遅延時間について評価する。本稿の構成を次に述べる。第2節では、ソフトエラーの発生要因について述べる。第3節では、各フリップフロップの回路構造について述べる。第4節

では、各フリップフロップのシミュレーション結果について述べる。第5節で、本論文をまとめる。

2 ソフトエラー

2.1 ソフトエラーの要因

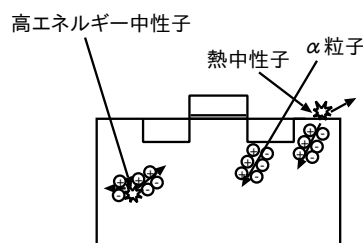


図 1: ソフトエラー発生原理

図 1 に示すように、集積回路に粒子線が衝突することにより電子正孔対が生成され保持値に影響を与えることでソフトエラーが生じる。

集積回路に影響を与える粒子線としては α 線、中性子線、重イオンが挙げられる。地上では、 α 線と中性子線が主なエラーの要因であり α 線はパッケージやボンディングワイヤなどに含まれる放射性不純物から発生する。中性子は宇宙から降り注ぐ宇宙線が大気と反応することにより生成される。

一方、宇宙空間にある人工衛星などにおいては重イオンによるソフトエラーも問題となる。重イオンとは、He よりも大きな原子のイオンである。

2.2 ソフトエラー発生要因

ソフトエラーは前節で述べた粒子線により生じた電子正孔対がドレインに収集されることにより発生する。ソフトエラーの発生要因には、主に、電荷収集、寄生バイポーラ効果の二種類がある。

電荷収集

粒子線の衝突により生じた電子、正孔がドレインに収集されることにより、保持値に直接影響を与える。

寄生バイポーラ効果

粒子線の衝突により生じた電子、正孔がドレイン部に収集される。一方、収集されず基板に残留した正孔、電子が基板の電位を上昇する。これにより、MOS トランジスタに寄生しているバイポーラトランジスタを ON にし、MOS トランジスタに電流を流す。SOI 構造では主要因として考えられている。

2.3 デバイス構造によるソフトエラー

従来のバルク構造と SOI 構造では、ソフトエラーが発生するメカニズムが異なる。図 2 にそれぞれの電荷収集によるソフトエラー発生メカニズムを示す。図に示すように、バルク構造ではゲート、ドレインに粒子線が衝突することでドレインに電子が収集される。SOI 構造では、ドレイン直下に絶縁膜が挿入されており、ドレインに粒子線が衝突することで生成された電子は絶縁膜に遮断され、ドレインに収集されない。しかし、ゲートに粒子線が衝突する場合、バルク構造と同様に電子は収集される。

SOI 構造の場合、ソフトエラーに影響を与える電子正孔対は非常に少ないため、電荷収集によるエラーは少なく、基板電位が上昇することによる寄生バイポーラ効果が主要因となる。

さらに、SOI 構造では、絶縁膜の挿入により基板が孤立しているため、複数トランジスタの基板電位が同時に上昇し発生する寄生バイポーラ効果による MCU を起こしにくい。図 3, 4 に各デバイス構造における寄生バイポーラ効果の発生メカニズムを示す。

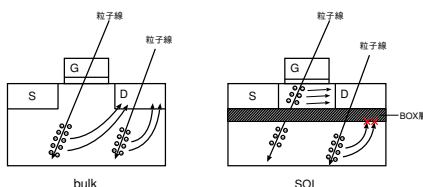


図 2: 電荷収集によるエラーメカニズム

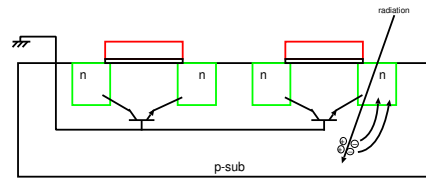


図 3: バルク構造における寄生バイポーラ効果

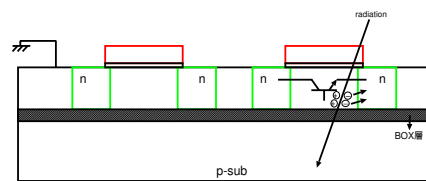


図 4: SOI 構造における寄生バイポーラ効果

3 各フリップフロップ構造

SOI 構造はバルク構造よりもソフトエラー耐性が高くなる。ソフトエラー対策を施さないフリップフロップでも 100FIT/Mbit を下回ると報告されている [2]。冗長化によるソフトエラー対策を施したフリップフロップが多数提案されているが、地上でのソフトエラーを考えると、冗長化によらず、回路やレイアウト構造を少し変更することでソフトエラー対策に有効である。

ここでは、本論文で評価する各フリップフロップの構造、特徴について述べる。

TGFF

TGFF の回路図を図 5 に示す。TGFF は一般的に使用されている D 型フリップフロップで、ソフトエラー対策は施していない。

RSTFF

文献 [3] より、ラッチ部分のトライステートインバータを Schmitt Trigger 型にしたフリップフロップを RSTFF とよぶ。本フリップフロップは、粒子線衝突により発生した電位のパルスが出力に伝達するのに時間がかかるため、値が反転しにくい。

冗長化せずにソフトエラー対策を施したフリップフロップである。RSTFF の回路図を図 6 に示す。

STACKEDFF

文献 [4] より、トランジスタを縦積みにしたインバータでは、FDSOI において、複数のトランジスタが同時に ON になる可能性が低いため、SET パルスが発生しにくいと報告されている。また、フリップフロップ全体を縦積み構造とする

と、重イオンでもエラーが発生していない。面積や遅延時間のオーバーヘッドを少なくするために、ラッチ部分のインバータを縦積みにしたフリップフロップを STACKEDFF と呼ぶ。回路図を図 7 に示す。

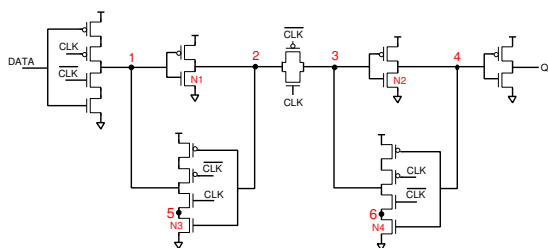


図 5: TGFF 回路図

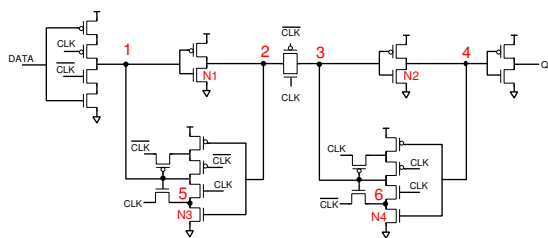


図 6: RSTFF 回路図

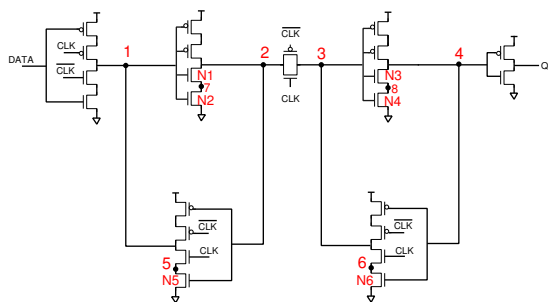


図 7: STACKEDFF 回路図

4 各フリップフロップの回路シミュレーションによる評価

本節では、各フリップフロップに対するソフトエラー率、消費電力、遅延時間をシミュレーションにより評価する。

4.1 ソフトエラー率

各フリップフロップのソフトエラー率を保持値が反転する臨界電荷量 Q_{crit} により評価する。

4.1.1 電荷収集起因

2.1 節で述べた電荷収集起因の保持値の反転を図 8 のように模擬する。保持値の反転に影響のあるノードに電流源をつなぎ、電荷の収集を模擬し、保持値が反転する電荷量を求める。電流源は、文献 [5] より single exponential モデルとし、その時定数は 10ps とする。

4.1.2 寄生バイポーラ効果起因

寄生バイポーラ効果起因の保持値反転を図 9 のように模擬する。保持値の反転に影響のあるトランジスタのソース、ドレイン間にバイポーラトランジスタを接続し、ベースに電流源を接続する。電流源は 4.1.1 節と同様で、バイポーラトランジスタの β は文献 [1] より 2.5 とした。

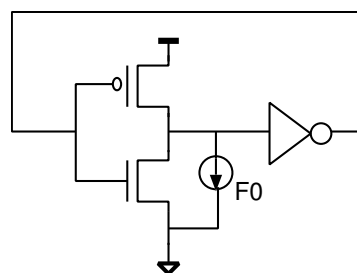


図 8: 電荷収集起因シミュレーション図

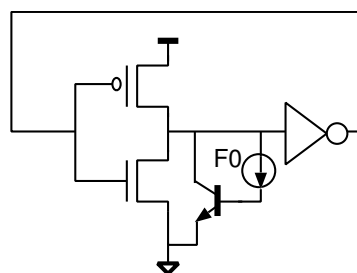


図 9: 寄生バイポーラ起因シミュレーション図

4.1.3 各フリップフロップの臨界電荷量評価

各フリップフロップの保持値反転に影響するノードの電荷収集起因の臨界電荷量 Q_{crit} を表 1 に示す。寄生バイポーラ効果起因の臨界電荷量を表 2 に示す。

表 1 に示すように回路構造の違いにより Q_{crit} が異なることが分かる。RSTFF では、node2, 4 において Q_{crit} が非常に大きくなっている。TGFF よりもソフトエラー率は弱いと考えられる。STACKEDFF では、node2, 4 の Q_{crit} が下がったのに対して、node1, 3 の Q_{crit} が上昇している。TGFF, RSTFF のように node1, 3 が極端に弱い場合、保持値によってソフトエラーが発生しやすくなるが、STACKEDFF では各ノードの Q_{crit} を平均化することができる。

表 2 より、RSTFF では上記同様にインバータで用いられているトランジスタの Q_{crit} は非常に高くなっている。STACKEDFF では、インバータに使用されているトランジスタに電荷が収集されてもインバータ自体は ON にならず保持値が反転していない。これは基板が孤立している FDSOI では 2 つのトランジスタが同時に ON になる可能性は低いため、非常に効果的である。

表 1: 各 FF の電荷収集における Q_{crit}

node	$Q_{crit}[\text{fC}]$		
	TGFF	STACKEDFF	RSTFF
1	0.8	1.2	0.9
2	5.5	4.2	10.8
3	0.8	1.1	0.8
4	5.5	3.8	8.6
5	0.8	1.2	1.1
6	0.8	1.1	1.0
7	-	8.7	-
8	-	7.4	-

表 2: 各 FF の寄生バイポーラ効果における Q_{crit}

node	$Q_{crit}[\text{fC}]$		
	TGFF	STACKEDFF	RSTFF
N1	4.5	> 20	15.3
N2	4.4	> 20	16.8
N3	0.5	> 20	0.5
N4	0.4	> 20	0.5
N5	-	0.8	-
N6	-	0.8	-

4.1.4 各フリップフロップのソフトエラー率評価

4.1.3 節で述べたシミュレーションより、式 (1) を用いてエラーが起こりうる全てのノードについてソフトエラー率 (SER) を計算する [6] [7] [8]。 F は中性子量であり、 $0.00565/\text{cm}^2\text{s}$ 、 K は比例定数で値は 2.2×10^{-5} である。 A は粒子が衝突するノードの面積で、SOI プロセスの場合はゲート面積を使用する。 Q_s は電荷収集効率で、プロセスによって決まる。文献 [9] と 65nm プロセスの実測値から求めた値よりスケールを行い、28nm プロセスでは 5.15fC とした。

$$N_{SER} = F \times K \times A \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

式 (1) より各フリップフロップの SER を求めた結果を表 3, 4 に示す。

表 3, 4 より、電荷収集起因、寄生バイポーラ効果起因の比率による各フリップフロップの SER の推移を図 10 に示す。寄生バイポーラ効果対策を考慮した STACKEDFF では寄生バイポーラ効果の比率が高くなるにつれて SER の減少が顕著に見られ、寄生バイポーラ比率が 30% で TGFF の SER を下回り、90% を超えるときには均一的に対策を施した RSTFF の SER を下回る結果となった。

表 3: 各 FF の電荷収集による SER

FF	SER[FIT/Mbit]		
	TGFF	STACKEDFF	RSTFF
ML	43.4	45.8	35.7
SL	43.4	48	38.1
ave.	43.4	46.9	36.9

表 4: 各 FF の寄生バイポーラ効果による SER

FF	SER[FIT/Mbit]		
	TGFF	STACKEDFF	RSTFF
ML	22.0	9.64	11.7
SL	22.4	9.64	11.4
ave.	22.2	9.64	11.55

4.2 消費電力、遅延時間、面積

ここでは、各フリップフロップに対し回路シミュレーションによる消費電力、遅延時間の評価を行う。各フリップフロップの活性化率 α を 10, 25% としたときの消費電力、遅延時間の TGFF 比とトランジスタ数を表 5 に示す。実際に使用される活性化率 10 ~

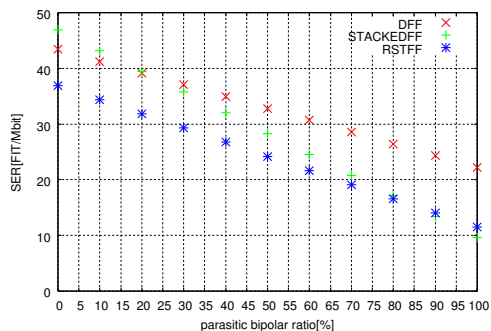


図 10: 各 FF の寄生バイポーラ効果比率による SER

25%での消費電力は、TGFF に対して RSTFF が約 10%増、STACKEDFF が約 5%増となった。遅延時間は TGFF に対し、RSTFF は約 10%、STACKEDFF は約 30%遅くなった。トランジスタ数は RSTFF、STACKEDFF ともに TGFF よりも 4 個多くなる。

表 5: 各 FF の消費電力、遅延時間、面積比較

FF	TGFF	STACKEDFF	RSTFF
消費電力 ($\alpha=10$)	1.0	1.02	1.09
消費電力 ($\alpha=25$)	1.0	1.05	1.08
遅延時間	1.0	1.33	1.09
トランジスタ数 [個]	20	24	24

5 結論

本論文では、回路シミュレーションにより三種類の構造のフリップフロップのソフトエラー率、消費電力、遅延時間について評価した。冗長化せずにソフトエラー対策を施したフリップフロップでは、消費電力、遅延時間について約 10%~30%のオーバーヘッドがあった。ソフトエラー率に関しては、RSTFF は TGFF に対して平均的に SER が低下した。STACKEDFF では寄生バイポーラ効果が支配的になるところで SER が低下する結果となった。この結果より、ソフトエラーの要因に応じて設計することでソフトエラー耐性を向上させることができる。

謝辞

本研究は東京大学 VDEC, STARC, CMP, STMicroelectronics, Cadence, Synopsys, Menter Graphics の協力で行われた。

参考文献

- [1] P. Roche, J.-L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue", *IEDM*, (2013), pp. 31.1.1-31.1.4.
- [2] K. Kobayashi, K. Kubota, M. Masuda, J. Furuta, S. Kanda, and H. Onodera, "A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF, in a 65 nm Thin-BOX FD-SOI", *IEEE Trans. Nucl. Sci. (to be published)*, Vol. 61, No. 4, (2014).
- [3] M. Glorieux, S. Clerc, G. Gasiot, J.-L. Autran, and P. Roche, "New D-Flip-Flop Design in 65 nm CMOS for Improved SEU and Low Power Overhead at System Level", *IEEE Trans. Nucl. Sci.*, Vol. 60, No. 6, pp. 4381-4386, (2013).
- [4] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, "Hardness-by-design approach for 0.15 μm fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity", *IEEE Trans. Nucl. Sci.*, Vol. 52, No. 6, pp. 2524 - 2530, (2005).
- [5] P. Shivakumar, M. Kistler, SW Keckler, D. Burger, and L. Alvisi, "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic", *Int'l Conference on Dependable Systems and Networks*, (2002), pp. 389-398.
- [6] P. Hazucha and C. Svensson, "Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate", *IEEE Transactions on Nuclear Science*, Vol. 47, No. 6, pp. 2586-2594, (2000).
- [7] P. Hazucha, C. Svensson, and SA Wender, "Cosmic-ray Soft Error Rate Characterization of a Standard 0.6 μm CMOS Process", *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 10, pp. 1422-1429, (2000).
- [8] E. Dupont, M. Nicolaidis, and P. Rohr, "Embedded Robustness IPs for Transient-error-free ICs", *Design & Test of Computers*, *IEEE*, Vol. 19, No. 3, pp. 54-68, (2002).
- [9] P. Hazucha and C. Svensson, "Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate", *IEEE Trans. Nucl. Sci.*, Vol. 47, No. 6, pp. 2586-2594, (2000).