

ブロック融合レイアウト方式に基づく計装アンプ開発 及びその製造性評価手法の検討

平田 拓哉[†] 西埜 竜太[†] 中武 繁寿[†] 下山 正家^{††} 宮川 昌士^{††}
淡野 公一^{††} 山田 明宏^{†††}

[†] 北九州市立大学大学院 国際環境工学研究科 情報工学専攻

^{††} 宮崎大学大学院 工学研究科電気電子工学専攻

^{†††} A.LSI デザイン株式会社

E-mail: [†]{takuya.hirata,ryuta.nishino}@is.env.kitakyu-u.ac.jp, ^{††}nakatake@kitakyu-u.ac.jp,

^{†††}{tc13013,tc12034}@student.miyazaki-u.ac.jp, ^{††††}tanno@cc.miyazaki-u.ac.jp,

^{†††††}akihiro.yamada@alsidesign.com

あらまし センサーシステムのアナログ・フロントエンドに用いられる計装アンプでは、入力オペアンプ対の相対精度が重要となる。事前研究により、オペアンプ対のそれぞれ部分ブロックを重ね合わせるようにレイアウトするブロック融合方式を提案し、オペアンプ対のDC オフセット相対ばらつきとそのレイアウト依存性に関する評価を行った。本研究では、そのオペアンプの実測評価に基づき、計装アンプ設計時にレイアウトに依存した製造性を正確に評価する手法を提案する。具体的には、オペアンプ対の実測に基づくレイアウト依存性ばらつきをモデル化し、モンテカルロシミュレーションにより計装アンプの実測結果を再現する。提案手法の正当性は、実際に計装アンプを同じ製造プロセスで製造し、その実測結果とシミュレーション評価を比較することにより実証する。

キーワード 計装アンプ、アナログレイアウト、ばらつき、製造性

Instrumentation Amplifier Design based on Block-merge Layout and its Manufacturability Evaluation

Takuya HIRATA[†], Ryuta NISHINO[†], Shigetoshi NAKATAKE[†], Masaya SHIMOYAMA^{††},

Masashi MIYAGAWA^{††}, Koichi TANNO^{††}, and Akihiro YAMADA^{†††}

[†] Graduate School of Environmental Engineering, The University of Kitakyushu

^{††} Graduate School of Engineering, University of Miyazaki

^{†††} A.LSI Design Co.,LTD

E-mail: [†]{takuya.hirata,ryuta.nishino}@is.env.kitakyu-u.ac.jp, ^{††}nakatake@kitakyu-u.ac.jp,

^{†††}{tc13013,tc12034}@student.miyazaki-u.ac.jp, ^{††††}tanno@cc.miyazaki-u.ac.jp,

^{†††††}akihiro.yamada@alsidesign.com

Abstract For the instrumentation amplifier used in the analog front-end module of the sensor system, the relative accuracy of the input op-amp-pair is essentially important. In the preliminary work, we proposed a block-merge layout so as to superimpose sub-blocks of the op-amp-pair. We fabricated chips and evaluated the relative variability of the DC offset and its layout dependency. In this paper, based on the measurement results of the op-amp, we propose an accurate evaluation of the instrumentation amplifier manufacturability taking the layout dependency into account. In particular, we model the layout-dependent variability from the op-amp measurement results, to reproduce the actual manufacturability of by the Monte Carlo simulation. We demonstrate our validity by comparing the simulation evaluation and the actual measurement result, fabricating the instrumentation amplifier along with our idea on the same manufacturing process.

Key words Instrumentation amplifier, Analog layout, Variability, Manufacturability

1. はじめに

近年広く流通しているセンサーシステムでは、半導体の集積技術を駆使し小型化することで、医療や防災など様々な応用の可能性を見出すことができる。また、センサーモジュールによっては微弱信号を扱うために、アナログ・フロントエンド部、特に入力レベルの調整を行う計装アンプの精度が重要となる。しかし、半導体製造プロセスの微細化は、回路の小型化や高速化、低消費電力化に貢献する一方で製造ばらつきに起因する顕著な性能劣化をもたらすことがある [1], [2]。

我々は、事前研究として計装アンプを構成する入力オペアンプ対を題材にして、2つのオペアンプ特性のマッチングを向上させるためのレイアウト手法の検証を行った [5]。各オペアンプを、バイアス部、差動入力部、出力部、カレントミラー電流源部の部分ブロックに分割し、マッチングさせるオペアンプ対のそれぞれの部分ブロックを重ね合わせるようにレイアウトを行うブロック融合レイアウト方式を提案し、近接配置や拡散共有などのレイアウト手法を組み合わせることで、合計5つのパターンでレイアウトを行い、0.6 $\mu\text{m}/5\text{V}$ の製造プロセスを利用して試作したチップから実測評価により、その効果を実証した。結果として、パターン依存ばらつきの低減を狙ったレイアウト手法である拡散共有配置が回路特性のマッチングに有効であることを示した。

本研究では、この事前研究により得られたオペアンプ対の相対ばらつきを正規分布によりモデル化し、オペアンプ対を含む計装アンプについて、モンテカルロ・シミュレーションにより製造性を評価する手法を提案する。オペアンプ対の相対ばらつきは実測結果に基づきモデル化するので、レイアウトの違いを反映した計装アンプのばらつきシミュレーションが可能となる。また、提案手法の妥当性を検証するために、実際に計装アンプを同じ0.6 $\mu\text{m}/5\text{V}$ の製造プロセスで試作し測定した結果、増幅率の達成できる値がばらつきシミュレーションと実測でほぼ一致していることが確認できた。

本稿の以降の構成は次の通りである。第2章ではオペアンプ対の製造ばらつき評価に関する事前研究を紹介する。第3章では計装アンプ回路とその性能に関するシミュレーション結果について示す。第4章では計装アンプの製造性評価のためのモデルパラメータ生成手法とシミュレーション・フローについて説明する。第5章ではモンテカルロ・シミュレーションによる製造性評価と実測との比較について示す。第6章で本研究で得られた知見についてまとめる。

2. ブロック融合レイアウト方式

本章では、事前研究として行ったオペアンプ対のブロック融合レイアウト手法について簡単な説明を行う。この詳細な内容は文献 [5] において紹介している。

この研究では、オペアンプ対の相対的な製造ばらつきを抑制するためのレイアウト手法について検証している。一般に、チップ平面上での配置間の距離と製造ばらつきに相関があり、

オペアンプ対を近接配置すれば、ある程度相対ばらつきを抑制の効果が期待できる [3], [4]。そこで、図1に示すように、オペアンプ回路をバイアス部、差動入力部、出力部、カレントミラー電流源部など6つの部分ブロック ((1)~(6)) に分割し、いくつかの近接配置パターンについて製造ばらつきを評価した。

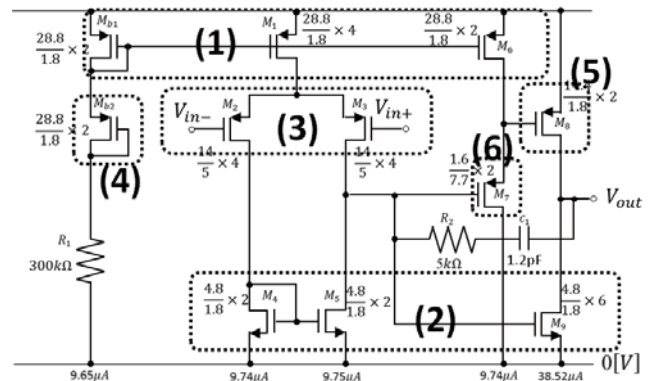


図1 オペアンプ回路図とブロック分割

具体的には、分割した部分ブロックに対して、近接配置、拡散共有配置などを組み合わせて計5つのレイアウトパターンを作成し、オペアンプ対の相対ばらつきを評価するために、1チップには、オペアンプ対を2組、つまり計4つのオペアンプを組み込んだ。この4つのオペアンプをそれぞれ OP1、OP2、OP3、OP4 とする。これらのオペアンプに対して、相対ばらつきのレイアウト依存性の検証のために作成した5つのレイアウトパターン (各パターンは1チップに対応する) について説明する。表1にレイアウトパターン作成方針の概要を示す。また、1チップ中の4つのオペアンプは、ブロックからパッドまでの入出力の配線長は、すべてオペアンプで等しくなるように設計した。

表1 レイアウトパターン

チップ A	相対精度は考慮せず、各オペアンプを個別に設計
チップ B	オペアンプ 2 個分の各回路ブロックを近接配置
チップ C	オペアンプ 2 個分の各回路ブロックを拡散共有配置
チップ D	特性への影響が大きいブロックのみを拡散共有配置
チップ E	オペアンプ 4 個分の各回路ブロックを近接配置

本稿では、次章以降の内容に係るチップ B とチップ C についてのみ詳細に述べる。

【チップ B】 オペアンプ対 (OP1 と OP2、OP3 と OP4) に対して、各部分ブロックを拡散共有せず、近接配置により相対精度の品質を考慮して設計されている。オペアンプ対の部分ブロック (1) のレイアウトパターンを図2に示す。また、オペアンプとチップのレイアウトを図3に示している。

【チップ C】 オペアンプ対 (OP1 と OP2、OP3 と OP4) に対して、部分ブロック (1)~(6) を拡散共有配置し、オペアンプ対のレイアウトを重ねるイメージで設計されている。ここで、図4に見られるように、2個の部分ブロックを拡散共有

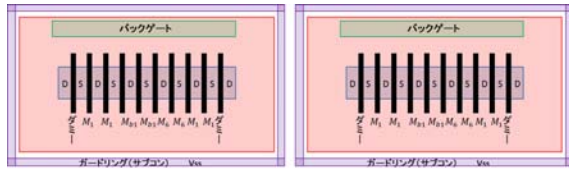


図 2 チップ B の部分ブロック (1) のレイアウトパターン

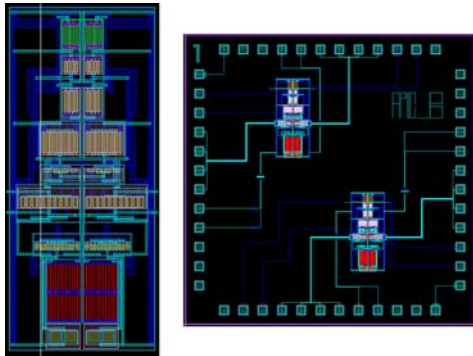


図 3 チップ B レイアウト (左: オペアンプ 2 個分/右: 全体)

しながらコモンセントロイド配置を行っている。また、図 5 に、レイアウトを示す。

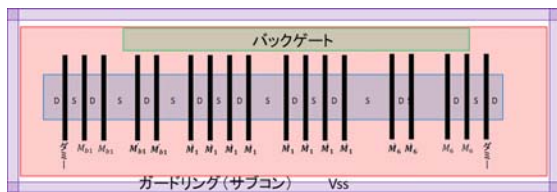


図 4 チップ C の部分ブロック (1) レイアウトパターン

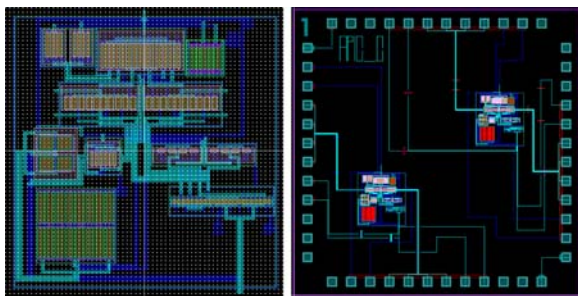


図 5 チップ C レイアウト (左: オペアンプ 2 個分/右: 全体)

チップ A ~ E をそれぞれ 60 個程度製造し、各パターンについて、オペアンプ 240 個、オペアンプ対 (OP1 と OP2、もしくは OP3 と OP4) 120 個を測定した。チップ内で対となっているオペアンプ対 (OP1 と OP2、もしくは OP3 と OP4) の相対ばらつきは、オフセット電圧差、つまり $|V_o(OP1) - V_o(OP2)|$ または $|V_o(OP3) - V_o(OP4)|$ により評価する。(ここで V_o はオフセット電圧。) 測定データに基づくオペアンプ対の製造性評価の結果を表 2 にまとめている。ここでは、チップ C が比較的相対ばらつき (オフセット電圧差分布の標準偏差) が小さく良品率が高い、と解析している。

3. 計装アンプ

計装アンプは、計測用モジュールなど特定用途向けの増幅器として用いられ、一般的なオペアンプの違い、ゲインが可変であり、ノイズ環境に対して強い耐性を持っている。

本研究で、設計及び評価した計装アンプの回路図を図 6 に示す。完全差動型の入出力となっており、前段 (入力段) を AMP1 と AMP2 で構成し、後段 (出力段) を AMP3 で構成している。

ここで AMP1 と AMP2 が前章で説明した事前研究で検証したオペアンプ対に対応している。AMP1 と AMP2 の回路図を図 7 に、AMP3 の回路図を図 8 に示す。尚、後段の AMP3 のシステムティックオフセットを 0 にするために、コモンモードフィードバック回路を付与している。

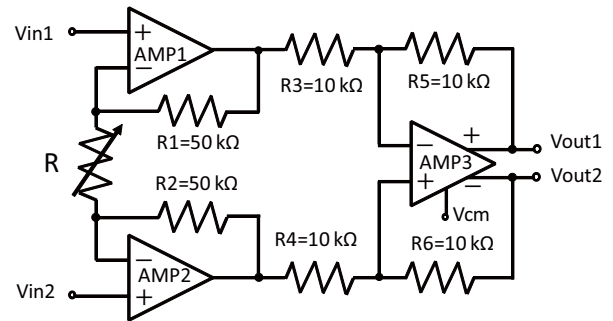


図 6 計装アンプ回路図

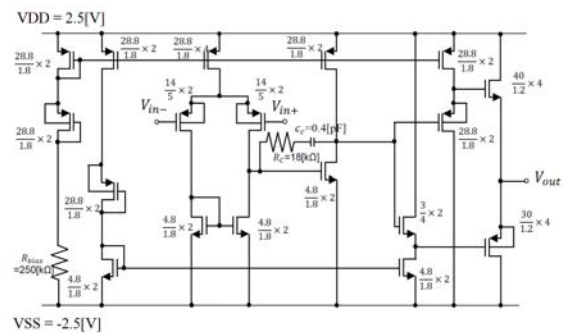


図 7 計装アンプ-前段オペアンプ (AMP1, 2) 回路図

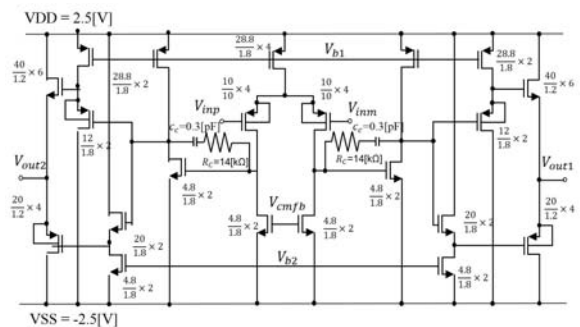


図 8 計装アンプ-後段完全差動オペアンプ (AMP3) 回路図

表 2 製造性評価結果

注 (1) 良品の数は OP1-2 と OP3-4 のオフセット相対誤差が 10[mV] 以内のもの
注 (2) 測定数は OP1-2 と OP3-4 のオフセット相対誤差が 100[mV] 以内のもの

チップ	OP1-2 個数	OP3-4 個数	良品 注 (1)	良品率 [%]	測定数 注 (2)	標準偏差	標準偏差 /良品率	総数
A	190	185	20	8.7	375	17.7	1.97	230
B	177	195	47	20.4	372	19.2	0.96	233
C	214	205	48	20.9	419	18.0	0.86	230
D	199	181	16	6.9	380	25.2	3.65	231
E	206	191	30	13.0	397	20.8	1.60	230

この計装アンプの諸元表(シミュレーション値)を表 1 に示す。

表 3 計装アンプ諸元表

項目	Sim 値
直流利得 [dB]	85.994
カットオフ周波数 [Hz]	753.34
ユニティゲイン周波数 [MHz]	14.748
位相余裕 [°]	78.36
出力電圧範囲 [V]	[-1.01, 0.67]
消費電流 [μA]	504.34
PRSS(VDD 側)@1Hz [dB]	-109.29
PRSS(VSS 側)@1Hz [dB]	-135.70

また計装アンプは、式 (1) に示すように、抵抗 R の値を変更することにより増幅率が変更できる。抵抗 R と増幅率の関係を表 4 にまとめている。

$$V_{out1} - V_{out2} = \frac{R_5}{R_3} \left(1 + \frac{2R_1}{R}\right) (V_{in2} - V_{in1}) \quad (1)$$

表 4 可変抵抗と増幅率

抵抗 R	開放	5000Ω	500Ω	50Ω
理論値	× 1	× 10	× 100	× 1000
シミュレーション値	0.9994	10.473	98.465	823.05

レイアウトについては、前章の事前研究の結果に基づき、チップ C のオペアンプ対の各部分ブロックを重ねるように拡散共有配置する方式(ブロック融合レイアウト方式)を採用し、設計・試作を行った。

4. オペアンプ対の相対ばらつきのモデル化

第 2 章で述べているように、オペアンプ対の製造ばらつきはレイアウトパターンに依存する。本章では、このレイアウト依存性ばらつきを考慮したシミュレーション(製造性シミュレーション)を行うために、第 2 章の事前研究で収集した実測データからばらつきのモデルパラメータを求め、図 9 に提案する製造性シミュレーション手法の流れを示している。

提案方式では、計装アンプの AMP1 と AMP2 における差動入力段の MOS(W) サイズをばらつきパラメータとしてモンテカルロ法により変動させる。シミュレータとしては

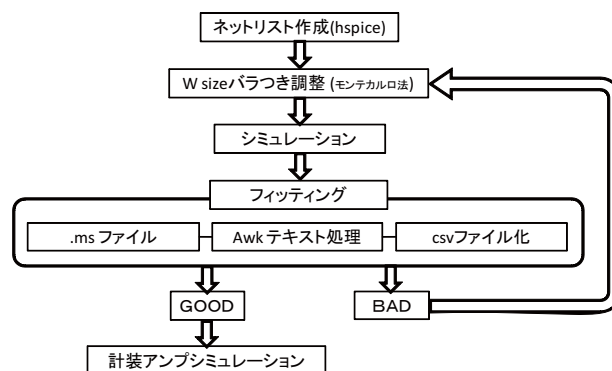


図 9 製造性シミュレーション・フロー

HSPICE を利用し、モンテカルロ法による乱数発生のために、MOS サイズの確率分布における平均、偏差、標準偏差の 3 変数をパラメータとして与える。さらに、この MOS サイズの確率分布は、表 2 に要約した実測のオフセット電圧の分布データにおける統計的な指標(平均、標準偏差)とシミュレーション上で発生させたオフセット電圧ばらつきの(平均、標準偏差)をフィッティングさせることにより求める。第 2 章のチップ C のオフセット電圧分布にフィッティングさせた結果の例を図 10 に示す。

計装アンプの動作の解析においては、AMP1 と AMP2 のオフセット電圧の相対誤差が重要となる。本検証では、チップ C の OP1 と OP2(または OP3 と OP4) の相対誤差(実測値)と計装アンプの製造性シミュレーションの AMP1 と AMP2 の相対誤差がほぼ一致致していることを確認している(図 11 参照)。

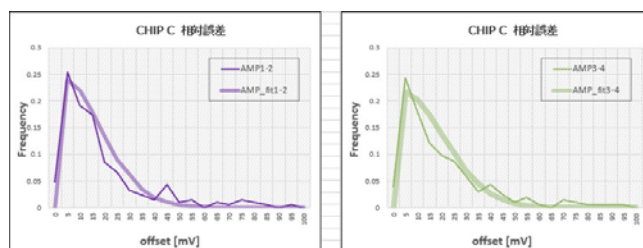


図 11 チップ C のオペアンプ対の相対誤差(実測値)と計装アンプの AMP1 と AMP2 の相対誤差(Sim 値)

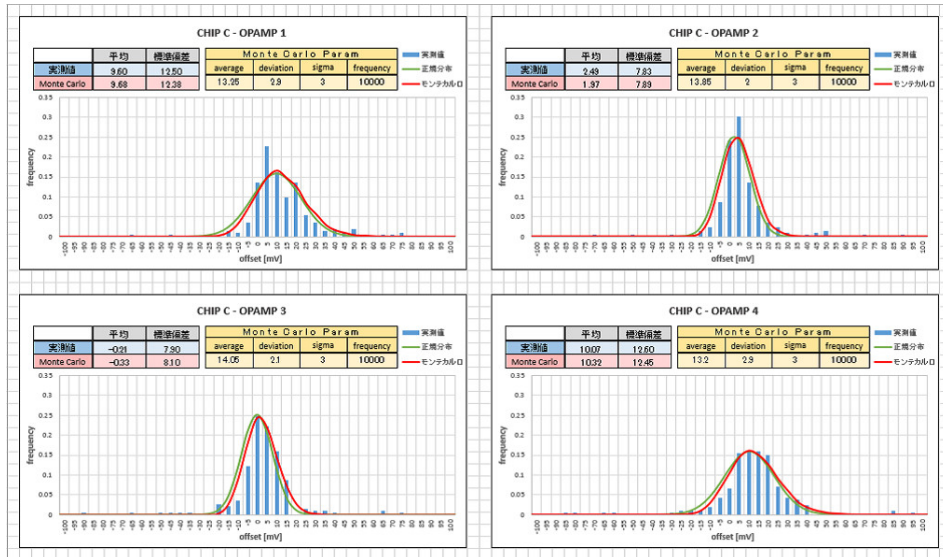


図 10 チップ C のフィッティング結果例

5. 計装アンプの製造性評価

前章で説明した製造性シミュレーション手法に基づき、各オペアンプ対のレイアウトパターン (A~E) に対して、1倍、10倍、100倍、1000倍の計装アンプのシミュレーションを1000回ずつ試行した。各シミュレーション結果における増幅率 ($\times 1 \sim \times 1000$) を解析し、製造ばらつきの影響を解析することを試みる。

まず、表 5 に、理論上の増幅率に対して 80%以上の増幅率を達成した場合のシミュレーション試行を“動作”とみなし、1000回の試行における動作率を算出した結果を示す。概要として、どのレイアウトパターンにおいても増幅率 1倍、10倍のときには安定動作しているが、100倍、1000倍のときには、各レイアウトパターンによって動作率が異なる。表 5 では、100倍時ではチップ B が、1000倍時ではチップ C が、より安定動作していることが確認できる。しかし、1000倍時では 3%程度しか動作しておらず、今回の計装アンプでは 100倍程度が実際の増幅率の限界であることが分かる。

また、動作している試行における平均的な増幅率を表 6 に示す。表から動作している場合には、1000倍以外について、ほぼ理論上の増幅率が達成できていることが確認できる。

5.1 実測との比較

提案方式の妥当性を確認するために、チップ C と同じレイアウトパターンを利用した計装アンプを設計し、第 2 章における検証と同じ 0.6 $\mu\text{m}/5\text{V}$ の製造プロセスで試作した。1チップには 3 組の計装アンプをレイアウトしている。図 12 にチップのレイアウトを、図 13 にチップ上の 1 組の計装アンプの写真を示している。

図 14 に増幅率 10 倍の設定時の測定結果を示す。上段と中段の波形が入力波形で、下段が出力波形となっている。入力波形では、それぞれにオフセット (赤い破線からズレ) が生じているが、正負に同程度のズレであるため、計装アンプの性

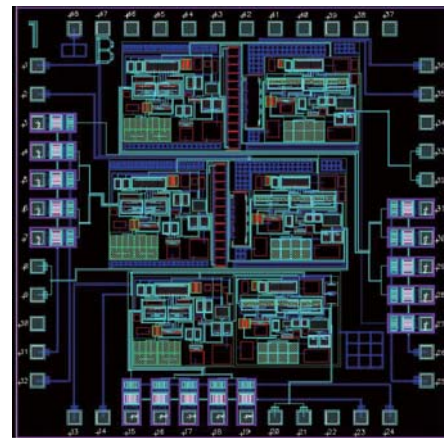


図 12 計装アンプチップのレイアウト (3 組の計装アンプを搭載)

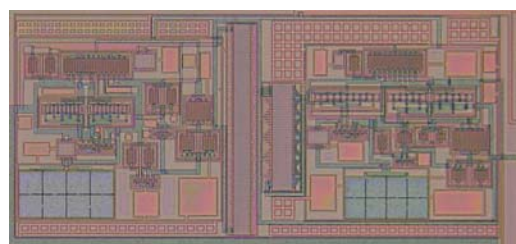


図 13 OP 対レイアウト方式として C を利用した計装アンプのチップ写真

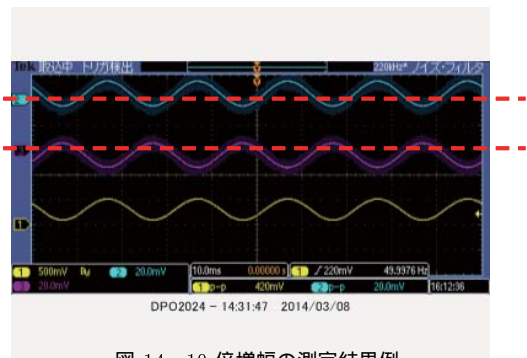


図 14 10 倍増幅の測定結果例

表 5 OP 対レイアウト方式に対する動作率

注 (3) 理想の増幅率に対して 80%以上の増幅を達成したものを“動作”とみなしている

OP 対 レイアウト方式		動作率 [%] 注 (3)			
		× 1	× 10	× 100	× 1000
A	OP1-2/OP3-4	100 / 100	100 / 99.8	35.5 / 14.0	3.3 / 1.7
	平均	100	99.9	24.75	2.5
B	OP1-2/OP3-4	100 / 100	100 / 100	30.8 / 42.25	2 / 5.2
	平均	100	100	36.5	2.5
C	OP1-2/OP3-4	100 / 100	100 / 100	33.7 / 29.3	2.8 / 3.2
	平均	100	100	31.5	3
D	OP1-2/OP3-4	100 / 100	100 / 100	37.8 / 19.5	4.1 / 1.4
	平均	100	100	28.65	2.75
E	OP1-2/OP3-4	100 / 100	100 / 100	33.7 / 23.2	2.5 / 1.8
	平均	100	100	28.45	2.15

表 6 動作時における増幅率の平均

OP 対 レイアウト方式		平均増幅率			
		× 1	× 10	× 100	× 1000
A	OP1-2/OP3-4	0.99933 / 0.99914	10.4721 / 10.4686	98.1732 / 97.9804	819.798 / 816.984
	平均	0.99924	10.4703	98.0768	818.391
B	OP1-2/OP3-4	0.99914 / 0.99935	10.4696 / 10.4724	98.0562 / 98.1566	817.525 / 819.384
	平均	0.99925	10.471	98.1064	818.525
C	OP1-2/OP3-4	0.99926 / 0.99925	10.4713 / 10.4715	97.9982 / 98.2172	819.126 / 818.714
	平均	0.99927	10.4714	98.1077	818.92
D	OP1-2/OP3-4	0.9993 / 0.99919	10.4717 / 10.4702	98.2769 / 98.1481	818.684 / 818.989
	平均	0.99925	10.4709	98.1825	818.836
E	OP1-2/OP3-4	0.99925 / 0.99923	10.471 / 10.4706	98.1382 / 98.1133	819.742 / 820.234
	平均	0.99924	10.4708	98.1258	819.988

質から相殺され、増幅率には影響していない。つまり、相対誤差を抑制するブロック融合方式が計装アンプ設計において有効であることを示している。

また、表 7 に各増幅率における実測結果を示している。100 倍以上の設定では、計装アンプが安定せず測定できなかった。つまり、製造性シミュレーションで解析した増幅率の限界と実測結果がほぼ一致しており、提案手法の有効性が実証できた。

表 7 実測での計装アンプ増幅率

抵抗 R	開放	5000Ω	500Ω	50Ω
理論値	× 1	× 10	× 100	× 1000
シミュレーション値	0.9994	10.473	98.465	823.05
測定値	0.96	11	86	測定不可

6. おわりに

本研究では、オペアンプ対の部分ブロックを拡散共有配置するブロック融合方式に基づき、耐ばらつき計装アンプを開発した。また、レイアウトパターンに依存する製造性を評価するために、事前研究で実測したオペアンプチップからばらつきデータを収集し、計装アンプの入力オペアンプ対のモンテカルロ・シミュレーションに利用できる統計パラメータを導出する方法を示した。このシミュレーション結果と計装アンプ試作による実測の結果において計装アンプの増幅率の達

成率がほぼ一致し、提案する製造性シミュレーション手法の有効性が確認できた。

文 献

- [1] Behzad Razavi, 黒田忠広, アナログ CMOS 集積回路の設計基礎編, 丸善株式会社, 2003.
- [2] Behzad Razavi, 黒田忠広, アナログ CMOS 集積回路の設計応用編, 丸善株式会社, 2003.
- [3] M. J. M. Pelgrom, A. C. J. Duimajier, and A. P. G. Welbers, *Matching properties of mos transistors*, IEEE J. Solid-State Circuits, vol. 24, pp.1433-1440, 1989.
- [4] B. Liu, B. Yang, S. Nakatake, *Layout-Aware Variability Characterization of CMOS Current Sources*, IEICE Transactions, Vol.95-C, No.4, pp.696-705, 2012.
- [5] 宮川昌士, 下山正家, 淡野公一, 平田拓哉, 西埜竜太, 中武繁寿, 山田明宏, オペアンプ対のブロック融合レイアウトとその製造ばらつき評価電子情報通信学会技術研究報告書, Vol.114, No. 123, VLD2014-48, pp.207-212, 2014 年 7 月.