

製造ばらつきを考慮した 極低電圧動作向けフリップフロップの設計手法

鎌苅 竜也[†] 西澤 真一[†] 石原 亨[†] 小野寺 秀俊[†]

[†] 京都大学大学院 情報学研究科 通信情報システム専攻

{kamakari, nishizawa, ishihara, onodera}@vlsi.kuee.kyoto-u.ac.jp

概要 LSIを設計する上でフリップフロップ (FF) は欠かすことのできない論理である。LSIの中でFFの消費エネルギーは高い割合を占め、その消費エネルギーを削減する手法として、低電源電圧での動作が最も効果的な手法の1つであると考えられる。しかし、低電圧動作では製造の際に生じるトランジスタの特性ばらつきの影響が増大し、FFの動作の信頼性に大きな影響を及ぼす。したがって、FFには高い歩留まりでの動作と低消費エネルギー化の2つの大きな課題がある。本稿は、FFの誤動作の解析結果から、高い歩留まりを保証する電源電圧を推定する手法および低電圧で高い歩留まりを保証しかつ消費エネルギーの少ないFFを設計する手法を提案する。商用28 nm低リークプロセスにおけるモンテ・カルロシミュレーションの結果、 5σ の歩留まりを保証しながら17%の消費エネルギーの改善ができたことを示す。

Variation-Aware Flip-Flop Design Method for Ultra Low Voltage Operation

Tatsuya Kamakari[†], Shinichi Nishizawa[†], Tohru Ishihara[†], Hidetoshi Onodera[†]

[†]Dept. of Communications and Computer Engineering, Graduate School of Informatics, Kyoto University

Abstract In LSI circuit design, many FFs are used for data storage. The energy consumption of FFs occupies large percentage of energy consumption of the LSI circuit. One of effective techniques to reduce energy consumption is lowering the supply voltage of FFs. However as the supply voltage becomes lower, the impact of performance variation of transistors becomes significant. Performance variation of transistors causes a malfunction of FF especially for the very low voltage operation. Therefore, it is a challenging goal for the nano scale FFs to achieve the high-yield and low energy consumption simultaneously. This thesis proposes an approximation method for accurately estimating a minimum operating voltage of FFs with a small number of Monte-Carlo trials. After that, we propose a design method that minimizes the energy consumption of the FF with achieving the specific high-sigma yield. Simulation results obtained using a commercial 28 nm process technology model demonstrate that the energy consumption of a FF optimized with our approach can be reduced by 17% at the best case with achieving 5σ yield.

1 序論

トランジスタの微細化および高集積化に伴って、高いパフォーマンスが得られている反面で消費エネルギーの増加が深刻な問題となっている。また、携帯端末の発展により低消費エネルギー、低電圧で動作するマイクロプロセッサの需要がますます高まっている。一般に、マイクロプロセッサには記憶素子として数多くのFFが利用される [1]。FFにはクロック信号が供給され、クロック信号が入力されるたびに入力値の保存を行う。そのためFFはその他の論理ゲートと異なり常に動作し続け、その消費エネルギーは回路全体の消費エネルギーの中で大きな割合を占める。したがって、低消費エネルギーで動作するFFの要求が高まっている。

論理ゲートの動的消費エネルギーは電源電圧の2乗に比例することがよく知られている。そのため、FFの消費エネルギーを削減する手法として、低い電源電圧で動作させる方法が最も効果的な手法の1つであると考えられる。しかし、低い電源電圧での動作では製造の際に生じるトランジスタの特性ばらつきが相対的に増加する問題がある [2]。トランジスタのばらつきにより、回路中に数千個以上存在す

るFFのうち1つでも誤動作を起こした場合、回路全体の誤動作につながる。また、FFは2つのインバータをクロスカップルしたラッチ構造をもつため、ばらつきに脆弱であることが知られている [3]。以上のことから、回路中の全てのFFが高い歩留まりで動作する最低の電源電圧を正確に知ることが重要となる。本稿ではその電圧を最低動作電圧と呼ぶ。

本稿では、低消費エネルギー化と低電源電圧安定動作という2つのFFの最重要課題を解決すべく研究を行った。まず、ばらつきによる影響を考慮したシミュレーションの結果から、FFの最低動作電圧を決定する要因を解析する。その後、要因の解析結果を利用した最低動作電圧の推定手法を述べ、最低動作電圧が低く消費エネルギーの低いFFの設計手法を提案する。

本稿の構成は以下の通りである。第2節でFFの低電圧動作の優位性と問題について述べる。第3節でFFの誤動作の要因をシミュレーションの結果から解析する。第4節でばらつきによる影響も考慮した極低電圧動作向けFFの設計手法を提案する。第5節で提案手法を評価した実験とその結果を述べる。第6で本稿の結論を述べる。

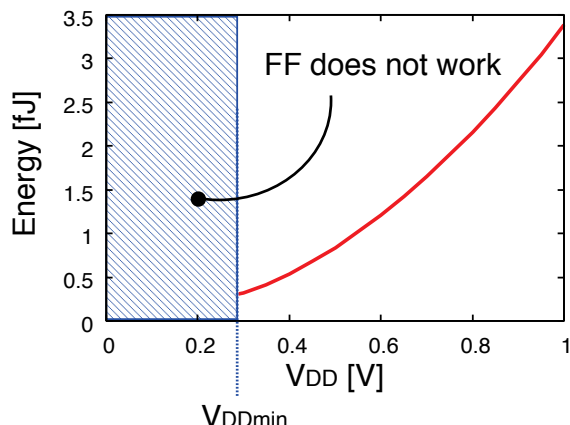


図 1: シミュレーションにより求めた電源電圧の変化に対する消費エネルギーの変化。

2 フリップフロップの低電圧動作

低い電源電圧での FF の動作時には、性能の変化とばらつきが増大するという 2 つの問題が顕著になる。

論理ゲートの動的消費エネルギーは電源電圧の 2 乗に比例することがよく知られている。したがって、電源電圧を低くすることは論理ゲートの消費エネルギー削減に非常に効果的であることがわかる。しかし、トランジスタがサブスレッショルドで動作する領域まで電源電圧を低下させていった場合、トランジスタの遅延は指数的に増加していく。トランジスタには漏れ電流が存在するので、この場合静的な消費エネルギーが増加していくことがわかる。以上のことから、論理ゲートの消費エネルギーは電源電圧を低下させていくと減少していくが、ある電源電圧で極小値を取りさらに低い電源電圧では上昇していくという性質がある。

次にトランジスタの特性ばらつきについて述べる。製造条件の僅かな変化によりランダムなトランジスタの特性ばらつきが生じる。この特性ばらつきにより、同じ論理ゲートでもそれぞれで遅延などの動作特性が異なる問題が生じる。回路設計において、FF などの回路中に非常に多数用いられる論理には高い歩留まりが要求される。また、プロセスの微細化や電源電圧の低下に伴って特性ばらつきは相対的に増大している [4]。したがって、微細プロセスにおいてばらつきに強靱な FF が求められている。

この問題を解決するために、特性ばらつきを考慮した上で FF が正常に動作するような最低の電源電圧値を考える。先述の通り FF には高い歩留まりが要求される。本稿では、 5σ の歩留まり¹を保証する電源電圧を最低動作電圧 V_{DDmin} と定義する。図 1 に回路シミュレーションにより求めた電源電圧の変化に対する FF の消費エネルギーの変化を示す。電源電圧の低下に伴い消費エネルギーが減少していること、そして V_{DDmin} がその減少を制限していることが図 1 からわかる。以上の議論より、最低動作電圧の低下が消費エネルギーの削減につながる事が示された。

¹およそ 1000 万個中 5, 6 個の不良品が発生する確率を意味する。

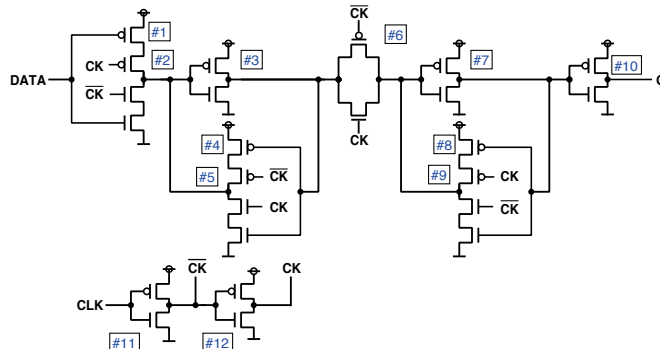


図 2: 評価対象とする FF の回路図。

3 誤動作の解析

この節では、低電圧時に発生する FF の誤動作の発生要因について述べる。図 2 に示すものは、本稿において評価対象とする Transmission-Gate Flip-Flop (TGFF) と呼ばれる FF である。この FF は前段のマスターラッチと後段のスレーブラッチをトランSMISSIONゲートで接続した構造となっている。単純な構造で面積効率が良いことから集積回路で一般によく用いられる [5]。この FF を対象として、商用 28 nm 低リークプロセスを用いた実験により誤動作を調査した。このプロセスの定格電圧は 1.0 V である。

3.1 誤動作解析のセットアップ

FF の誤動作を調査するために、図 3 に示すテスト回路を用いたモンテ・カルロシミュレーションを行った。FF の負荷として FO4 インバータを接続し、データ/クロックドライバとして標準インバータを直列に 4 段接続した。これらにより、実際に FF が使用される状況を模擬した。実験に使用したデータ/クロック信号の入力パターンおよび予想される出力 Q のパターンを図 4 に示す。 Q の立ち上がり/立ち下がりの時間を評価することで、誤動作の有無を判定できるテストパターンとなっている。例としてマスターラッチが 1 の値の保持に失敗した場合、出力波形は図 5 のようになる。また、FF から出力される値が完全に立ち上がっていない、あるいは立ち下がっていない半端な値が出力された場合、FF の後段に接続された論理ゲートの誤動作につながる可能性がある。よって本稿では、 Q が 0 から 1 もしくは 1 から 0 に 90% 以上フルスイングしなかった場合も誤動作であると判断する。なお、クロック信号の立ち上がりの時間とデータ信号の変化の時間に大きいマージンを設けることで、セットアップ/ホールド違反が起こらないようにしている。製造ばらつきを考慮するため、各トランジスタに Pelgrom 則に従うしきい値電圧のばらつきを与えた [6]。

3.2 最低動作電圧の CDF

トランジスタにばらつきを与えながら電源電圧を低下させていき、誤動作が発生し始める電源電圧 V_{DDa} を調査した。しきい値電圧をばらつかせた 50000 回のモンテ・カルロシ

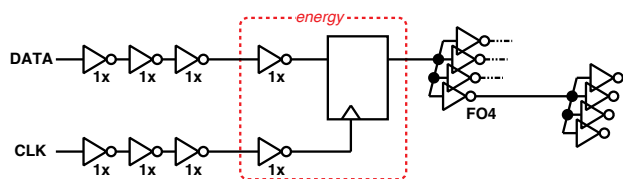


図 3: シミュレーションに用いた評価回路。

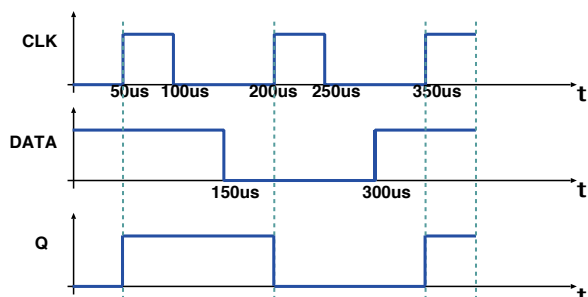


図 4: データ/クロックの入力パターンと予想される出力。

シミュレーションの結果を図 6 に示す。横軸に V_{DDa} 、縦軸に累積分布関数 (CDF) を取った図である。データが正規分布に従う場合、このグラフは直線となる。結果から、FF の V_{DDa} は 2 つの直線を重ねあわせたような形となることがわかった。さらに、それぞれでの試行での誤動作の要因を調べてみると、次の事実が明らかになった。折れ線の右側領域では (A) ラッチの値保持の失敗が、折れ線の左側領域では (B) 不完全な出力が誤動作の要因である、とわかった。(A), (B) の 2 つの要因について述べる。

(A) ラッチの値保持の失敗

クロック信号が立ち上がった時、マスターラッチはデータの値を保持するラッチモードで動作し、スレーブラッチではクロックドインバータがオフになり単純なインバータとして動作する。同様に、クロック信号が立ち下がった時、マスターラッチは単純なインバータとして動作し、スレーブラッチはラッチモードで動作する。しきい値電圧のばらつきはトランジスタの駆動力をばらつかせ、ラッチモードで動作しているラッチが漏れ電流によりその保持値を失ってしまうことがある。その結果、 Q はクロックの立ち上がりとは無関係に変化してしまう。この現象の観測例を図 6 に示す。本来、マスターラッチの値は $200 \mu\text{s}$ 時点まで立ち上がっていなければならない。しかし、漏れ電流によりその値が失われていることがわかる。

(B) 不完全な出力

FF には、正確に値を保持することのみではなく、正確な値を出力することが要求される。電源電圧がトランジスタを動作させるのに不十分ほど低い場合、FF 中のいくつかの pMOS トランジスタはオフになりきらず、またいくつかの nMOS トランジスタはオンになりきらないことがある。この現象により流れる電流は不完全なものとなり、それが

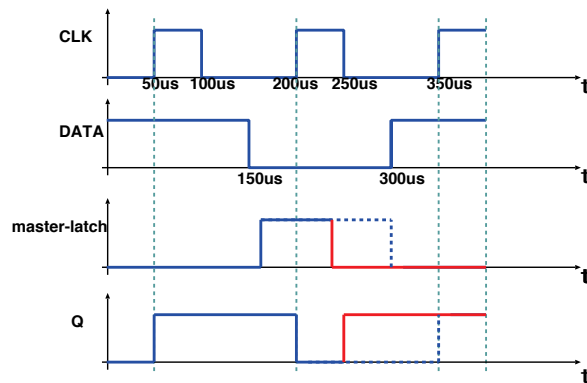


図 5: マスターラッチで誤動作が発生した場合のテストパターン例。

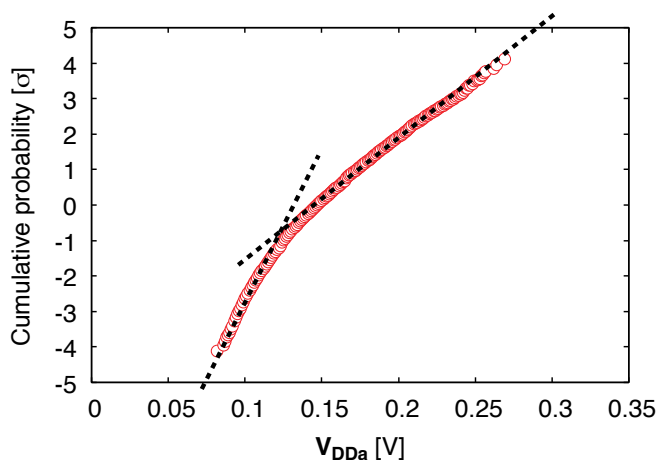


図 6: 誤動作が発生し始める電圧のばらつき。折れ線になっていることがわかる。

伝搬した結果、 Q に不完全な値が出力される。シミュレーションでのこの現象の観測例を図 8 に示す。本来ならば、 Q が 0 V まで立ち下がらなければならない。しかし、トランジスタが不完全な動作をしているため Q の値も不完全なものとなり、 10 mV より低くすることができていないことがわかる。

4 極低電圧動作向けフリップフロップの設計手法

本節では、最低動作電圧が低くかつ消費エネルギーの少ない FF の設計手法を述べる。

4.1 最低動作電圧の推定手法

前節の議論より、 V_{DDa} の分布は 2 つの直線の重ねあわせで表現できること、および 2 つの直線での誤動作の要因がそれぞれ異なることがわかった。これらのことから、高い歩留まりを保証するような FF の最低動作電圧の推定手法を以下のように提案する。ここで、 5σ の歩留まりを確保するような電源電圧を最低動作電圧 V_{DDmin} と定義する。

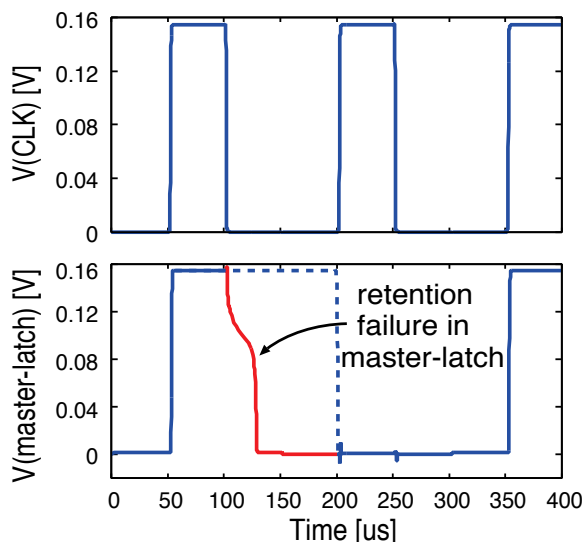


図 7: シミュレーションで観測されたラッチの値保持の失敗例。マスターラッチの値が適切でないタイミングで立ち下がっている。

1. 数少ない回数のモンテ・カルロシミュレーションを行い、その回数分の V_{DDa} を得る。
2. 1. で得られた V_{DDa} から CDF を作成する。
3. 2. で得られた CDF を外挿し、 5σ の歩留まりに対応する V_{DDa} を算出する。得られた V_{DDa} が V_{DDmin} となる。

本来ならば、 V_{DDmin} を求めるためには数 1000 万回のシミュレーションが必要である。CDF の特徴から、数少ないサンプルから V_{DDmin} を推定することのできる点がこの手法のポイントである。このフローによる V_{DDmin} の推定例を図 9 に示す。この例では、500 回² のモンテ・カルロシミュレーションを行い V_{DDmin} を算出している。500 個のサンプルから求めた V_{DDmin} と 50000 個のサンプルから求めた V_{DDmin} の誤差は 3.2% であった。したがって、500 個のサンプルからの外挿による CDF の近似は V_{DDmin} を推定する上で十分正確であると言える。

4.2 消費エネルギーの少ない FF の設計手法

本研究の目的は、電源電圧と FF 中のトランジスタのゲートサイズを同時に最適化することにより、最低動作電圧が高くかつ消費エネルギーの少ない FF を設計することである。トランジスタサイジングにより、論理ゲートの遅延や消費エネルギーなどの性能を最適化することができる。また、ゲートサイズを大きくすることでトランジスタの製造ばらつきの影響を少なくすることができる。本稿では消費エネルギーを最小化するためのトランジスタサイズの最適化手法を提案する。提案手法は図 10 のフローに示される。ここで、 W はトランジスタのゲートサイズを、 E は FF の消費エネルギーを表す。このフローによる E の改善が飽和

² 3σ の歩留まりを確保することができる回数である。

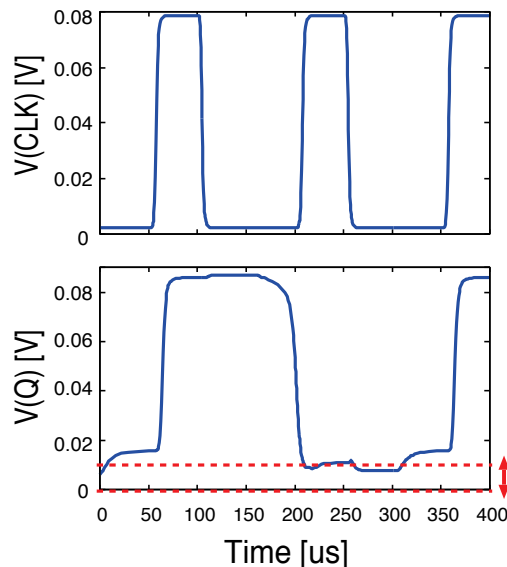


図 8: シミュレーションで観測された不完全な出力の例。出力が 0 V まで立ち下がるはずが 10 mV までしか立ち下げられていない。

した場合、その時の W の組み合わせが最適な FF のゲートサイズとなる。

5 提案手法の評価

提案する FF の設計手法を、商用 28 nm 低リークプロセスで適用させた実験について述べる。

5.1 シミュレーションセットアップ

シミュレーションに用いた回路は図 3 である。 V_{DDmin} を求めるにあたり、シミュレーションのセットアップは第 3.1 節に示したものと同一とし、500 回のモンテ・カルロシミュレーションから V_{DDmin} を外挿により求めた。FF のトランジスタサイズを変更すると、その前段に接続されている論理ゲートの消費エネルギーも変動する。したがって本稿では、消費エネルギーの評価指標として、FF のみではなく、FF の前段のデータ/クロックドライバも合わせた全トランジスタが 1 クロックサイクルに消費するエネルギーを評価した。1 回クロック信号の入力があった時に FF の保存する値が変化する割合 (稼働率) を 10% として消費エネルギーを算出した。消費エネルギーの算出のためにクロック周波数を定める必要があるが、一般的な組み合わせ回路を模擬する回路として直列に 31 段 2 入力 NAND をリング状に接続した回路 (Ring Oscillator: RO) の発振周波数を用いた [7]。また、FF の後段に接続されている論理ゲートの性能は FF の駆動力に依存する。よって本稿では、FF の駆動力を一定として評価を行うために、出力負荷を駆動するインバータ (図 2 での #10) のゲートサイズを固定して考えた。したがって、#10 のトランジスタペアを除く 22 個のトランジスタのゲートサイズを最適化のパラメータとした。

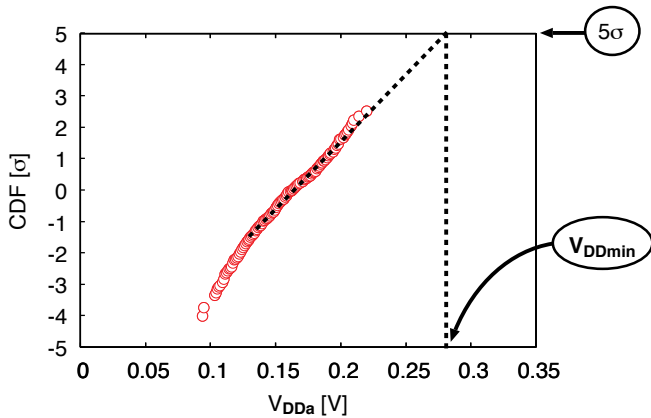


図 9: 500 回のシミュレーションから得られた V_{DDa} の CDF. 外挿により V_{DDmin} を算出する.

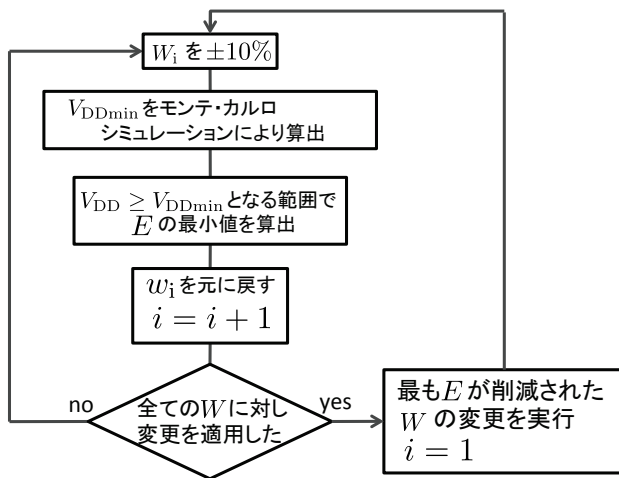


図 10: FF の最適化フロー.

5.2 シミュレーション結果

前節のセットアップのもとで、提案手法をシミュレーションにより評価した。比較対象の FF として、定格電圧 (1.0 V) 動作に対して最適化させた FF ($FF_{default}$) を用いた。評価指標 ED^2 が最小となるようにトランジスタサイジングを施した FF である。ここで、FF のデータ入力から出力までの遅延を D としている。提案手法を適用した実験結果を図 11 に示す。 $FF_{default}$ の V_{DDmin} は 0.285 mV であった。したがってその電圧が電源電圧を下げるができる限界であり、消費エネルギーは最低でも 300 aJ 以上であった。対して、提案手法を適用させた FF (FF_{minE}) を考える。トランジスタを最適な大きさとしたことで V_{DDmin} が改善されていることがわかる。 V_{DDmin} が低くなったことで FF_{minE} は $FF_{default}$ よりさらに低い電源電圧で動作させることができ、より少ない消費エネルギーで動作させることができることがわかる。提案手法の適用により、FF の V_{DDmin} は 22%、消費エネルギーは 17%それぞれ改善した。

次に、最適化により変化したゲートサイズを評価する。変

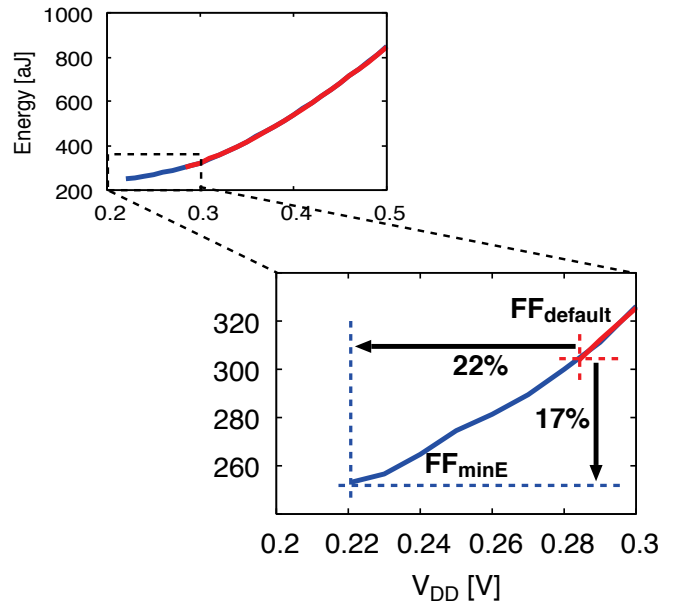


図 11: シミュレーション結果, $FF_{default}$ と FF_{minE} の比較.

表 1: 提案手法によるトランジスタサイズの変化.

トランジスタ	#4	#5	#8	#9
pMOS	1.5X	1.6X	1.5X	1.3X
nMOS	1X	1X	1X	1X

化したゲートサイズのうちでも特徴的であった。ラッチを構成するクロックドインバータのゲートサイズを表 1 に示す。表 1 に示すトランジスタの比は、 $FF_{default}$ に対する FF_{minE} のゲートサイズ比を表す。なお、 $FF_{default}$ ではラッチを構成するクロックドインバータのサイズは全て等しい値であった。表 1 中の番号は図 2 の番号と対応する。この結果から、最適化により pMOS トランジスタのゲートサイズのみが大きくなっていることがわかる。これは、FF の V_{DDmin} の改善のためにはラッチのゲートサイズの pn 比が重要であることを意味すると考えられる。このことは、ばらつきにより nMOS トランジスタの漏れ電流が増加した場合にラッチの値保持の失敗が起こりやすいこと、そして pMOS トランジスタを大きくしてプルアップ力を強くすることがその対策になることを示唆する結果と言える。

$FF_{default}$ と FF_{minE} のそれぞれで V_{DDa} の CDF を調べた。結果を図 12 に示す。図 12 は 50000 回のモンテ・カルロシミュレーションの結果から得られた CDF の比較である。提案手法の適用により CDF の傾きが急峻になったことで、 V_{DDmin} が改善されていることが確かめられる。ここからさらにラッチのトランジスタサイズを調整し、 V_{DDmin} を可能な限り低くした FF ($FF_{V_{DDmin}}$) を作成した。この FF は、ラッチを構成するクロックドインバータのゲートサイズを全て FF_{minE} のほぼ倍にすることで実現できた。図 13 に 3 つの FF の消費エネルギーを示す。 $FF_{default}$ に比べ $FF_{V_{DDmin}}$ の

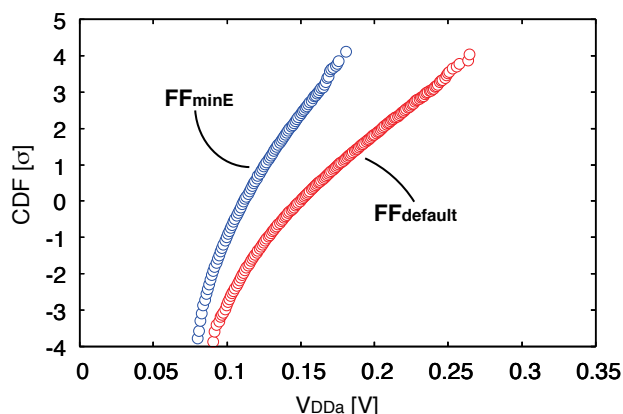


図 12: 50000 回のモンテ・カルロシミュレーションから得られた FF_{default} と FF_{minE} の CDF の比較。

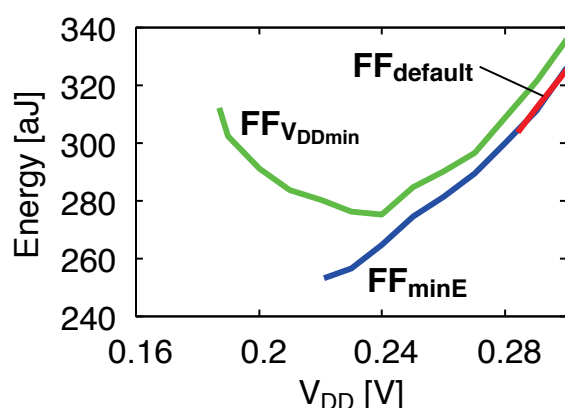


図 13: FF_{default} , FF_{minE} と $FF_{V_{\text{DDmin}}}$ それぞれの電源電圧の変化に対する消費エネルギーの変化。

V_{DDmin} は 34% 改善できた。しかし、電源電圧の低下により消費エネルギーは減少されず逆に増加してしまい、 $FF_{V_{\text{DDmin}}}$ は FF_{minE} からの消費エネルギー性能の改善は見られなかった。これは第 2 節で述べたように漏れ電流の増加が原因であると考えられる。今回の評価では消費エネルギーの改善は見られなかったが、例として $V_{\text{DD}} = 0.2 \text{ V}$ のときに消費エネルギーが最小となるような組み合わせ回路と FF で構成された順序回路を考えた場合、 FF_{minE} を用いる場合に比べ $FF_{V_{\text{DDmin}}}$ を用いた方が回路全体での消費エネルギーは削減できると予想される。順序回路を含めた評価は今後の課題である。

6 結論

本稿では、LSI の低消費エネルギー化の要求に応えるべく、最低動作電圧が低く消費エネルギーが低い FF の設計手法を提案した。まず、極低電圧動作における FF の誤動作の要因をシミュレーションにより解析した。次に、誤動作の解析結果を利用して、500 回程度の少ないシミュレーションの結果から 5σ などの高い歩留まりを保証するよう

な電源電圧を推定できることを示した。この推定手法に基づき、トランジスタサイズと電源電圧を最適化し FF の消費エネルギーを最小化する手法を提案した。最後に、商用 28 nm 低リークプロセスによる実験の結果、提案手法を適用させた FF は、定格電圧動作に最適化した FF と比べて最低動作電圧が 22%、消費エネルギーが 17% 改善可能であったことを示した。

謝辞

本研究は科研費 (B-25280014 および B-26280013) による支援によっておこなわれた。また設計実験は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] W. Liao and L. He, "Full-chip interconnect power estimation and simulation considering concurrent repeater and flip-flop insertion," in *International Conference on Computer Aided Design*, Nov 2003, pp. 574–580.
- [2] S. Dighe, S. Vangal, and P. Aseron, "Within-die variation-aware dynamic-voltage-frequency-scaling with optimal core allocation and thread hopping for the 80-core teraflops processor," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 184–193, 2011.
- [3] M. Lanuzza, R. De Rose, F. Frustaci, S. Perri, and P. Corsonello, "Impact of Process Variations on Flip-Flops Energy and Timing Characteristics," in *IEEE Computer Society Annual Symposium on VLSI*, July 2010, pp. 458–459.
- [4] M. Alioto, "Understanding DC Behavior of Subthreshold CMOS Logic Through Closed-Form Analysis," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1597–1607, July 2010.
- [5] M. Alioto, E. Consoli, and G. Palumbo, "Analysis and Comparison in the Energy-Delay-Area Domain of Nanometer CMOS Flip-Flops: Part I ;Methodology and Design Strategies," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 19, no. 5, pp. 725–736, 2011.
- [6] M. Pelgrom and A. C. J. Duinmaijer, "Matching properties of MOS transistors," in *European Solid-State Circuits Conference*, Sept 1988, pp. 327–330.
- [7] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "12.7-times energy efficiency increase of 16-bit integer unit by power supply voltage (VDD) scaling from 1.2V to 310mV enabled by contention-less flip-flops (CLFF) and separated VDD between flip-flops and combinational logics," in *International Symposium on Low Power Electronics and Design*, 2011, pp. 163–168.