

感度可変リングオシレータを用いた 省面積デバイスパラメータばらつき推定手法

飯塚 翔一* 樋口 裕磨* 橋本 昌宜* 尾上 孝雄*
*大阪大学 大学院情報科学研究科 情報システム工学専攻

本稿では感度可変リングオシレータを用いた省面積なデバイスパラメータ推定手法を提案する。感度可変リングオシレータの多数の感度設定を、提案手法ではセンサ面積の削減と推定精度向上に活用する。提案手法は複数の感度設定組合せを選択し、複数の推定値の平均を取ることで推定精度の向上を実現する。32nmのPTM(Predictive Technology Model)を用いて仮想的に製造されたチップに提案手法を適用し、推定誤差が49%削減可能、または精度を保ったまま75%のセンサ面積を削減可能であることを示した。

Area Efficient Device-Parameter Estimation using Sensitivity-Configurable Ring Oscillator

Shoichi Iizuka* Yuma Higuchi* Masanori Hashimoto* Takao Onoye*
*Dept. Information Systems Engineering, Graduate School of Information Science and Technology, Osaka University

This paper proposes an area efficient device parameter estimation method with sensitivity-configurable ring oscillator (RO). This sensitivity-configurable RO has a number of configurations and the proposed method exploits this property for reducing sensor area and/or improving estimation accuracy. The proposed method selects multiple sets of sensitivity configurations, obtains multiple estimates and computes the average of them for accuracy improvement exploiting an averaging effect. Experimental results with a 32-nm predictive technology model show that the proposed method can reduce the estimation error by 49% or reduce the sensor area by 75% while keeping the accuracy.

1 序論

近年の半導体プロセスの微細化に伴い、LSIの製造ばらつきによる回路性能や歩留まりへの影響が深刻化している。製造後に回路性能を調整する目的で、電圧スケールや基板バイアスを制御する手法が提案されてきた [1, 2]。これらを用いて性能を適切に調整するためには、チップ毎に標準デバイスパラメータからのばらつき値を見積もることが必要となる。例えば、PMOSの閾値電圧が高くNMOSの閾値電圧は標準値であるチップには、PMOSに順方向基板バイアスを与えるべきである。逆にNMOSに順方向バイアスを与えると、速度は満足してもリーク電流の大幅な増加を招く。このような要求に対して、リングオシレータを用いたばらつきセンサが盛んに研究されてきた [3, 4, 5, 6]。リングオシレータの実装は容易であり、簡潔な回路で発振周波数がチップ内で測定できるため、製品出荷後でもばらつき情報の取得が可能である利点がある。

n 個のデバイスパラメータを推定するためにはそれぞれのデバイスパラメータに対して異なる感度を持つ n 種類のセンサが必要である。スタンダードセルで構成されたリングオシレータのみを用いてセンサを実装したとき、チャンネル長やNMOS、PMOSの閾

値電圧といったデバイスパラメータに対する感度ベクトルが類似しており、ランダムばらつき等による不確かさを含んだ観測発振周波数から、デバイスパラメータをロバストに推定するのは困難である。そこで、特定のデバイスパラメータにのみ感度の高い特別な構造のリングオシレータを数種類用いたデバイスパラメータ推定法が提案されている [5, 6]。前述の通り、 n 個のデバイスパラメータの推定には、少なくとも n 種類の異なる感度を持つリングオシレータが必要である。さらにチップ内ランダムばらつきの影響の低減を考えた場合、段数の大きなリングオシレータの実装や同一リングオシレータの多数搭載が必要となる。このときセンサ実装の面積オーバーヘッドは無視できない。

このオーバーヘッドの削減を目的とした、デバイスパラメータ推定手法が [7] で提案されている。この手法では複数種類のリングオシレータを用いる代わりに、測定時にデバイスパラメータに対する感度が変わり可能なリングオシレータ (感度可変リングオシレータ) を用いる。感度可変リングオシレータは感度設定を変えることにより、一種類のリングオシレータから異なる感度を持つ n 個を超える観測発振周波数を得ることができる。これにより、必要なリングオシレータの種類を n 種類から1種類に削減することが可能

となり、センサが占有する面積を削減できる。また、[7]では推定誤差を最小化する n 個のリングオシレータの感度設定組合せを選択する目的関数が提案されている。しかし、ランダムばらつきの影響を低減するために必要な面積オーバーヘッドの問題は未解決である。例えば、[7]では1チップ当たり100個のリングオシレータの搭載を想定している。

本稿では感度可変リングオシレータのより多くの感度設定を利用した、ランダムばらつきの影響を低減可能なデバイスパラメータ推定手法を提案する。本手法では、 n 個のデバイスパラメータに対してそれぞれ $m (> 1)$ 回の推定を行う。各推定に用いる n 個の感度設定組合せは m 回でそれぞれ別のものを用い、 m 回の推定の平均をとって最終推定結果とすることでランダムばらつきによる推定誤差を低減する。推定により多くの感度設定を用いることでランダムばらつきに対してロバストになり、1チップに搭載するリングオシレータ数を削減することができる。図1は提案手法の特徴を示した図で、X軸は1チップに搭載するリングオシレータ数を表しており、必要な面積に対応する。Y軸は推定において感度可変リングオシレータから得る測定周波数の数を表している。図の各長方形の面積はセンサから得る情報の総量を表しており、[7]では n 個の感度設定を用いることでセンサから得られる情報の総量を変えずにリングオシレータ数を削減していることがわかる。提案手法では感度可変リングオシレータのさらに多数の ($\gg n$) の感度設定を用いることでリングオシレータ数の削減を図っている。

本論文の構成は以下の通りである。2章では感度可変リングオシレータを用いた従来のデバイスパラメータ推定手法を説明する。3章では高精度な推定を実現する提案手法の詳細について述べ、4章で実験結果を示す。最後に5章で結論を述べる。

2 感度可変リングオシレータを用いたデバイスパラメータ推定の既存手法

本章では感度可変リングオシレータと、感度可変リングオシレータを用いた既存のデバイスパラメータ

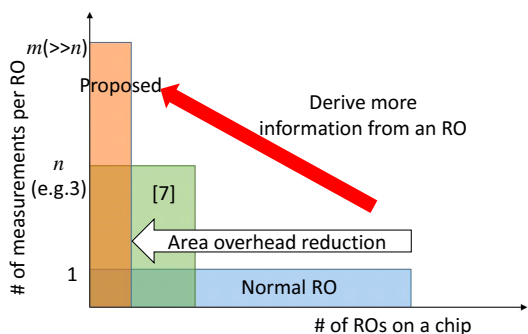


図1: 多くの感度設定を用いた場合のセンサ面積削減

ータ推定手法を説明する。

2.1 感度可変リングオシレータ

図2に感度可変リングオシレータを構成する一段分のインバータを示す。この構造では、四つの端子(INVN/P、CAPN/P)に印可する電位によって、デバイスパラメータばらつきに対する発振周波数の応答を変化させることができる。例えば、各端子の電位は $V_{dd}, V_{bn}, V_{bp}, V_{ss}$ の中から選ぶことができる。ここで、 V_{bn} とは図3に示すバイアス生成回路によって生成されるバイアス電位のことで、 V_{bp} はその相補となるバイアス生成回路によって生成される電位である。これらのバイアス生成回路は[6]で提案されている。発振が停止する等の無効な電位印可の組合せを除くと、感度可変リングオシレータには $144 (= 3^2 \cdot 4^2)$ にも及ぶ感度設定の組合せが有り、それぞれに対応する測定データが取得できる。さらに端子に印加する電位の種類を増やすことで測定可能なデータ数は増やすことができるが、本論文では144通りの組合せを用いることとする。また、感度設定だけでなく電源電圧 V_{dd} によっても測定データは変わるため、電源電圧を l 段階に調整するとすれば、 $144 \times l$ 個の測定データが感度可変リングオシレータから取得できる。

2.2 既存デバイスパラメータ推定手法

本節では[7]で提案された感度可変リングオシレータを用いたデバイスパラメータ推定手法を説明する。図4の上部に[7]での推定手順を示す。1チップ当たり s 個のリングオシレータを搭載しており、ランダムばらつきの影響を低減するために各感度設定において s 個のリングオシレータの発振周波数を測定し、それらの平均をそのチップにおける平均発振周波数としてこの後の推定に用いる。1チップ当たりに必要なリングオシレータ数については4章の実験で議論する。 $144 \times l$ の感度設定、すなわち発振周波数が利用可能であり、それらの中から n 個の発振周波数を n 個のデバイスパラメータ推定に用いる。 a_1 から a_n までの n 種類のリングオシレータの測定値から ΔG_x を推定するために解くべき連立方程式は次のように表される。

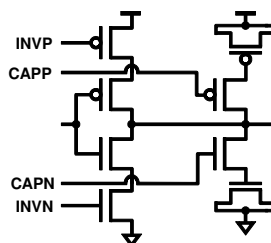


図2: 感度可変リングオシレータの一段を構成するインバータ

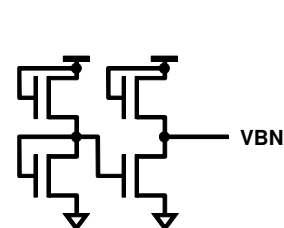


図3: V_{bn} バイアス生成回路

$$\begin{cases} a_1 = f_1(\Delta G_x) \\ a_2 = f_2(\Delta G_x) \\ \vdots \\ a_n = f_n(\Delta G_x) \end{cases} \quad (1)$$

ここで、 ΔG_x はパラメータ x のグローバルばらつき ΔG_x のベクトル表現である。パラメータ x には PMOS/NMOS の閾値電圧 V_{thp}/V_{thn} やチャネル長 L などが含まれる。非線形連立方程式の数値的解法はさまざまにあり、それらを用いて ΔG_x を求めることができる。

ここで、 n 個の方程式、すなわち n 個の感度設定の選択が推定精度に大きな影響を与える。良い n 個の感度設定の組を得るために、[7] では予測される推定誤差の大きさを表す目的関数を定め、最も目的関数の小さい感度設定組合せを用いてパラメータの推定を行っている。この目的関数は感度行列の条件数が相対誤差ノルムの上界を与えることに基づいている。本論文では、この目的関数を最良の組だけでなく上位 m 組の感度設定組合せを求めるために使用する。

3 提案手法

本章では多くの感度可変リングオシレータの感度設定を活用した、ランダムばらつきに対してロバストなデバイスパラメータ推定手法を提案する。提案手法は [7] と比べて推定精度の改善が期待できる。一方で、提案手法では同程度の精度を保ったまま 1 チップに搭載するリングオシレータ数を削減することも可能である。

提案手法では上位 m 組の感度設定組合せを選択し、各組合せについて n 個のデバイスパラメータの推定を行うことで合計 m 通りの推定値を得る。そして m 個の推定値の平均をとり、最終の推定結果として出力する。図 4 の下部に示す提案手法の詳細は以下の通りである。

1 チップに搭載された s 個のリングオシレータに対して、上位 m 組の感度設定組合せに含まれる感度設定に対して発振周波数を測定する。次に各感度設定の s 個の発振周波数に対して平均をとり、連立方程式 (1) に代入する。関数 f_1 から f_n は回路シミュレーションと曲線近似によりあらかじめ求めておく。提案手法では m 組の感度設定組合せ、すなわち m 組の連立方程式を解くことで、 n 個のデバイスパラメータ推定を m 回実施する。最後に各デバイスパラメータについて m 個の推定結果の平均をとる。

提案手法は m 個の推定値の推定誤差がランダムにばらついており、平均化することでその影響を打ち消すことができるという仮定に基づいている。この平均化による効果はランダムばらつきの影響を低減するためによく用いられる。例えば、多数のリング

オシレータや多段のリングオシレータを用いてのランダムばらつき低減が挙げられる。直観的には個々のトランジスタのばらつきによる発振周波数への影響の大きさはリングオシレータの感度設定により異なる。例として、MPL1 のチャネル長のばらつきは MPL2 がオンの場合にのみ発振周波数に影響を与え、MPL2 がオフの場合は影響を与えない。つまり、多数の感度設定を用いることで個々のトランジスタのばらつきによる影響は平均化される。しかし、 m 個の推定値のランダム性を定量的に示すのは困難であるので、必要な m の値については次章で実験的に議論する。

また、本手法では m 個の感度設定組合せの推定誤差が十分小さいこと、すなわち目的関数の値が良好であることが必要である。もし m 番目の感度設定組合せの推定誤差が大きかった場合、 m 番目の推定値は、他の $m-1$ 個の推定値に含まれる不確かさを低減できない。次章で示す 32nm プロセスでの実験においては 71 組の感度設定組合せが最良の目的関数値の 5% 以内に含まれていた。このことから、目的関数の値が十分小さい m 個の感度設定組合せを選択することは可能である。

4 実験結果

本章では提案手法による推定精度の向上と、面積削減効果を実験的に示す。

4.1 実験条件

モンテカルロシミュレーションにより仮想的にチップを生成し、そのチップ間ばらつきを推定する。テクノロジーは標準閾値電圧の 32-nm predictive technology model [8, 9] とし、図 2 のインバータ 7 段で感度可変リングオシレータを構成した。1 チップ当たりのセンサ数 s は 100 とした。センサ数 s と推定精度の関係については 4.4 節で評価する。また、感度可変リングオシレータとバイアス生成回路に与える電源電圧は三段階に調整できるものとした ($l=3$)。この条件では $144 \times 3 = 432$ 個の感度設定が使用可能である。全てのチップのセンサ出力は回路シミュレータ [10] で評価した。

推定するデバイスパラメータはゲート長 L と NMOS/PMOS の閾値電圧 $V_{thn/p}$ の 3 つ ($n=3$) とし、簡単のためにそれぞれのばらつきがグローバルばらつきとランダムばらつきの二つの成分で構成されるとした。グローバル成分はチップ内の全てのトランジスタに同じオフセットばらつきとして現れ、ランダム成分はトランジスタ毎に異なるばらつき量を与えるチップ内ばらつきに対応する。このとき、デバイスパラメータ x の標準値からのオフセット (ばらつき) ΔV_x は式 (2) で表される。

$$\Delta V_x = \Delta G_x + \Delta R_x \quad (2)$$

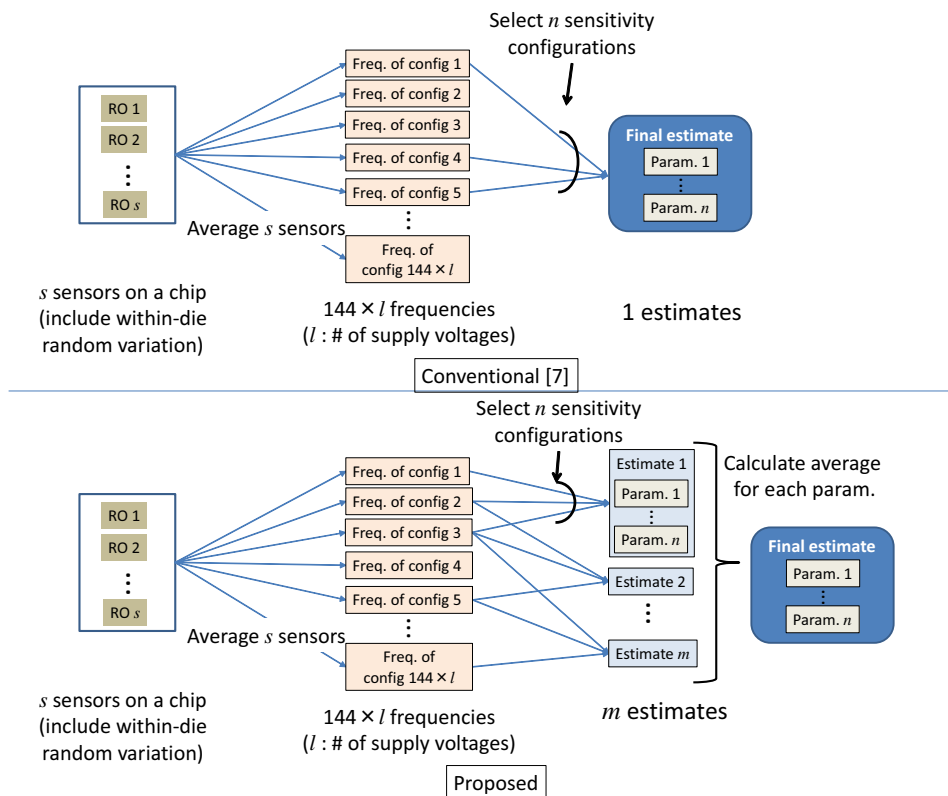


図 4: [7] と提案手法における推定手順.

ここで、 ΔR_x はパラメータ x のランダムばらつきを意味する。なお、パラメータばらつきの標準偏差はそれぞれ $\sigma_{\Delta G/R_{V_{thn/p}}} = 20 \text{ mV}$ 、 $\sigma_{\Delta G/R_L} = 1 \text{ nm}$ とし、チップ毎に ΔG_x を推定する。ランダムばらつきはデバイスサイズに依存しており [11]、上記の標準偏差を $L = 32\text{nm}$ 、 $W = 256\text{nm}$ (NMOS) = 328nm (PMOS) に対して設定した。これらの $\sigma_{\Delta G/R_x}$ に従ったばらつきを各パラメータに対して与え、モンテカルロシミュレーションを行った。

4.2 提案推定手法の検証

3章で述べたように、提案手法は m 組の感度設定組合せによる m 回の推定結果の平均を用いる。これは m 個の推定誤差がランダムに分布しているという仮定に依存しており、もし m 個の推定誤差が同じ方向に偏ってしまっていた場合、平均をとることで推定誤差を低減できない。そこで $m = 50$ の場合の m 個の $\Delta G_{V_{thn}}$ の推定誤差の分布を例として示す。

図 5 に 50 組の感度設定組合せに対して求めた $\Delta G_{V_{thn}}$ の分布を示す。X 軸は感度設定組合せを選択するための目的関数の値を示しており、値が小さいほど良い推定精度が期待される。本実験では 100 チップに対して推定を行い、推定誤差の値は 100 チップの平均である。図 5 から最小の目的関数を持つ感度設定組合せによるデバイスパラメータ推定が必ずし

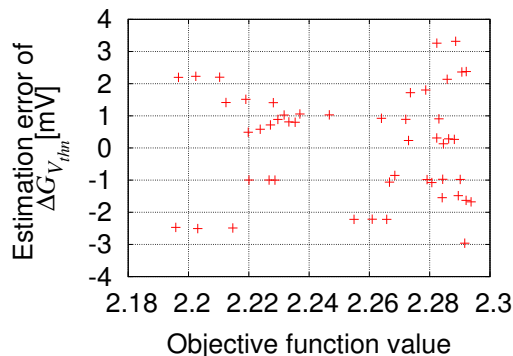


図 5: 50 組の感度設定組合せにおける $\Delta G_{V_{thn}}$ 推定誤差の分布

も最良の精度であるとは限らないことがわかる。これは目的関数が平均の誤差ではなく誤差の上界を表しているためである。また、ここで重要なことは推定誤差が正負双方にランダムに分布しているということである。これより、 m 個の推定値の平均をとることで推定精度が改善することが期待できる。

この結果は一方で単一の感度設定組合せを用いてデバイスパラメータ推定を行うと、ランダムばらつきの影響を強く受けるということを示している。この影響を定量的に示すため、図 6 に 50 組による推定

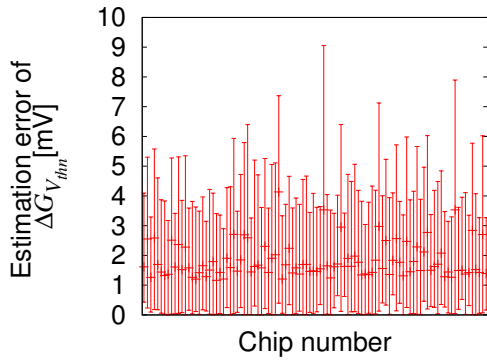


図 6: $\Delta G_{V_{thn}}$ 推定誤差の最大値、最小値および平均値

誤差 $\Delta G_{V_{thn}}$ の平均と最大値、最小値を示す。いくつかのチップにおいて最大誤差が突出して大きく、最大値の 100 チップ平均が 3.5mV である中、9mV を超える最大誤差が発生したチップも存在した。すなわち、単一の感度設定組合せによるデバイスパラメータ推定はロバストではなく、推定値の平均をとることがこのような大きな推定誤差を回避するために有効である。

次に何組の感度設定組合せによる推定の平均をとればよいかを評価する。前に述べたように、50 組の感度設定組合せが同程度の良好な目的関数値を持っている。そこで、50 組の中から m 組をランダムに選択し、 m 回の推定を行い、 m 個の推定値の平均をとる実験を行った。この実験を 100 回繰り返し行い、推定誤差の平均と標準偏差 (σ) を求めた。図 7 は推定誤差の平均と平均 $+3\sigma$ のグラフである。ここで、推定誤差は $\sigma_{\Delta G_L}$ 、 $\sigma_{\Delta G_{V_{thn}}}$ 、 $\sigma_{\Delta G_{V_{thp}}}$ で正規化した ΔG_L 、 $\Delta G_{V_{thn}}$ 、 $\Delta G_{V_{thp}}$ の推定誤差のノルムである (正規化誤差ノルム)。図より、平均化することにより平均推定誤差と平均推定誤差 $+3\sigma$ の両方が減少していることがわかる。平均のみに着目すると 3 組のみで十分であるが、ワーストケースを想定した場合には 10 組かそれ以上用いることが望ましい。

4.3 推定精度の評価

本節では [7] からの推定精度の改善を評価する。表 1 は各チップに与えた $\Delta \mathbf{G}_m$ の推定誤差の平均である。提案手法では 10 組の感度設定組合せを用いて推定を行った ($m = 10$)。[7] では式 (1) の f_1 から f_n が非線形であることへの対策として反復推定手法を提案している。C1 は反復を行う前の初期推定であり、C2 は C1 の結果を用いた反復推定結果である。提案手法では反復推定は行っておらず、C1 に相当する手法である。

表 1 から全体の推定誤差を表す正規化誤差ノルム

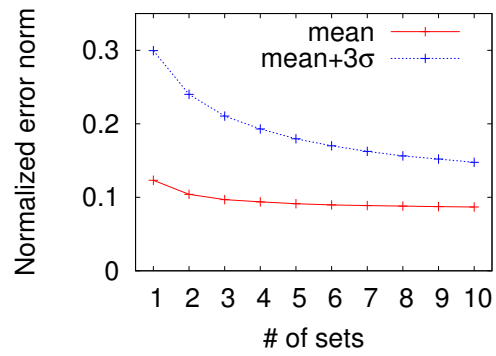


図 7: 推定誤差の平均と平均 $+3\sigma$

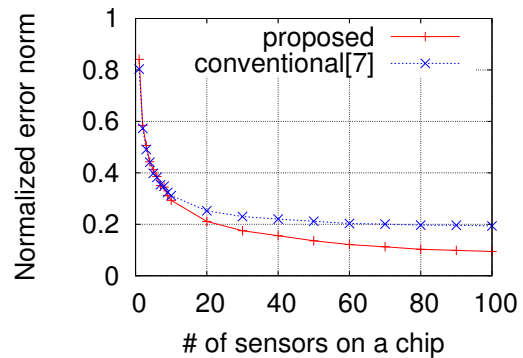


図 8: チップ上のセンサ数と正規化誤差ノルムの関係

は C1 と比較して 0.185 から 0.0943 へと 49% 減少し、C2 から 23% 減少している。このことから、提案手法は感度可変リングオシレータの情報をより多く利用し、より高いデバイスパラメータ推定精度を達成できることを示せた。

4.4 面積の削減

前節で示した精度の改善はセンサ面積の削減に転化することができる。これを 1 チップ当たりのセンサ数を変化させて行ったデバイスパラメータ推定の結果より示す。図 8 は正規化誤差ノルムとチップ上のセンサ数 s の関係である。 s が 10 よりも大きいとき、提案手法の推定精度が勝っている。ここで、100 個のセンサを用いた場合の [7] の推定誤差に着目すると、提案手法では 25 個のセンサで同じ推定精度を達成しており、75% の面積削減が可能である。

5 結論

本論文では感度可変リングオシレータを用いたデバイスパラメータ推定の精度改善手法を提案した。提案手法は m 組の感度設定組合せを選択し、 m 回の推定の平均を求めることで推定精度の向上を実現する。32nm プロセスの仮想チップを用いた実験では推定誤差を 49% 削減、または精度を悪化させることなくセ

表 1: 推定結果

推定条件	$\Delta G_{V_{thn}}$ [mV]	$\Delta G_{V_{thp}}$ [mV]	ΔG_L [nm]	正規化 誤差ノルム
C1: 既存手法 [7] 初回	2.48 (0.1240)	1.26 (0.0630)	0.1094 (0.1094)	0.185
C2: 既存手法 [7] 反復	1.39 (0.0695)	1.36 (0.0680)	0.0489 (0.0489)	0.123
提案手法	1.09 (0.0544)	1.05 (0.0523)	0.0383 (0.0383)	0.0943
C1 からの 誤差減少	56%	17%	65%	49%
C2 からの 誤差減少	22%	23%	22%	23%

括弧内の数値は標準偏差 $\sigma_{\Delta G_x}$ で正規化したもの

ンサ面積を 75%削減可能であることを示した。

謝辞

本研究は、NEDO 産業技術研究助成ならびに一部 STARC との共同研究による。

参考文献

- [1] S. Martin, K. Flautner, T. Mudge, and D. Blaauw, "Combined dynamic voltage scaling and adaptive body biasing for lower power microprocessors under dynamic workloads," in *Proc. ICCAD*, 2002, pp. 721–725.
- [2] J. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan, and V. De, "Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage," *IEEE JSSC*, vol. 37, no. 11, pp. 1396–1402, 2002.
- [3] M. Bhushan, M. Ketchen, S. Polonsky, and A. Gattiker, "Ring oscillator based technique for measuring variability statistics," in *Proc. ICMTS*, 2006, pp. 87–92.
- [4] L. Pang and B. Nikolic, "Measurements and Analysis of Process Variability in 90 nm CMOS," *IEEE JSSC*, vol. 44, no. 5, pp. 1655–1663, 2009.
- [5] I. A. K. M. Mahfuzul, A. Tsuchiya, K. Kobayashi, and H. Onodera, "Variation-sensitive monitor circuits for estimation of global process parameter variation," *Semiconductor Manufacturing, IEEE Transactions on*, vol. 25, no. 4, pp. 571–580, Nov 2012.
- [6] B. Wan, J. Wang, G. Keskin, and L. T. Pileggi, "Ring Oscillators for Single Process-Parameter Monitoring," in *Proc. Workshop on Test Structure Design for Variability Characterization*, 2008.
- [7] Y. Higuchi, K. Shinkai, M. Hashimoto, R. Rao, and S. Nassif, "Extracting Device-Parameter Variations using a Single Sensitivity-Configurable Ring Oscillator," *Proc. ETS*, pp. 106–111, May 2013.
- [8] "Predictive Technology Model (PTM)," <http://ptm.asu.edu/>.
- [9] W. Zhao and Y. Cao, "New generation of Predictive Technology Model for sub-45nm early design exploration,"

IEEE Transactions on Electron Devices, vol. 53, no. 11, pp. 2816–2823, 2006.

- [10] *Spectre Circuit Simulator*, Cadence Design Systems, Inc.
- [11] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE JSSC*, vol. 24, no. 5, pp. 1433–1439, 1989.