

グラウンド平面・シールド配線によるシステム・オン・パネルの配線間容量の低減と容量見積りの容易化

内田 好弘^{†1} 谷 貞宏^{†2} 橋本 昌宜^{†1}
 築山 修治^{†3} 白川 功^{†4}

システム・オン・パネルなど配線とグラウンド平面の距離が大きい構造では、配線間の容量結合の割合、影響範囲が大きく、容量の見積りが困難である。これまでに容量抽出の高精度化のためにいくつかの手法が提案されているが、実用的な計算量では十分な精度は得られていない。複雑な計算処理による抽出精度の向上を目指すだけでなく、配線間容量そのものを低減する設計も効果的と考えられる。本稿では、配線間容量低減技術として一般的なグラウンド平面、シールド配線の追加、配線間隔の調整をシステム・オン・パネルに適用して、容量成分と見積もりやすさについて評価を行った。その結果、配線間容量のミラー効果を考慮した実効最悪容量を改善しつつ、抽出を容易にすることが可能であることが分かった。

Effectiveness of Ground Plane and Shield Wires for Reduction of Coupling Capacitance and Simplification of Capacitance Estimation in System on Panel Circuits

YOSHIHIRO UCHIDA,^{†1} SADAHIRO TANI,^{†2} MASANORI HASHIMOTO,^{†1}
 SHUJI TSUKIYAMA^{†3} and ISAO SHIRAKAWA^{†4}

In system on panel circuits, coupling capacitance is much significant since a ground plane locates far away unlike LSI designs. To solve difficulty in capacitance extraction, which comes from wide-range coupling in system on panel circuits, some methods have been proposed, but still their efficiency and accuracy are not sufficient. This work focuses on interconnect design to reduce coupling capacitance instead of improving accuracy and efficiency by complex computation and enhancing algorithm. Using an effective worst-case capacitance which considers mirror effect of coupling capacitance, the effectiveness of adding ground plane and insertion of shield wires are evaluated from the aspect of weakening capacitive coupling and simplifying capacitance extraction. Experimental results reveal that ground plane and shield wires contribute both to reduce the effective worst-case capacitance and to simplify capacitance extraction.

1. はじめに

近年、ガラスやプラスチックの基板上に回路を実装するシステム・オン・パネル技術が実用化され液晶や有機 EL などの薄型ディスプレイに普及してきている。様々な機能をパネル上に集積化することにより表示品位は向上し、ディスプレイの多機能化、低消費電力化、

低コスト化にも大きく寄与している¹⁾。現在はモバイル端末向けのディスプレイが主たる用途であるが、文献 2), 3) ではガラス上に 8bit の CPU を実装した報告がされており、表示パネル上に計算機機能すべてを実装するシートコンピュータの実現も期待されている⁴⁾。

システム・オン・パネルではその構造において、LSI と比べるとグラウンド平面が非常に遠いという特徴がある。配線に生じる容量は、グラウンド平面との対地容量よりも配線間に生じる結合容量が支配的となっており、容量抽出の困難さが問題となっている⁵⁾。表 1 に LSI とシステム・オン・パネルでの配線寸法の比較を示す。配線寸法のパラメータには図 1 に示す配線幅 W 、配線間隔 S 、配線厚 T 、グラウンド距離 H がある。

†1 大阪大学
Osaka University

†2 シャープ株式会社
SHARP Corporation

†3 中央大学
Chuo University

†4 兵庫県立大学
University of Hyogo

表 1 LSI とシステム・オン・パネルにおける配線寸法の比較
Table 1 Parameters of interconnect structures of LSI and system on panel.

		LSI ⁶⁾	システム・オン・パネル ⁷⁾
配線幅	W/T	0.5	10
配線間隔	S/T	0.5	10
グラウンド距離	H/T	5~20	2,000

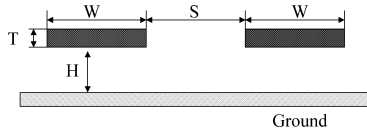


図 1 配線断面図

Fig. 1 Cross-section of interconnects.

表 1 にはグローバル配線の最小加工寸法を配線厚 T で正規化して示した。LSI の数値は ITRS2003⁶⁾ に示されている 2003 年現在の LSI のグローバル配線の寸法である。システム・オン・パネルの寸法⁷⁾ と LSI の寸法を比較すると、配線のアスペクト比 T/W は LSI が 2 であるのに対し、システム・オン・パネルでは 0.1 と大きく横長で数世代前の LSI と同程度である。一方、システム・オン・パネルでのグラウンド距離 H/T は 2,000 であり、LSI の 100 倍以上離れている。文献 5) ではグラウンド平面が遠い場合の容量抽出の問題点を示し、効率的に容量を抽出するためのパターンマッチングと配線分割による計算方法を提案している。しかしグラウンド平面が遠いことによる容量結合範囲の広がりなどを考慮するため計算量が多く、また抽出精度も現状の LSI 用 CAD と比べると低い。LSI 上の配線と同等の精度で抽出するためにはさらなる計算量の増加が見込まれる。

本稿では、システム・オン・パネルにおける配線容量の抽出の高精度化、容易化に関して、アルゴリズム、計算技術による改善だけでなく、配線構造そのものを変更することで実現できないかと考えた。配線構造の変更として、製造工程の変更を要するグラウンド平面の追加、ならびに製造工程の変更が必要ないシールド配線の挿入を検討した。一般に導体の追加は物理的な容量値を増加させる。しかし、配線間の結合容量が支配的な場合、配線間容量が対地容量に置き換わることで、クロストークによるミラー効果と考えた実効最悪容量を低減させることができる。これは最悪条件を考慮した設計に対して、性能向上をもたらす。また導体の追加は遠方との容量結合を低下させるため、狭い領域に対する容量抽出が可能となり、容量抽出の容易化をもたらす。本稿では、実効最悪容量と配線容量抽出

容易化に着目し、グラウンド平面の追加やシールド配線の挿入の効果を定量的に議論する。

本稿の構成は次のとおりである。2 章において、グラウンド平面の追加による配線間容量ならびに実効最悪容量の低減効果を評価する。3 章では、シールド配線による低減効果を示す。4 章では、グラウンド平面の追加やシールド配線の挿入による配線容量抽出の容易化について議論する。最後に 5 章で議論をまとめる。

2. グラウンド平面の追加

本章ではグラウンド平面の追加による配線間容量、ならびに配線の実効最悪容量の変化を議論する。グラウンド平面の追加の効果を調べるために、平行配線構造、交差配線構造に対して追加したグラウンド平面までの距離を変化させて容量を評価した。

2.1 平行配線構造

文献 5) よりシステム・オン・パネルでは注目配線 (M_0) に対して、最隣接の配線 (M_1) だけでなく隣接 2 配線 (M_1, M_2) との配線間容量の影響が大きい。そのため、図 2 に示す 5 配線の平行構造を用いて、グラウンド距離 H/T を 1 から 2,000 まで変化させて容量の評価を行った。配線幅 $W/T=10$ 、配線間隔 $S/T=10$ 、比誘電率 $\epsilon=3.9$ とし、市販のフィールドソルバ⁸⁾ を用いて 2 次元電磁界解析を行った。結果を図 3 に示す。横軸はグラウンド距離 H/T の対数をとった値であり、縦軸は単位長あたりの容量値である。注目配線 M_0 に対する総容量 C_{total} 、 M_0 とグラウンド平面に生じる対地容量 C_g 、 M_0 と隣接 4 配線 (左右の M_1, M_2) に生じる配線間容量を足し合わせた結合容量 C_c をプロットした。容量で結合した配線が同時に逆方向に遷移する場合、ミラー効果により結合容量が 2 倍に見える。最悪条件での動作を見積もる場合、配線容量を $C_g + 2C_c$ として考えることが多い。本稿では、回路動作に対する容量の評価指標として実効最悪容量 $C_g + 2C_c$ を用いることとし、あわせてプロットした。

プロット一番右の $H/T=2,000$ がシステム・オン・パネルの現在のグラウンド距離であり、プロットは配線とグラウンド平面の間に新たにグラウンド平面を追加した場合の容量値と考えることができる。図 3 より、 $H/T=2,000$ のときには結合容量が支配的であり、 $H/T=10 \sim 20$ で対地容量との大小関係が逆転し、 $H/T < 10$ では対地容量が支配的となっていることが分かる。実効最悪容量 $C_g + 2C_c$ は $H/T=20$ まではグラウンド平面を近くすると減少しているが、さらに近づけると対地容量の増加により $H/T=2,000$ のとき

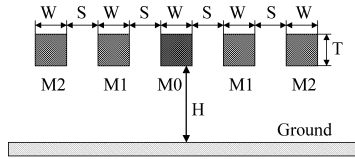


図 2 5 配線が等幅等間隔で並ぶ平行配線構造
Fig. 2 Cross-section of five parallel wires.

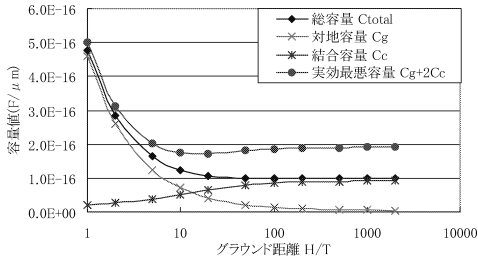


図 3 グラウンド距離と容量成分の関係
Fig. 3 Relation between ground plane location and capacitance.

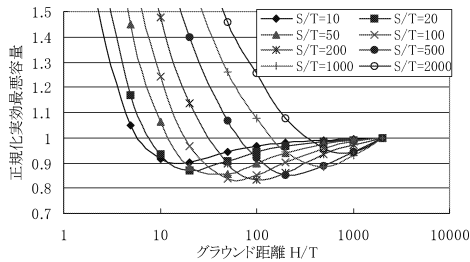


図 4 配線間隔と容量-グラウンド距離に対する正規化実効最悪容量の変化
Fig. 4 Relation between wire spacing and normalized effective worst-case capacitance.

の値より大きくなっている．実効最悪容量が最も小さくなったのは $H/T=20$ のときであり， $H/T=2,000$ のときと比べると 10%減であった．

次に，配線構造が異なる場合にも同じ傾向が得られるかを調べるために，配線間隔を変えた場合，平行配線数を変えた場合の評価を行った．配線間隔を $S/T=10 \sim 2,000$ と変化させて容量を調べたところ，図 3 の結果と同様の傾向が見られた．図 4 に配線間隔と正規化実効最悪容量の関係を示す．正規化実効最悪容量とは， $H/T=2,000$ のときの実効最悪容量 $C_g + 2C_c$ を基準として，グラウンド平面の位置を近づけたときの実効最悪容量の比率を示す．配線間隔を広げると結合容量が対地容量に対して相対的に小さくなりやすく，グラウンド平面を近づけすぎると実効最悪容量は大きくなる．評価の範囲で総合的に良い結果を示したのは $H/T=500$ としたときで，正規化実効最悪容量は 1~11%の低減となった．ただし，配線間隔 S/T が大きい

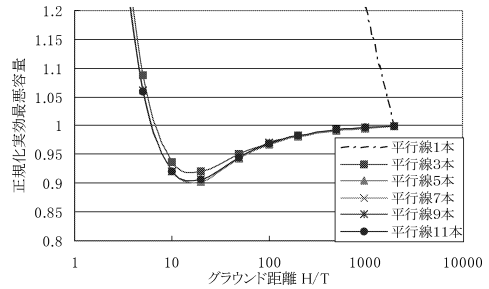


図 5 平行配線数と正規化実効最悪容量-グラウンド距離の関係
Fig. 5 Relation between number of parallel wires and normalized effective worst-case capacitance.

と容量値自体は小さくなり，考慮すべき容量値を持つ配線間隔を定めると，その範囲に応じて最適なグラウンド距離は異なる．例として $S/T=200$ までの考慮で十分と判断する場合には $H/T=50$ とすると 5~16%の低減となり，より良い効果が得られる．

次に，平行配線数を 1~11 本と変化させて容量を調べたところ，これも図 3 と同じ傾向が見られた．図 5 に平行配線数と正規化実効最悪容量の関係を示す．図中で平行配線が 5~11 本の結果は重なっており，ほぼ同じ値となっている．平行配線が 1 本のときは結合容量がないため，グラウンド平面が近づくると対地容量が急激に反比例して大きくなっている．平行配線数が 3 本と 5 本のときを比べると，結合容量自体は 5%ほどの差があるが，正規化実効最悪容量では最大で約 2%の差であった．平行配線数が 5 本より多くなると変化は軽微である．以上から，平行配線構造においては，グラウンド平面を近くに配置することにより実効最悪容量の低減が可能であることが分かった．最適なグラウンド平面の距離は配線間隔と配線形状によって異なるため，プロセスに対して個別の評価が必要である．今回のシステム・オン・パネルの構造では，距離 $H/T=500$ までにグラウンド平面を配置すると実効最悪容量を軽減させることができる．結合容量を考慮すべき容量結合範囲を狭くする場合には，より近くにグラウンド平面を配置することでさらなる低減が可能となる．

2.2 交差配線構造

続いて交差配線構造に対するグラウンド平面の効果を評価する．注目配線の下層に直交する配線層 L1 が存在する．図 6 に示すように配線層間距離を D ，L1 層の配線厚を $T1$ とし，グラウンド平面は L1 層の下 H の距離に存在する．まずはじめに図 7 に示す規則的な格子構造について，グラウンド距離 H/T を 1~2,000 と変化させて容量の変化を調べた．ただし $T1=T2=T$ ， $D/T=1$ ， $\epsilon=3.9$ とし， $W/T=10$ ， $S/T=10$ として評

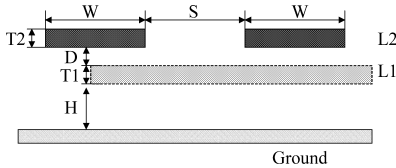


図 6 配線構造断面図

Fig. 6 Cross-section of interconnects composing of two interconnect layers.

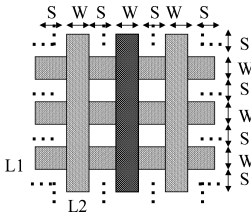


図 7 等幅、等間隔とした格子構造

Fig. 7 Layout of lattice structure.

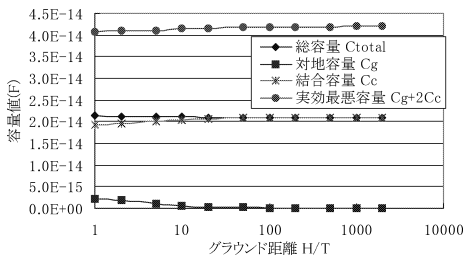


図 8 格子構造における容量-グラウンド距離の関係

Fig. 8 Relation between ground plane location and capacitance in lattice structure.

値を行った．配線容量は市販の 3 次元フィールドソルバ⁸⁾を用いて求めた．結果を図 8 に示す．

図 8 の横軸はグラウンド距離 H/T 、縦軸は容量値であり、格子構造中央の注目配線に対する総容量 $C_g + C_c$ 、対地容量 C_g 、結合容量 C_c および実効最悪容量 $C_g + 2C_c$ をプロットした．最小間隔で密な格子構造においてはグラウンド距離を変化させても大きな変化は見られなかった．配線間隔が $S/T=10$ であるため、グラウンド距離 H/T が配線間隔 10 よりも大きい場合には、結合容量が全体の 97% 以上と支配的になっている． $H/T < 10$ では対地容量が増え結合容量が減るため、実効最悪容量は 1~2% の低減が見られる．

次に、格子構造の配線間隔を変化させて容量の変化を調べた．配線間隔は $S/T=10 \sim 2,000$ まで変化した．各容量成分とグラウンド距離の関係は図 8 と同じ傾向が見られ、グラウンド距離 $H/T > 100$ においては変動は軽微であった．図 9 に配線間隔と正規化実効最悪容量の関係を示す． $H/T > 100$ の領域では正規化実

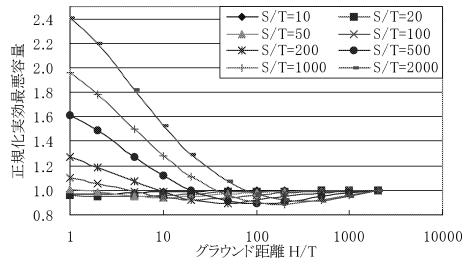


図 9 格子構造の配線間隔と正規化実効最悪容量の関係

Fig. 9 Relation between wire spacing and normalized effective worst-case capacitance in lattice structure.

効最悪容量が 1 以下となっており、全般的に容量低減の効果が見られる．逆に $H/T < 100$ の領域では配線間隔が大きくなると対地容量が支配的となるため、配線間隔によっては大きく実効最悪容量が増加する．

以上より、平行配線構造、格子構造ともに劇的ではないが着実な実効最悪容量の低減効果が得られることが分かった．配線構造、パラメータによって最適なグラウンド距離は異なり、 $H/T=500$ としたときには全体的に 5% 程度であった．

3. シールド配線の導入

配線領域に余裕がある場合には、配線の間隔の拡大やシールド配線の挿入により、結合容量ならびに実効最悪容量の改善が可能である．配線間隔の拡大やシールド配線は、製造工程を変化させることがないため、グラウンド平面の追加よりもコスト面で優位である．本章ではシステム・オン・パネルの設計における配線間隔の拡大およびシールド配線の効果について評価を行う．

3.1 平行配線構造

同層の平行配線構造において、配線間隔を拡大した場合の配線容量を評価した．評価には図 2 で示した 5 本の平行配線構造を用い、グラウンド距離はシステム・オン・パネルの $H/T=2,000$ とし、配線間隔 S/T を 10~2,000 と変化させて評価した．結果を図 10 に示す．配線間隔 S/T が 10 から 100 まで 10 倍増加すると、結合容量、実効最悪容量は約半分となっている． $S/T=1,000$ で対地容量と結合容量が同程度の値となり、 $S/T=2,000$ では割合が逆転して対地容量が支配的となるのが分かる．

次に、シールド配線の効果を評価する．先ほどの配線間隔の評価に用いた配線構造に対し、注目配線と隣接配線の間にシールド配線を挿入して、実効最悪容量の変化を調べた．結果を図 11 に示す．ただし、配線間隔は $S/T=10$ が最小であるため、 $S/T=10$ の場

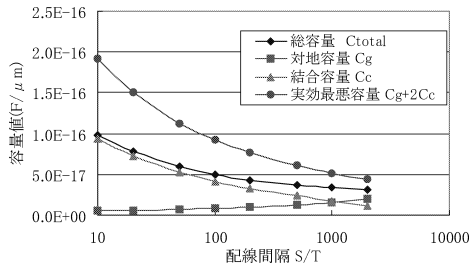


図 10 配線間隔と容量の関係

Fig. 10 Relation between wire spacing and capacitance.

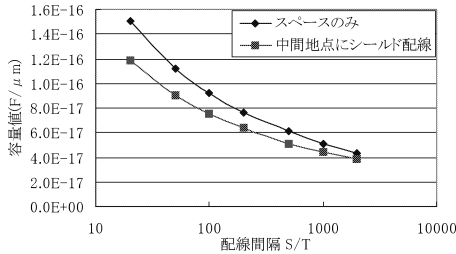


図 11 隣接配線との中間にシールド配線を追加したときの実効最悪容量の変化

Fig. 11 Relation between wire spacing and effective worst-case capacitance when shield wires are inserted in the middle position between the focused wire and the nearest wires.



図 12 シールド配線を加えた平行配線構造 (黒線はシールド配線)
Fig. 12 Cross-section of parallel wires (black wires mean shield wires).

合にはシールド配線は挿入されていない。図 11 より、配線の中間にシールド配線を挿入した場合、スペースを単に広げた場合よりも実効最悪容量は軽減された。その差異は $S/T=20$ のときが最大で 20% であり、 $S/T=2,000$ のときは 10% であった。シールド配線の挿入位置については隣接配線との中間地点で確認したが、配線構造、パラメータにより位置を調節するとより効果的であると考えられる。

次に、シールド配線と注目配線間に存在する他の信号配線数によって、シールド配線の効果がどのように変化するかを調べた。図 12 に示す 11 本の平行配線において、中央の注目配線の両側に配置するシールド配線の位置を、最隣接、2 本隣と 5 本隣まで変化させた。結果を図 13 に示す。注目配線の両側に直接隣接してシールド配線を配置すると最も効果が高く、実効最悪容量は 34% 低減した。注目配線の両側に他の信号配線を 1 本はさんで配置した場合、実効最悪容量の変化は 4% と小さく、2 本以上はさむとほとんど変化がなかった。

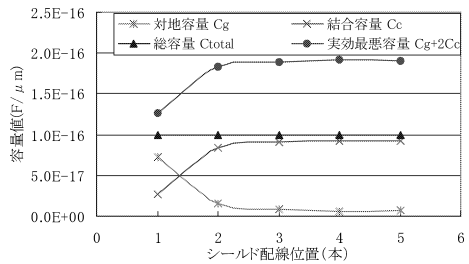


図 13 平行配線構造におけるシールド配線位置の影響

Fig. 13 Relation between position of shield wires and capacitance.

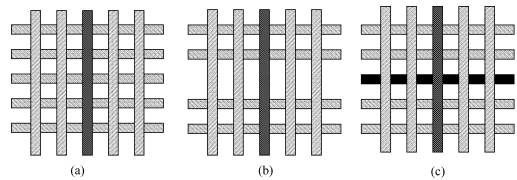


図 14 5×5 の格子構造。(a) 直交配線が 5 本するとき、(b) 直交配線の本数を減らしたとき、(c) 直交配線をシールド配線としたとき

Fig. 14 Layout of 5×5 lattice structures, (a) 5×5, (b) one crossing wire is removed, (c) one crossing wire is changed into shield wire.

以上から、同層の平行配線においては、配線の間隔を広げることにより実効最悪容量は大きく改善され、さらに最隣接配線との中間点にシールド配線を挿入することにより実効最悪容量を 10~20% 低減させることができることが分かった。シールド配線の位置については、2 本隣以降の配置では実効最悪容量の低減は小さく、最隣接位置にシールド配線を挿入するのが効果的である。また配線構造に応じて最適なシールド配線位置を検討するとさらに効果的であると考えられる。

3.2 直交配線構造

次に、下層の直交する配線層へのシールド配線の挿入について検討する。図 14 (a) に示す 5×5 の格子構造を考える。中央の配線を注目配線とし、直交配線を 1 本削減した場合 (図 14 (b)), 削減した場所にシールド配線を追加した場合 (図 14 (c)) について評価を行った。結果を表 2 に示す。

表 2 より、直交配線を 1 つ減らした場合、実効最悪容量は 14% 減少した。一方、シールド配線を追加した場合は 9% の低減であった。2 章からも分かるように、グラウンド平面が近すぎると対地容量が大きく増えるため、直交するシールド配線を増やすと単に直交配線を削除した場合に比べて実効最悪容量が大きくなり、有効ではない。

表 2 格子構造における容量成分
Table 2 Capacitance of three lattice structures.

	(a) 5×5 の格子	(b) 交差配線 1 本を削減	(c) 交差配線 1 本をシールドに変更
対地容量 (fF) C_g	0.0	0.0	6.4
配線容量 (fF) C_c	35.0	30.2	28.7
総容量 (fF) C_{total}	35.0	30.2	35.0
実効最悪容量 (fF) $C_g + 2C_c$	70.1	60.5	63.7
実効最悪容量比	1.00	0.86	0.91

4. 配線容量抽出の容易性

グラウンド平面が遠いシステム・オン・パネルの配線構造では、容量の結合範囲が非常に広いことが容量抽出を困難にする要因となっている。LSI の容量抽出の場合、平行配線との容量結合は注目配線から一定の距離、または最隣接配線のみ考慮すれば十分であることが多い。しかし、文献 5) ではシステム・オン・パネルのようにグラウンド平面が遠い場合には、少なくとも隣接 2 配線までを考慮しなくてはならないと報告されている。平行配線構造における容量結合範囲を調べるため、図 15 に示す 3 本の平行配線構造についてグラウンド距離と容量の関係調べた。ただし $W/T=S/T=5$ とし、 H/T を 1 から 10,000 まで変化させた。結果を図 16 に示す。図 16 よりグラウンド距離が大きくなると、注目配線 (M1) と 2 つ隣の配線 (M3) との配線間容量が対地容量よりも大きくなっており、2 つ隣の配線を考慮しないと容量値に大きな誤差が生じてしまうことが分かる。また、交差する配線との容量結合も注目配線から一定距離を考慮する必要がある。容量結合の及ぶ距離を調べるため、図 17 に示す 2 本の交差配線構造について L1 の配線長 R を変化させて交差配線間の結合容量を調べた。ただし、 $W/T=5$ とし、配線長 R/T を 10 から 10,000 まで変化させた。結果を図 18 に示す。図 18 よりグラウンド距離が大きいと配線長が長くなっても結合容量はすぐには収束せず、遠い距離まで容量結合が影響することが分かる。結合容量が収束値の 90% 以上となる配線長は、グラウンド距離の約 2 倍の長さであった。以上のことより、システム・オン・パネルでの配線容量抽出においては既存の LSI 配線構造に特化した容量抽出手法が使えず、文献 5) のようにシステム・オン・パネルの配線構造に適した配線の領域分割法を検討する必要があった。本章では、2, 3 章で議論したグラウンド平面の追加やシールド配線の挿入によって、配線容量抽出の容易性がどのように変化するかを議論する。

4.1 グラウンド平面の追加

2 章の結果よりグラウンド平面を距離 $H/T=500$ の

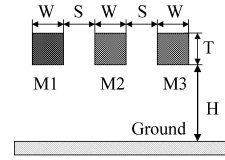


図 15 3 本の平行配線構造

Fig. 15 Cross-section of three parallel wires.

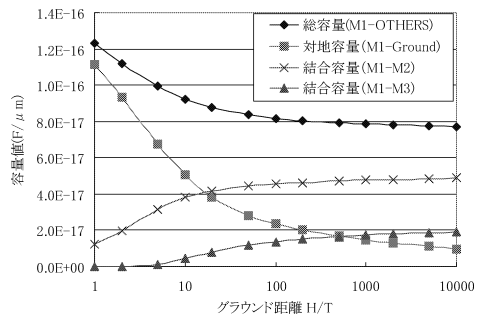


図 16 平行配線の容量成分とグラウンド距離の関係

Fig. 16 Relation between ground plane location and capacitance.

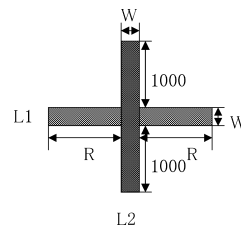


図 17 1×1 の交差配線構造

Fig. 17 Layout of two crossing wires.

位置に追加しても実効最悪容量は悪化しない。ここで図 16 を見ると、 $H/T=500$ では対地容量と配線間結合容量が同じ値となっており、 $H/T=2,000$ と同じく平行配線構造においては 2 本隣の配線も考慮する必要がある。一方、図 18 を見ると交差配線間の容量結合はグラウンド距離の約 2 倍の距離まで及んでおり、 $H/T=2,000$ とした場合、正確な容量抽出のためには約 4,000 の距離まで考慮する必要がある。 $H/T=500$ の場合にはその 1/4 の距離となるため、グラウンド平面を追加することにより、容量結合を考慮すべき距離

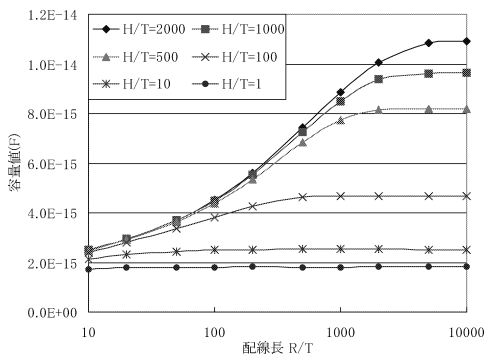


図 18 交差配線における容量結合範囲とグラウンド距離の関係
Fig. 18 Capacitance coupling range of two crossing wires.

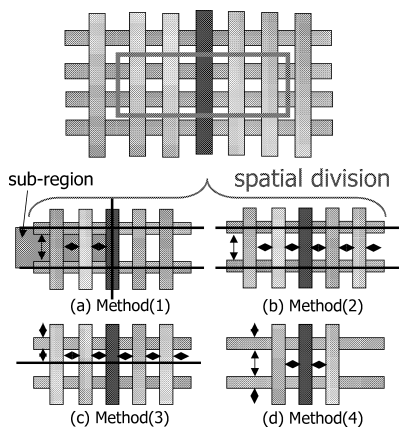


図 19 容量抽出のための空間領域分割手法⁵⁾

Fig. 19 Spatial division method of layout for pattern matching⁵⁾.

は大きく狭まることが分かる。配線形状はアスペクト比 10 の横長の形状であり、これは数世代前の LSI プロセスに近い形状となっている。よってこれらから考えるとグラウンド平面を近づけることにより既存の容量抽出手法・CAD を使用して十分な精度が得られると考えられる。グラウンド平面の追加には製造コストも必要となるが、見積もりやすさ・精度という面において導入を検討する価値がある。

4.2 シールド配線の導入

文献 5) では、システム・オン・パネル向けの容量抽出手法として平行配線構造、交差配線構造の容量結合範囲をふまえた特徴的な容量パターンを作り、配線レイアウトを特徴パターンへと分割することにより、パターンマッチングにより配線容量を計算する方法を検討している。配線を特徴的なパターンへと分割する方法として図 19 に示す 4 手法を評価している。これらは配線の中心でレイアウトを空間的に分割して考えることにより、パターンマッチングのデータベ-

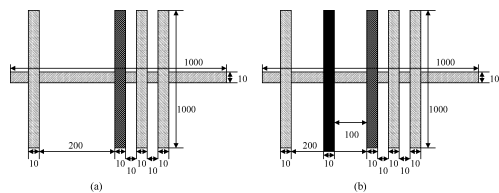


図 20 容量抽出精度評価構造。(a) 左右非対称な格子構造、(b) 配線間隔 $S/T=100$ の地点にシールド配線を追加

Fig. 20 Layout of asymmetric wire structure:
(a) asymmetric layout from focused wire,
(b) symmetrized layout by inserting shield wire to the left side.

ス規模を小さく抑えつつ容量抽出を行うというものである。図 19 では格子構造を例に、中央の注目配線に対する領域分割の方法を示している。分割された領域 (sub-region) では矢印の数だけパラメータを持ち、この数が多いほど容量データベースのパターン数は多くなっている。これらの手法のうち計算量が少なく実用的な (a) の手法では、注目配線の中央で領域分割、および注目配線に直交する配線中央で領域分割を行っている。このような領域分割においては、構造が非対称であると誤差が大きいことが報告されている^{5),9)}。ここで構造が非対称であるとは、注目する配線に対して分割した左右の領域で配線のジオメトリが大きく異なる状況であり、配線の本数、間隔が異なる状態を指す。このパターンマッチングでは、それぞれ左右の領域が繰り返される境界条件で容量値を別々に求め、それらの平均値を注目配線の容量値とする。実際の導体全体での電磁界の挙動と左右の領域での電磁界の挙動が異なることが誤差の原因となる。

3.1 節で述べたように、隣接配線との中間地点にシールド配線を挿入すると実効最悪容量は低減する。注目配線に対して左右に対称となるようにシールド配線を挿入することで、構造の非対称性が改善され容量抽出精度の向上も見込まれる。例として、図 20 に示す注目配線に対して左右非対称な交差構造について評価を行った。元々の非対称構造 (a) に対して注目配線と左の $S/T=200$ にある配線の間 ($S/T=100$) にシールド配線を挿入して対称性を増したものが (b) である。(a), (b) の構造に対して、文献 5) の手法 (a) を用いて抽出を行い、全体をフィールドソルバで解析した結果との誤差を評価した。ただし、抽出誤差は分割法とフィールドソルバで求めた容量値の差をフィールドソルバの容量値で割ったものとした。結果を表 3 に示す。

表 3 より、シールド配線挿入により実効最悪容量は低減されており、抽出精度も総容量について 5.1%か

表 3 シールド配線追加による容量抽出精度

Table 3 Accuracy of capacitance extraction using division method⁵⁾ for w/wo shield wire.

(a) 非対称構造		分割法 (a)	フィールドソルバ	抽出誤差 (%)
対地容量 (fF)	C_g	14.0	13.2	6.3
配線容量 (fF)	C_c	66.2	71.3	-7.2
総容量 (fF)	C_{total}	80.2	84.6	-5.1
実効最悪容量 (fF)	$C_g + 2C_c$	146.0	156.0	-6.1
(b) 対称化構造		分割法 (a)	フィールドソルバ	抽出誤差 (%)
対地容量 (fF)	C_g	19.9	19.8	0.2
配線容量 (fF)	C_c	63.2	66.2	-4.4
総容量 (fF)	C_{total}	83.1	86.0	-3.3
実効最悪容量 (fF)	$C_g + 2C_c$	146.0	152.0	-3.8

ら 3.3%へ、配線容量について 7.2%から 4.4%へ、実効最悪容量として 6.1%から 3.8%へと大きく改善されることが分かった。以上からシールド配線挿入により製造コストを増やすことなく実効最悪容量を低減させ容量抽出を容易にできることが分かった。

5. ま と め

本稿では、配線間容量低減技術として一般的なグラウンド平面、シールド配線の追加、配線間隔の調整をシステム・オン・パネルに適用して、容量値と見積もりやすさについて評価を行った。グラウンド平面の追加については、配線とグラウンド平面を近づけすぎると容量が大きくなってしまいが、配線構造、プロセスに応じて適切に距離を設定することで、配線間容量のミラー効果を含めた実効最悪容量を低減させることができることが分かった。グラウンド距離を $H/T=500$ 程度にすると従来の LSI と同等の構造と考えることができ、これまでの容量抽出手法、CAD で十分な精度が得られると予測できる。シールド配線の挿入については、同層の隣接配線との中間に挿入することにより実効最悪容量の低減が得られる。文献 5) の抽出手法において問題であった非対称な構造に対して精度良く抽出することが可能となる。直交する層のシールド配線については、層間距離が近い対地容量の増加が大きく、配線数そのものを減らすことが重要である。以上より、グラウンド平面、シールド配線による配線間容量を低減させる設計がシステム・オン・パネルにおいて効果的であることが分かった。

参 考 文 献

- 1) 中川博英：アプリケーションから見たディスプレイの動向，シャープ技報，Vol.85, pp.5-10 (2003).
- 2) 李 副烈，久保田靖，今井繁規：CG Silicon TFT を用いたガラス基板上の CPU 開発，シャープ技報，Vol.85, pp.11-14 (2003).

- 3) Lee, B., Hirayama, Y., Kubota, Y., Imai, S., Imai, A., Katayama, M., Kato, K., Ishikawa, A., Ikeda, T., Kurokawa, Y., Ozaki, T., Mutaguch, K. and Yamazaki, S.: A CPU on a glass substrate using CG-silicon TFTs, *Proc. International Solid-State Circuits Conference (ISSCC2003)*, CA, USA, Vol.1, pp.164-165 (2003).
- 4) 鶴飼育弘：システム・オン・パネル技術の現状と将来展望，ED リサーチ社 (2002).
- 5) 内田好弘，谷 貞宏，橋本昌宜，築山修治，白川 功：システム液晶のための配線容量抽出手法，情報処理学会論文誌，Vol.46, No.6, pp.1395-1403 (2005).
- 6) Semiconductor Industry Association, International technology roadmap for semiconductors (2003).
- 7) Tani, S., Uchida, Y., Furuie, M., Tsukiyama, S., Lee, B.Y., Nishi, S., Kubota, Y., Shirakawa, I. and Imai, S.: Parasitic capacitance modeling for non-planar interconnects in liquid crystal displays, *IEICE Trans. Fund.*, Vol.E86-A, No.12, pp.2923-2932 (2003).
- 8) Synopsys, Raphael 2002.2 User's Manual.
- 9) 小林 進，枝廣正人：ディーブサブミクロン LSI 設計のための高速配線容量抽出手法，情報処理学会論文誌，Vol.41, No.4, pp.863-870 (2000).

(平成 17 年 10 月 26 日受付)

(平成 18 年 4 月 4 日採録)



内田 好弘

平成 12 年大阪大学工学部情報システム工学科卒業。平成 17 年同大学院大学院博士後期課程 (情報システム工学専攻) 修了。同年シャープ (株) 入社。博士 (情報科学)。配線間容量の抽出，および生体センシングに関する研究に従事。IEEE 会員。



谷 貞宏 (正会員)

昭和 54 年大阪大学工学部電子工学科卒業。昭和 56 年同大学大学院工学研究科電子工学専攻博士前期課程修了。同年シャープ(株)入社。平成 16 年大阪大学大学院博士後期課程(情報システム工学専攻)修了, 博士(工学)。半導体回路, プリント回路基板の信号安全性, および EMC に関する研究に従事。IEEE, 電子情報通信学会, エレクトロニクス実装学会各会員。



橋本 昌宜 (正会員)

平成 9 年京都大学工学部電子工学科卒業。平成 13 年同大学大学院博士課程(通信情報システム専攻)修了, 博士(情報学)。同年京都大学大学院情報学研究科助手, 平成 16 年大阪大学大学院情報科学研究科助教授, 現在に至る。LSI の設計手法, CAD の研究に従事。IEEE, ACM, 電子情報通信学会各会員。



築山 修治 (正会員)

昭和 47 年大阪大学工学部電子工学科卒業。昭和 52 年同大学大学院博士課程修了, 工学博士。同年大阪大学工学部助手, 昭和 62 年中央大学理工学部電気電子工学科助教授, 平成 2 年同教授, 現在に至る。この間, 昭和 53~55 年カルフォルニア大パークレイ校電子工学研究所客員研究員。VLSI の物理設計や統計的遅延解析等の CAD 技法, グラフやネットワークのアルゴリズム等の研究に従事。IEEE, ACM, 電子情報通信学会, エレクトロニクス実装学会各会員。



白川 功 (正会員)

昭和 38 年大阪大学工学部電子工学科卒業。昭和 43 年同大学大学院博士課程修了, 工学博士。同年大阪大学助手, 昭和 48 年同助教授, 昭和 62 年同教授。平成 10 年同大型計算機センター長, 平成 11 年同評議員, 平成 13 年同大学院工学研究科長・工学部長, 平成 15 年同定年退官, 同名誉教授(株)シンセシス取締役。平成 16 年兵庫県立大学大学院応用情報科学研究科長, 現在に至る。この間, 昭和 49~50 年カルフォルニア大パークレイ校客員研究員。回路理論, グラフ理論, VLSI の設計自動化, システム VLSI の設計等の教育研究に従事。IEEE の Life Fellow, 電子情報通信学会の名誉員およびフェロー, ACM, 映像情報メディア学会各会員。著書『演習グラフ理論』, 『回路理論 I, II』(共著, コロナ社)等。