



システム LSI の信頼性評価に向けて

高田 大河 日本ケイデンス・デザイン・システムズ

〔受賞論文〕

A Robust Algorithm for Pessimistic Analysis of Logic Masking Effects in Combinational Circuits

高田大河, 松永裕介(九州大学大学院システム情報科学研究所)

IP SJ Transactions on System LSI Design Methodology, Vol.5, pp.55-62 (2012)

このたび、論文賞を頂戴したことを誠にありがたく
光栄に思っている。本論文をご推薦いただいた皆様に
深く感謝の意を表したい。多くの方に本論文へ興味を
お持ちいただきたく、一般的な観点から論文の背景と
概要を解説する。

現在、LSI (Large Scale Integrated circuits) は、家
電製品のみならず自動車や医療機器、交通や通信等
の社会インフラにおいて基幹的な部品として広く利用さ
れている。これらの用途の中には、LSI の誤作動が人
命や莫大な金額の損失につながりかねないものも多い。
そのような用途向けの LSI の設計時には、要求性能
を満たすだけでなく、高い信頼性を担保することが
非常に重要となる。LSI の信頼性を損なう要因として、
経年劣化による物理的な故障や放射線粒子の影響に
よる誤動作等、さまざまなものが存在する。上記の背
景から、LSI 設計技術の分野において、性能や面積、
消費電力に加え信頼性を高める研究が行われるよう
になった。

LSI の信頼性を向上させる一般的な対策として、機
能の空間的または時間的な多重化が挙げられる。同
じ機能の回路を複数使用し出力の多数決をとる方法や、
同じ内容を複数回計算し結果の多数決をとる方法等が
その単純な例である。信頼性を高めるため機能を多重
化すると、多くの場合は性能や面積、消費電力が悪化
してしまう。性能や面積等の悪化が無視できない場合、
対策によって性能や面積等がどの程度悪化し信頼性が
どの程度向上するかというトレードオフの考慮が重要と
なる。しかし現在は信頼性の評価指標や評価手法とし
て標準的なものが存在しないため、信頼性の定量的な
評価が難しいという問題がある。

上記の解決を目指して私たちの研究グループでは、
信頼性の評価指標を定義し、論理設計やレイアウト設
計等の各設計階層においてそれを矛盾なく効率良く見

積もる技術を研究した。私が特に担当したのは、論理
回路のソフトエラー耐性を評価する技術の研究である。
ここでソフトエラーとは、放射線粒子の影響で発生す
ることがある論理素子の出力の異常パルスや記憶素子
の値の反転を指す。

本論文では、各論理素子で発生したエラーが論理的
にマスクされることなく記憶素子の入力に到達する確
率を計算するアルゴリズムを述べている。この確率を
厳密に求める既知のアルゴリズムの時間計算量は回路
規模に対し 2 乗であり、大規模な回路において実用
的ではない。私たちは、論理最適化のため考案され
た Compatible Observability Don't Care (CODC) と
いう概念を本件に应用することで、悲観的なことが保
証される近似値を計算するアルゴリズムを開発した。提
案アルゴリズムの時間計算量は、回路規模に対して線
形である。92,000 ゲート規模の回路において、提案
アルゴリズムは 10% 程度の見積もり誤差で厳密アルゴ
リズムより 562 倍高速に動作した。求まる近似値は必
ず悲観的なので、想定され得る最悪のケースでどの程
度のソフトエラー耐性が担保されているかといった評価
に有用である。

私は本研究において、もとは論理最適化のために
考案された CODC がソフトエラー耐性評価において
も役立つ点を非常に興味深く感じている。論理最適化
とソフトエラー耐性評価は一見すると無関係のように思
えるが、実は本質的に同じ概念を扱う部分があるとい
うことに気付いた。今後も本質を理解する思考を養い、
柔軟な発想で成果を出せるよう精進したい。

(2014 年 5 月 15 日受付)

高田 大河 (正会員) ttakata@cadence.com

2010 年九州大学大学院システム情報科学府博士後期課程修了。
VLSI 向け設計自動化技術の研究に従事。現在、日本ケイデンス・デ
ザイン・システムズに所属。