

65 nm プロセスにおける多重化によらない ソフトエラー耐性向上手法の提案及び実測評価

杉谷 昇太郎¹ 中島 隆一¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路の微細化に伴い、信頼性の低下が問題となっている。信頼性低下の一因として放射線起因の一時故障であるソフトエラーが挙げられる。ソフトエラーは自動運転技術や医療機器といった人命に関わる機器においては致命的となるため対策が必要である。回路レベルのソフトエラー対策としてのラッチの多重化は基本性能のオーバーヘッドが大きいため、性能とソフトエラー耐性のバランスを考慮した対策が必要である。本稿では、回路シミュレーションにより求められる各ノードのNMOSにおける臨界電荷量 Q_{crit} に着目し、脆弱箇所における Q_{crit} の増加を目的とした3種類の回路を提案する。提案したフリップフロップについて回路シミュレーションを用いた性能評価と、65 nm バルクプロセスにより試作したチップを用いた α 線照射によるソフトエラー耐性評価を行った。 α 線照射結果より、提案したフリップフロップのエラー発生率は PLTGFF 及び PLTGFF2F で 50% 程度、FBTIFF で 90% 程度減少しており、それぞれソフトエラー耐性が向上していることを確認した。

Proposal and Evaluation of Soft Error Tolerance Improvement Method without Multiplexing in 65 nm Process

SHOTARO SUGITANI¹ RYUICHI NAKAJIMA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: With the miniaturization of integrated circuits, degradation of reliability has become a critical issue. One of the causes of reliability degradation is the soft error, which is a temporary failure caused by a radiation strike. Soft errors are fatal errors to equipment related to human lives such as autonomous driving technology and medical devices. One of the countermeasures at the circuit level is the multiplication latch. However, the overhead of the circuit performance becomes large. Therefore, it is necessary to consider the balance between soft error tolerance and the circuit performance. In this paper, we focus on the critical charge (Q_{crit}) of NMOS at each node obtained by circuit simulations and propose three types of circuits to increase Q_{crit} at vulnerable nodes. We evaluated the performance of the proposed flip-flops using circuit simulations, and soft error tolerance of fabricated chips in a 65 nm bulk process by α irradiation. The α -ray irradiation results show that the error rates of the proposed flip-flops are reduced by 50% for PLTGFF and PLTGFF2F, and by 90% for FBTIFF.

1. 序論

集積回路はムーアの法則に従い、微細化することによって低消費電力化、動作周波数の向上が実現されている [1]。一方、微細化による集積回路の信頼性低下が問題になっている。信頼性低下の原因の一つに、放射線起因の一時故障であるソフトエラーが挙げられる。ソフトエラーとは、放

射線がトランジスタに突入することによって発生する電子正孔対が拡散領域に収集されることで記憶素子の保持値が反転する現象である。ソフトエラーは永久故障であるハードエラーとは異なり、機器の再起動により修復可能であるが、自動車や医療機器などの高信頼性機器では一度のエラーが致命的となるため対策が必要である。

回路レベルのソフトエラー対策としてラッチ回路の多重化が挙げられる。しかし多重化により消費電力、遅延時間、面積といった性能のオーバーヘッドが大きくなってしま

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

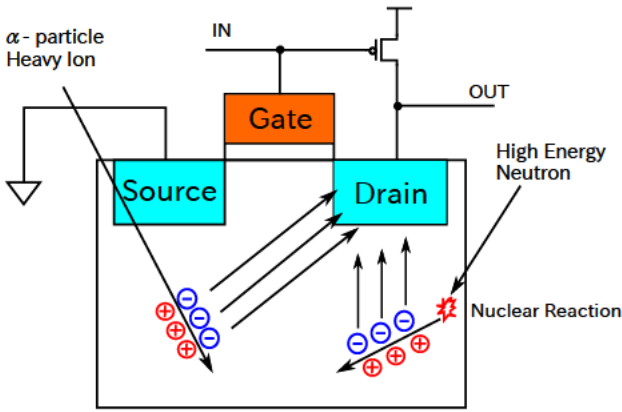


図 1 ソフトエラー発生機構

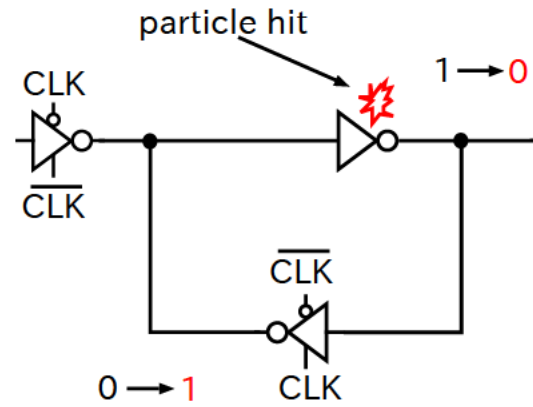


図 2 SEU の発生原理

ため、性能とソフトエラー耐性のバランスを考慮した対策が必要である。

本稿では、65 nm バルクプロセスにおける多重化に依らない耐ソフトエラー FF (Flip-Flop) を提案し、 α 線源を用いた加速試験によるソフトエラー耐性の評価を行なった。第 2 節ではソフトエラーの発生機構について述べる。第 3 節では耐ソフトエラー FF の提案とその性能評価について述べる。第 4 節では第 3 節で提案した FF のソフトエラー耐性を、 α 線源を用いた加速試験により評価を行う。第 5 節では本稿の結論を述べる。

2. ソフトエラー

本節では、集積回路の一時的故障であるソフトエラーについて述べる。

2.1 ソフトエラーの発生機構

ソフトエラーの発生機構を図 1 に示す。放射線が集積回路内のトランジスタに突入することにより電子正孔対が生成される。発生したキャリアがトランジスタの拡散領域に収集されることにより、記憶素子の保持値が反転する現象をソフトエラーと呼ぶ [2]。地上におけるソフトエラーの発生原因となる放射線は α 線、熱中性子、高エネルギー中性子が挙げられる。

2.2 SEU (Single Event Upset)

SRAM やラッチなどといった記憶素子で発生するエラーを SEU と呼ぶ [3]。図 2 に示すように、ラッチを構成するインバータに荷電粒子が突入することで電子正孔対が発生し、一時的に出力値が反転する。反転した値が元の値に戻る前に、次段に取り込まれ出力されるとラッチの保持値が反転する。保持値の反転に必要な最小の電荷量を臨界電荷量 Q_{crit} と呼ぶ [4]。NMOS トランジスタでは電子起因、PMOS トランジスタでは正孔起因でエラーが発生する。電子の移動度は正孔の移動度と比べて大きいいため、NMOS ト

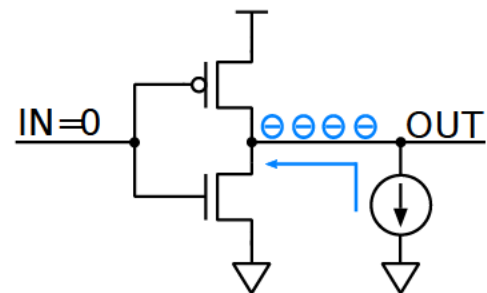


図 3 Q_{crit} の測定回路 (NMOS トランジスタ)

ランジスタの方がエラーが発生しやすい [4]。微細化に伴って電源電圧やゲート容量が低下し、 Q_{crit} の値が低下している。

2.3 回路シミュレーションによるソフトエラー耐性評価

一般的な D 型 FF である TGFF の回路図を図 4 に示す。2.2 節で述べたように、ソフトエラーは NMOS トランジスタで発生しやすいと考えられるため、TGFF 内の各ゲートの NMOS トランジスタにおける Q_{crit} を回路シミュレーションにより求めた。NMOS トランジスタの場合、図 3 のように Q_{crit} を求めたいゲートの出力ノードに電流源を接続して、電荷を供給する。電荷が供給されたことによって出力電圧が変化し、電源電圧の 1/2 になったときに供給された電荷の総量が Q_{crit} となる。電源電圧は標準電圧である 1.2V、電流源は地上においてソフトエラーの主要因となる中性子起因の誘起電荷による電流をモデル化した式 (1) に示す単一指数モデルを用いた [5]。式 (1) の T はプロセスによって決まる時定数であり、文献より 65 nm に対応する 20 ps とした [4]。

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (1)$$

TGFF の入力値と測定ノードの対応を表 1 に、各ノードにおける Q_{crit} の値を表 2 に示す。結果を見ると、ノード

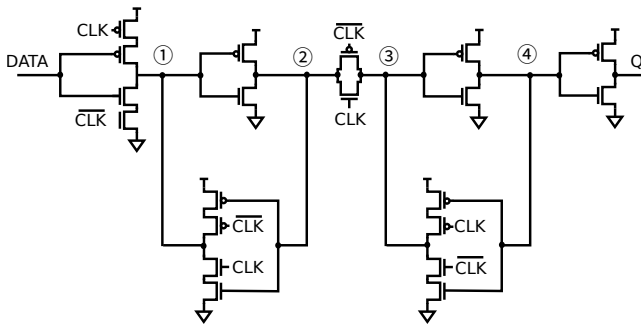


図 4 TGFF の回路図

表 1 入力値と測定ノードの対応表 (TGFF)

(Q, CLK)	ノード番号
(0, 1)	①
(1, 1)	②
(1, 0)	③
(0, 0)	④

表 2 TGFF における各ノードの Q_{crit}

回路構造	Q_{crit} [fC]			
	①	②	③	④
TGFF	3.7	11	3.0	8.5

ド①と③において Q_{crit} の値が小さい。それぞれのノードは各ラッチのトライステートインバータの出力ノードであるため、トライステートインバータでエラーが発生しやすいと考えられる。ラッチ内のインバータと比べてトライステートインバータのエラー耐性が下がる原因として、PMOS トランジスタのゲート幅の違いが考えられる。ラッチ下部におけるトランジスタのゲート幅は上部のゲートに比べて小さく作られている。PMOS トランジスタのゲート幅が小さいと α 線により発生した電子を捕獲する正孔の量が少なくなるため、ゲートの出力電圧が低下しやすくなり、保持値の反転が起こりやすくなる。

3. 耐ソフトエラー FF と性能評価

本節では、 Q_{crit} の増加によってソフトエラー耐性の向上を図った回路構造を提案する。提案した回路を回路シミュレーションを用いて性能評価を行う。

3.1 提案回路

3.1.1 PLTGFF

PLTGFF の回路図を図 5 に、入力値と測定ノードの対応表を表 3 に示す。出力 Q に繋がっているインバータの位置を変更することでノード③の負荷容量が増加し、 Q_{crit} が増加する。プライマリラッチとセカンダリラッチをつなぐトランSMIッションゲートから出力 Q までに信号が通過するゲート数が減少するため、CLK の立ち上がりから出力 Q が変化するまでの時間が TGFF と比べて 5% 減少し、遅延時間の増加を抑えることができる。

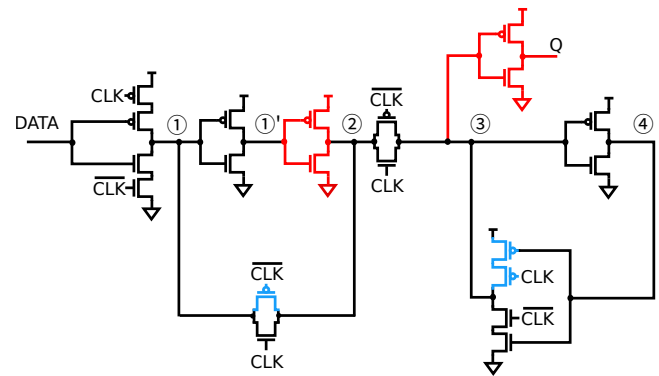


図 5 PLTGFF の回路図 (赤のトランジスタが追加したもの、青のトランジスタがゲート幅を変更したもの)

プライマリラッチにおいて、ラッチ下部のトライステートインバータをインバータとトランSMIッションゲートに分割し、インバータをラッチ上部に移動させることで回路全体のトランジスタ数は増加せずに TGFF と同じ回路動作となる。ノード①で生じた SET パルスはインバータを通過するごとにパルス幅が減少する。インバータが 2 段になることでラッチの保持値の反転に必要な電荷量が増加し、ノード①における Q_{crit} が増加する。

プライマリラッチとセカンダリラッチにおいて、ラッチ下部のゲートにおける PMOS トランジスタ (図 5 の青色部分) のゲート幅を 2 倍に拡大した。ゲート幅の拡大により、拡散領域に収集された電子を捕獲する正孔の量を増加させることができ、ノード①と③における Q_{crit} が増加する。

3.1.2 PLTGFF2F

PLTGFF2F の回路図を図 6 に、入力値と測定ノードの対応表を表 3 に示す。3.1.1 節で示した PLTGFF に先行研究 [6] で提案された対策方法を追加した回路構造である。

3.1.1 節で説明したとおり、ラッチ下部の PMOS トランジスタのゲート幅を広げることで、ノード①と③における Q_{crit} が増加する。同様の対策をラッチ上部のインバータにも施すことで、回路全体のエラー耐性は向上すると考えられる。しかし、プライマリラッチとセカンダリラッチのインバータを構成する PMOS トランジスタのゲート幅は、ラッチ下部のトライステートインバータを構成する PMOS トランジスタのように最小サイズではない。インバータの PMOS トランジスタのゲート幅を拡大するにはセルの高さを広げる必要があるが、ライブラリの仕様上さらに広げることができない。PMOS トランジスタをラッチ上部のインバータを構成する PMOS トランジスタに並列に接続することで、ゲート幅を増やし、ノード②と④の Q_{crit} が増加する。

セカンダリラッチについて、NMOS トランジスタをラッチ下部のインバータにスタックすることで、セット付き FF のセカンダリラッチと同様の構造を得ることができる。先行研究 [6] では、通常の FF の構造と比べてセット付きセ

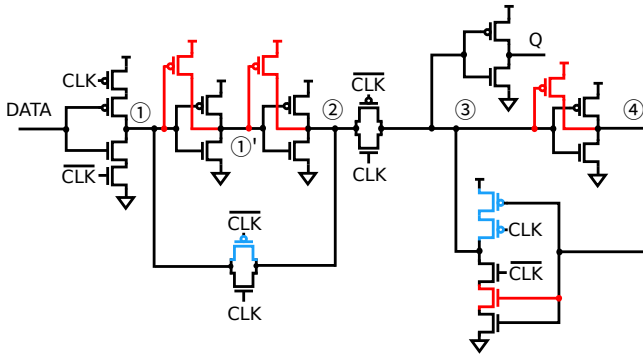


図 6 PLTGFF2F の回路図 (赤のトランジスタが追加したもの)

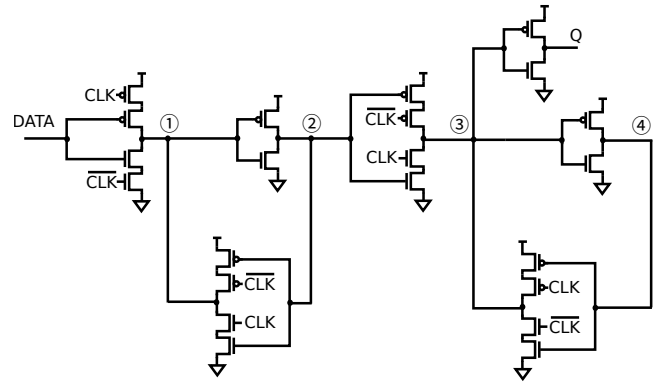


図 7 TIFF の回路図

表 3 入力値と測定ノードの対応表 (PLTGFF, PLTGFF2F)

(Q, CLK)	ノード番号
(0, 1)	①, ②
(1, 1)	①'
(1, 0)	④
(0, 0)	③

カンダリラッチの構造でソフトエラー耐性が向上することが報告されている。

3.1.3 FBTIFF

FBTIFF の回路図を図 8 に、入力値と測定ノードの対応表を表 4 に示す。この回路は先行研究で提案された TIFF を元としている [7]。TIFF の回路図を図 7 に示す。TIFF は PLTGFF と同様に出力につながるインバータの位置を変更しており、PL と SL をつなぐトランスマッションゲートをトライステートインバータに変更している。

FBTIFF はノード③に 0 を常に入力している PMOS パストランジスタを追加している。図 9 にパストランジスタによるソフトエラーの抑制機構を示す。NMOS トランジスタで SET パルスが発生した場合、PMOS パストランジスタを通過した際に SET パルスが抑制されるため、ノード③における Q_{crit} が増加する。しかし、常に ON 状態の PMOS パストランジスタを追加することで、セカンダリラッチ上部の NMOS トランジスタにおいて貫通電流が流れ、静的電力が大幅に増加すると考えられる。ノード③を入力とする NMOS トランジスタをインバータにスタックすることで静的電力の増加を抑制する。

プライマリラッチとセカンダリラッチをつなぐトライステートインバータをインバータとトライステートインバータに分割し、インバータの出力とノード①の間にパストランジスタを追加した。プライマリラッチ下部のトライステートインバータについても配線を追加した。これらの変更によりノード①に流れ込む電流量が増加し、ノード①における Q_{crit} が増加する。3.1.1 節で説明したとおり、各ラッチ下部の PMOS トランジスタのゲート幅を拡大することで、ノード①と③における Q_{crit} が増加する。

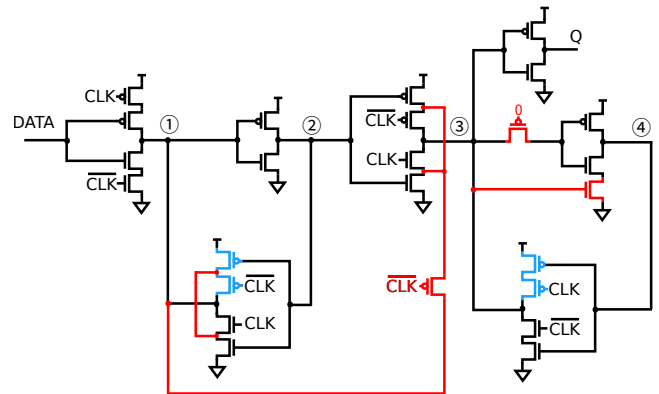


図 8 FBTIFF の回路図 (赤のトランジスタ及び配線が追加したものの、青のトランジスタがゲート幅を変更したもの)

表 4 入力値と測定ノードの対応表 (FBTIFF)

(Q, CLK)	ノード番号
(0, 1)	①
(1, 1)	②
(1, 0)	④
(0, 0)	③

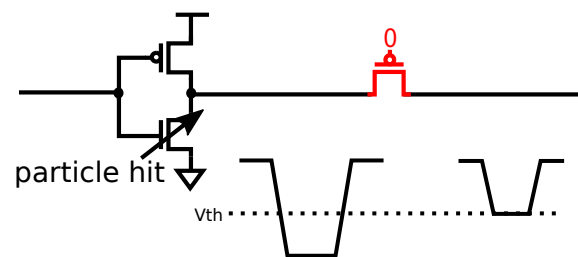


図 9 パストランジスタによる SET パルス抑制

3.2 各フリップフロップの性能評価

65 nm バルクプロセスで設計した TGFF と 3 種類の提案型 FF の Q_{crit} の結果を表 5 に示す。PLTGFF と PLTGFF2F は全てのノードにおいて Q_{crit} が増加しており、TGFF と比べてエラー耐性が向上すると考えられる。FBTIFF はノード②においては Q_{crit} が減少したが、脆弱箇所であるノード①と③において大幅に増加した。

各回路構造の性能評価結果を表 6 に示す。遅延時間と消費電力は RC 抽出後のネットリストを用いた回路シミュ

表 5 各フリップフロップの Q_{crit} (括弧内の数値は TGFF との差)

回路構造	Q_{crit} [fC]				
	①	①'	②	③	④
TGFF	3.7	-	11	3.0	8.5
PLTGFF	4.7(+1.0)	8.8	14(+3.0)	4.2(+1.2)	9.8(+1.3)
PLTGFF2F	6.1(+2.4)	11	17(+6.0)	4.6(+1.6)	12(+3.5)
FBTIFF	8.9(+5.2)	-	9.4(-1.8)	20(+17)	17(+8.5)

表 6 提案回路の性能評価 (TGFF の値を 1 として規格化)

回路構造	面積	遅延時間	消費電力	ADP 積
TGFF	1.00	1.00	1.00	1.00
PLTGFF	1.05	1.01	1.07	1.13
PLTGFF2F	1.21	1.09	1.14	1.50
FBTIFF	1.42	1.10	1.22	1.90

レーションを行なって評価する。ADP 積は面積、遅延時間、消費電力を掛け合わせた性能指標であり、ADP 積が小さいほど性能が良いものとする。表 6 は TGFF の値を 1 として規格化している。

PLTGFF は TGFF と比べて ADP 積が 13% 増加した。消費電力が 7% 増加しており、大きく影響を与えている。これはラッチ上部に移動させた PMOS トランジスタと NMOS トランジスタのゲート幅の増加と、ラッチ下部の PMOS トランジスタのゲート幅拡大が原因であると考えられる。しかし、遅延時間は出力位置の変更により増加を抑えることができた。PLTGFF に先行研究の対策を施した PLTGFF2F は、トランジスタの追加などの影響により TGFF と比べて ADP 積が 50% 増加した。FBTIFF は TGFF と比べてトランジスタ数が 5 個増加しており、特に PMOS パストランジスタの追加は面積に大きな影響を与える。ADP 積は TGFF と比べて 90% 増加した。

4. α 線照射によるソフトエラー耐性の評価

本節では、3 節で提案した FF のソフトエラー耐性を、 α 線照射による加速試験によって評価した。

4.1 α 線照射試験の評価手法

3 MBq の ^{241}Am が埋め込まれた α 線源を用いて実施した。照射試験は以下の手順で行う。(1) から (5) までを 1 回とし、測定回数分繰り返す。シフトレジスタ内に TGFF と PLTGFF, PLTGFF2F, FBTIFF が含まれている。

- (1) α 線源をチップ上に設置する。
- (2) シフトレジスタ全段に同じ値 (0 または 1) を書き込んで初期化する。
- (3) クロック信号を 0 または 1 に固定する。
- (4) 測定時間が経過した後、シフトレジスタ全段の保持値を読み出す。
- (5) 読み出した値と期待値が異なる FF 数を記録し、 α 線源を取り除く。

4.2 測定条件

測定条件を以下に示す。

- 電源電圧：1.2 V (標準電圧)
- 照射時間：30 秒
- 動作状態：(Q, CLK) = (0, 0), (0, 1), (1, 0), (1, 1)
- 測定回数：160 回

4.3 SER (Soft Error Rate)

各 FF におけるソフトエラー耐性の評価方法として、エラー発生率 P_{error} を用いる。エラー発生率は 1 bit ごとにエラーが発生する確率のことであり、ソフトエラーが発生した FF 数 N_{SE} と FF の総数 N_{FF} を用いて式 (2) で表される。

エラー発生率を FIT (Failure In Time) という単位を持つ SER に変換することができる。FIT とは 10^9 時間あたりに発生するエラー数を表している。SER は式 (4) で表され、値が小さいほどソフトエラー耐性が高い。1 bit 毎のエラー発生率 P_{error} を 1 Mbit 毎のエラー発生率に変換するために 1024^2 を掛けている。 t_{ex} は 1 回あたりの照射時間であり、今回は 30 秒としている。 F_{acc} は α 線の加速係数であり、式 (3) で表される。本実験では、3 MBq の ^{241}Am を使用しており、測定には片面のみを使用したため 1.5 MBq として計算する。 α 線源の大きさは 9.5 mm 角であり、 1cm^2 あたりの照射線量にするために $1/0.95^2$ を掛けている。 ξ は減衰率を表しており、 α 線源と測定対象との距離によって決まる。文献 [8] の Large source についての曲線より、 α 線源と測定対象の距離が 6 mm であったため、減衰率 ξ は 0.9 とした。パッケージから放出される α 線の線量を SULA (Super Ultra Low Alpha) グレードの $0.001\text{count/cm}^2 \cdot \text{hour}$ と仮定した。

$$P_{error} = \frac{N_{SE}}{N_{FF}} \quad (2)$$

$$F_{acc} = \frac{1.5 \times 10^6 \text{ count/sec} \times 3600 \times 1/0.95^2 \text{ cm}^{-2}}{0.001 \text{ count/cm}^2 \cdot \text{hour}} = 6.0 \times 10^{12} \quad (3)$$

$$\text{SER}[\text{FIT/Mbit}] = \frac{1}{\xi} \times \frac{P_{error}}{F_{acc}} \times \frac{3600}{t_{ex} [\text{sec}]} \times 10^9 \times 1024^2 \quad (4)$$

4.4 α 線照射結果

α 線照射結果から算出した SER の結果を図 10 に示す。TGFF と比べて回路全体のエラー発生率は、PLTGFF 及び PLTGFF2F は 50% 程度、FBTIFF は 90% 程度減少しており、ソフトエラー耐性が向上した。

条件ごとに比較すると、PLTGFF 及び PLTGFF2F は全体的にエラー発生率は減少しているが、(Q, CLK)=(0, 0) 条件ではエラー発生率が増加しており、耐性が低下している。しかし、PLTGFF 及び PLTGFF2F における (Q, CLK)=(0, 0) 条件はノード③に対応しており、TGFF にお

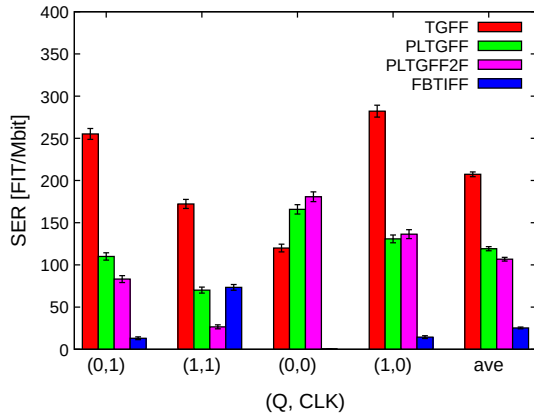


図 10 α 線照射結果より算出した SER の比較

ける $(Q, CLK)=(1, 0)$ 条件に対応している。それぞれを見比べると SER は 40% 程度減少しており、ソフトウェア耐性が向上している。もう一方の脆弱箇所であったノード①における SER は TGFF と比べて 50% 程度まで減少した。

FBTIFF について、 $(Q, CLK)=(0, 0)$ 条件において SER は 0.2 FIT/Mbit まで減少した。FBTIFF における $(Q, CLK)=(0, 0)$ 条件はノード③に対応しており、PMOS パストラジスタの追加によって脆弱箇所におけるソフトウェア耐性を抑制することができた。ノード①においても SER は TGFF と比べて 95% 減少し、回路全体のエラー発生率が大幅に減少した。

5. 結論

本稿では 65 nm バルクプロセスにおいて、多重化によらない対策手法を検討するために、回路シミュレーションによって求められる臨界電荷量 Q_{crit} に着目した。一般的な D 型 FF である TGFF において、各ラッチのトライステートインバータの出力ノードで Q_{crit} の値が小さく、ソフトウェア耐性の低下の要因であると考えられる。そこで、脆弱箇所における Q_{crit} の増加を目的とした 3 種類の FF の提案を行った。

性能評価より、各 FF の ADP 積は TGFF と比べて、PLTGFF は 13%、PLTGFF2F は 50%、FBTIFF は 90% 増加した。 α 線照射測定の結果より、各回路構造の SER は PLTGFF 及び PLTGFF2F は約 50%、FBTIFF は約 90% 減少し、ソフトウェア耐性の向上が確認できた。今後、提案した回路に対して高エネルギー中性子の照射測定を行い、ソフトウェア耐性の評価を行う予定である。

謝辞

本研究で使用したテストチップの設計は東京大学 d.lab-VDEC を通し、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社

の協力で行われたものである。

参考文献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," IEICE Transactions on Electronics, vol.90, no.4, pp.699-707, 2007.
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, vol.2005 年 7 月 24 日号, 2005.
- [3] E. Petersen, "Single event effects in aerospace", John Wiley & Sons, 2011.
- [4] P. Hazucha and C. Svensson, "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," IEEE Transactions on Nuclear Science, vol.47, no.6, pp.2586-2594, 2000.
- [5] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger, and L. Alvisi, "Modeling the effect of technology trends on the soft error rate of combinational logic," Proceedings International Conference on Dependable Systems and Networks, pp.389-398, 2002.
- [6] 中島隆一, 井置一哉, 小谷萌香, 古田潤, and 小林和淑, "130nm プロセスによるフリップフロップのソフトウェア耐性向上手法の提案," DA シンポジウム, pp.148-153, Sept. 2021.
- [7] 山口潤己, 張魁元, 古田潤, and 小林和淑, "低電力向け 65nm プロセスにおける回路およびレイアウト構造の相違によるソフトウェア耐性の評価," DA シンポジウム, pp.191-196, Aug. 2014.
- [8] J.S. JeSD89A, "Measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices," JEDEC solid state technology association, vol.1, no.6, p.8, 2006.