情報処理学会研究報告
IPSJ SIG Technical Report
Vol.2014-ARC-208 No.5
2014/1/23

FPGA の特徴に着目した動作周波数の向上による汎用プロセッサの高速化

中塚 裕志[1,a)]　池田 貴一[2,b)]　吉瀬 謙二[2,c)]

概要：一般に，動作周波数は，パイプライン段数を増やすことで向上させることができる．FPGA は再構成可能な LSI であるがゆえに，ロジックとフリップフロップの接続に制限がある．我々は，この制限に着目し，パイプラインステージを決定することで，コンテストで配布された汎用プロセッサのデザインの動作周波数の向上を図る．

1. はじめに

今回のコンテストで配布されたリファレンスデザインは，MIPS の命令サブセットを持つ，5 段のパイプラインプロセッサである．コンテストのリファレンスデザインは，FPGA（Spartan 6 LX-45）上で，最大 45MHz で動作する．しかし，Xilinx の社の提供するソフトプロセッサコアの MicroBlaze[1] は，同 FPGA 上で 100MHz 以上で動作し，リファレンスデザインの 45MHz というのは極めて遅い．我々は，動作周波数に注目し，プロセッサの高性能化を図る

2. FPGA

動作周波数は，クリティカル・パスとなっているパイプラインステージの遅延時間の逆数として得られる．パイプラインステージの遅延時間は，通過する論理素子の遅延時間と配線遅延時間の合計値となり，FPGA では，LUT や乗算器などの遅延が論理素子の遅延に相当する．このため，少数の LUT や乗算器で実現できるロジックを単位としてパイプラインステージを決定することで，動作周波数を向上させることができる．

3. 乗算器のパイプライン化による周波数向上

コンテストのリファレンスデザインは，Instruction Fetch (IF)，Instruction Decode (ID)，Execute (EX)，Memory Access (MA)，Write Back (WB) の５段パイプラインの

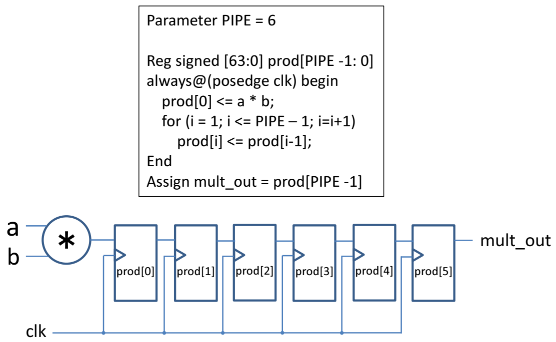

図 1　乗算器の６段パイプライン化

MIPS プロセッサである．我々はリファレンスデザインから，パイプライン段数を増やすことで，動作周波数を向上させる．例えば，乗算器を含む EX ステージは遅延時間が大きく，リファレンスデザインでもクリティカル・パスとなっている．そのため，パイプライン化により動作周波数を向上させることができる [2]．我々は乗算器を６段にパイプライン化した．実装例を**図 1** に示す．図 1 の実装を施したところ，リファレンスデザインの動作周波数は 45MHz で動作したのに対し，75MHz のタイミング制約を満たした．

4. オーバークロック

クリティカル・パスの信号伝播時間は，経由する配線の長さやゲート，フリップフロップの数から論理合成ツールが算出する．実際の FPGA のクリティカル・パスの信号伝播時間は，個々の FPGA に依存し，論理合成ツールが算出する信号伝播時間にはある程度のマージンが存在する．よって，論理合成ツールが算出する動作周波数よりも，ある程度高い周波数でも我々の回路は動作し，Atlys Spartan-6 FPGA Development Board の FPGA 上で，100MHz で正

1　東京工業大学 情報工学科
2　東京工業大学 大学院情報理工学研究科
a)　nakatsuka@arch.cs.titech.ac.jp
b)　ikeda@arch.cs.titech.ac.jp
c)　kise@cs.titech.ac.jp

しく動作することを確認した．

5. まとめ

我々は，今回のコンテストのデザインにおいて，動作周波数の向上による汎用プロセッサの高速化をターゲットとして設計を行った．動作周波数はリファレンスデザインにおいて 45MHz であったのに対し，乗算器のパイプライン化，オーバークロックを合わせることで 100MHz で動作した．

参考文献

[1] : Xilinx Microblaze, http://japan.xilinx.com/tools/microblaze.htm.
[2] : HDL Coding Prctices to Accelerate Design Performance, http://www.xilinx.com/support/documentation/white_papers/wp231.pdf.