メモリ階層の深化に対応するメモリアクセス解析ツール

松原 裕貴[†1, †2]　佐藤 幸紀[†1,†2]

1. はじめに

ヘテロジーニアスで多階層なメモリアーキテクチャを持つシステムでは既存のキャッシュメモリやコンパイラでは考慮できないデータ参照局所性を意識した最適化が必要となるが、HPC アプリケーションでは大量のメモリアクセスが発生するため、最適化のための解析は困難である。そこで、我々の研究グループでは実駆動型アプリケーション解析ツール Exana[1]から得られるメモリアクセストレースの解析を行うことでアクセスパターンを検出しメモリアクセスを理解しやすい形で表現する手法とアクセスパターンの分類分けの提案を行ってきた[2]。

アクセスパターンの分類としては固定アクセス Fix、シーケンシャルアクセス Seq、ストライドアクセス Str とし、ストライドアクセスはデータへのアクセスが Fix か Seq かで更に分類され、これらを基底パターンとする。また、直前のパターンの開始アドレスとパターンが同じ場合、これをリピートとする。また、複雑なアクセスが生じた場合は基底パターンだけでは表現できないため、複数の基底パターンとその間のオフセットでアクセスパターンを表現し、これを複合パターンとする。

2. ID を用いた再帰的モデリング

複合パターンを構成する基底パターンやパターン間のオフセットの数が多い場合、アクセスパターンを理解するのは困難である。このため、複合パターン内から更にパターンを検出し、モデル化を進める手法を提案する。

メモリアクセストレースはアクセスされたデータとデータ間のオフセットで表現可能であり、複合パターンは基底パターンとパターン間のオフセットで構成されている。このため、基底パターンをアクセスされたデータと考えて ID に変換し、パターン間のオフセットをデータ間のオフセットと同等と考えて ID 間のオフセットに変換することで、ID で構築したアクセストレースを生成する。

メモリアクセストレースと同等の表現に変換することでアクセスパターンの検出手法の応用が可能となり、ID 変換とパターン検出を再帰的に行うことで複雑なアクセスパターンでもパターンが検出できる場合は、より柔軟なモデル化が可能となる(図 1)。

†1 北陸先端科学技術大学院大学 情報社会基盤研究センター
†2 JST CREST

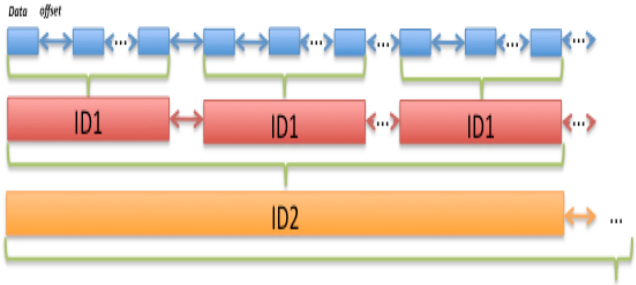

図 1 アクセスパターンの ID 変換

3. 実行バイナリを用いた詳細解析

ID によるアクセスパターンの表示以外にも、ELF バイナリを解析することでメモリアクセス命令毎のソースファイルの対応行、シンボル名、セクション名等の情報の表示も可能である。図 2 に解析結果のプロトタイプを示す。アクセスパターンに関しては ID を展開することでアクセスパターンを表すことが出来る。

```
Memory instruction name:R4@401991
Source:jacobi stack_himenoBMTxps.c:269
Symbol: a,
Section: .bss,
---Pattern model count---
[4x12,(_12_,4x12)*6]: 4781/4781
---Offset count---
12: 4781/9561
192: 4098/9561
-4008: 682/9561
R4@401991 ---Level:3 ID pattern model---
      REP683:ID3
R4@401991 ---Level:3 Including ID Info---
ID3 = ID2(+192+ID2)*6
R4@401991 ---Level:2 Including ID Info---
ID2 = ID1(+12+ID1)*6
R4@401991 ---Level:1 Including ID Info---
ID1 = 4x12
```

図 2 解析結果の例

4. まとめ

HPC アプリケーションの実行時に生じる大規模かつ複雑なメモリアクセスを ID を用いたアクセスパターンの表現により再帰的にモデリングし、バイナリ構造に含まれるシンボル情報とも紐づけた。

参考文献

[1] Whole Program Data Dependence Profiling to Unveil Parallel Regions in the Dynamic Execution, Yukinori Sato, Yasushi Inoguchi, Tadao Nakamura, 2012 IEEE International Symposium on Workload Characterization, pp.69-80, 2012/11/5
[2] 松原 裕貴, 佐藤 幸紀, "メモリトレース解析によるアクセスパターンのモデル化", 2013 年並列／分散／協調処理に関する『北九州』サマー・ワークショップ（SWoPP 北九州 2013）

ⓒ2014 Information Processing Society of Japan