川 上 善 之^{†1} 草 野 健 次^{†1} 寺 尾 iii^{1} 石 嶋 宏 亘^{†1} 福 井 正 博^{†2}

サブ 100 nm 以細のプロセステクノロジでは,トランジスタサイズやしきい値等の 製造起因ばらつきが増大しており,回路の高信頼動作を阻害する要因が増大している. さらに,電源電圧の低電圧化が進んでいることも回路の安定動作を難しくしている. 回路動作の信頼性を向上させるためには,IR ドロップやエレクトロマイグレーション 等の不具合発生リスクを,製造ばらつきが生じた場合も考慮して全体的に下げる必要 がある.従来手法のように,個々の制約を単に満足しマージンを確保するだけではバ ランスのとれた安全な解を得るには不十分である.本文では,トレードオフ関係にあ る複数の設計指標を設計リスクおよび安全度という共通の概念でまとめることにより, 製造ばらつきが生じた場合でも回路全体として信頼性の高い良好な解を得る方法を提 案する.また,VLSIの各機能ブロックの動的な消費電流変化を考慮し,過渡動作に おいても信頼性を確保する.本手法の有効性を示すために,ITRS/65 nm テクノロジ に基づく複数のLSIの例に対して本手法を適用し,設計制約より十分に安全な状態へ 導いたうえで電源総配線面積が約 25%から 60%程度改善できることを示した.

An Efficient Power Grid Optimization Algorithm to Secure Dependable Operation of Circuits in Manufacture-uncertainty Age

Yoshiyuki Kawakami,^{†1} Kenji Kusano,^{†1} Makoto Terao,^{†1} Hironobu Ishijima^{†1} and Masahiro Fukui^{†2} circuit operation. Conventional approaches deal with individual design goals as constraints. But they are insufficient to obtain a solution of low design violation risk. In this paper, we put together the plural design goals that exist in the trade-off relation by the common concept like design risk and safety. Even when the manufacturing variation is caused, we propose the method of obtaining an optimal solution with high dependability as a whole circuit. Moreover, we secure dependability in the transient behavior by consideration of a dynamic current change in each function block of VLSI. Using LSI data based on the ITRS/65 nm technology, it is shown to lead more safely than the design constraints and to reduce the power supply wiring area about 25% to 60% in order to show the effectiveness of this technique.

1. はじめに

近年,半導体微細化技術の進歩によって,携帯電話をはじめとする情報家電,デジタル カメラ,車内LAN等大規模システムが1つの集積回路上で実現可能となり,パーソナル 機器をはじめとして周りのあらゆる機器の中にVLSIが搭載されるまでに至った.このよ うな情報システムを支える基盤デバイスであるVLSIは,素子寸法が65 nm以下のトラン ジスタを数億個以上搭載するような時代となり,論理的,物理的両面において,信頼性の 確保が難しくなっている^{9),11),12)}.論理的な難しさとしては,システムの大規模化にとも ない,ハードウェアやソフトウェアのバグが混入する確率が増大することである.それに 対して,設計フローや検証方法によって,いかにそれらのリスクを減らすかという問題が ある.

次に,物理的な問題としては,微細化により製造ばらつきの増大に起因する不具合をいか に回避するかということが大きい.トランジスタ寸法や,しきい値電圧等のばらつきが増大 していることにどのように対応するか,さらに,電源電圧の低電圧化,システムの多機能化 や高速化による消費電流の増大により,各々の回路ブロックに至るパスに生じる電源電圧の 低下(IRドロップ)と,それを起因とする論理回路の遅延時間の増大と機能的不具合をど のように減らすかといったことが課題としてあげられる.また,配線の微細化と電流増加の 傾向により,配線に過剰な電流密度の電流が流れることによる経時劣化を引き起こして断線

With the advent of super deep submicron age, manufacturing variation of transistor size and threshold voltage is increasing, and power supply voltage is decreasing. These trends make dependable operation of VLSI circuit difficult. It is necessary to decrease the risks of IR-drop and the electro-migration overall considering the manufacturing variation to improve the dependability of the

^{†1} 立命館大学大学院理工学研究科

Graduate School of Science and Engineering, Ritsumeikan University †2 立命館大学理工学部電子情報デザイン学科

Department of VLSI System Design, Ritsumeikan University

が生じるエレクトロマイグレーション (Electro Migration.以下 EM という) も信頼性の 点で課題となる.

本文は,後者の問題を解決することを目的とし,製造ばらつきや不確実性に対して,回路 動作の信頼性を高めるために,IR ドロップや EM 等の不具合発生要因になるリスクを全体 的に下げる手法を提案する.

さて,電源配線設計については,従来多くの研究がなされてきている^{1)-7),10)}.たとえば, 電源配線幅問題を制約付き非線形計画法で解く手法⁴⁾,それを線形計画法に置き換えて効率 良く解くネットワークシンプレックス法を用いた手法⁶⁾.そのほかに,ワーストケースの静 的 IR ドロップを最適化するアルゴリズム⁵⁾ や配線幅一律の電源配線を順次追加して最適化 を行う手法⁷⁾ 等がある.これらは,IR ドロップや EM 等を制約条件として定義し,電源配 線幅もしくは電源配線総面積の最小化を目的関数とするものである.

本文で提案する手法は, IR ドロップや EM 等を単に制約として扱うのではなく, 少しで も制約値より安全な解を目指すものである.IR ドロップや EM, 配線面積等の多次元の設 計指標を設計リスクおよび安全度という共通の概念でまとめ, それらを同時最適化するこ とにより, トレードオフ関係にあるすべての設計指標を,安全度の高い状態に収束させる. 前述の従来手法に比較して, 製造ばらつき等の不確定要素がある場合に,回路全体として信 頼度の高い良好な解を得る点で優位である.

本文の構成は以下のとおりである.まず,2章で電源配線問題を定義する.次に,3章で 最適化問題に対する従来のアプローチとの違いを解説した後,我々が提案する電源配線幅 最適化アルゴリズムについて説明する.4章では本手法が用いた回路解析部について概説す る.5章では,実験結果を示し,最適化による改善率と回路動作のディペンダビリティが確 保されていることを確認する.最後にまとめる.

2. 問題定義

2.1 電源グリッドモデル

図1 に,本研究が扱う LSI レイアウトと電源配線構造を示す.電源系の安定化が容易な, 広く一般的に使われているメッシュ状の電源配線構造であり,区画に分けられた1つの領域 をスロットと呼ぶ.

電源配線構造は垂直配線と水平配線が異なる層に割り当てられた2層構造となっており, 交点は複数のビアによって接続される.LSIチップの周りにはI/O用の電源・グランド配 線があり,リング状につながる電源リングから電源配線を介して各機能ブロックへ電流を供





B) Circuit model for power grid.
 図 1 レイアウトと回路モデル
 Fig. 1 Layout and circuit model.

給する.電源配線以外にグランド配線も混在する.電源リングは,各機能ブロックへの電源 供給は電源リングから安定的に供給され,ほぼ電圧が安定していると考える.電源配線と グランド配線の間にはデカップリング容量と呼ぶキャパシタが挿入される.これは,動的な IR ドロップやインダクタノイズによる電流変化を緩和する働きがある.さらに,パッケー ジと電源ピンとの間はインダクタで表現される.

図1(b)に,対応する電源グリッドの回路モデルを示す.配線グリッドの各頂点(ノード) 間は抵抗で接続され,各頂点にはデカップリング容量と配線容量の和の容量と電流源があ る.スロット内の配線幅が変化すると,対応した抵抗値とノードの容量値が変化する.各機 能ブロックの消費電流モデルは,時間変化する電流源を用いて表す.ブロックごとの動的な 消費電流は,事前に電力シミュレーションを用いて計算する.さらに,ブロックごとの動的 な消費電流は,そのブロックが存在する領域の各ノードに分散させて割り当てる.本手法で は時間変化する消費電流を表現することで,過渡的な IR ドロップや EM も高精度に解析 する.

2.2 設計制約

本電源配線最適化問題は,次に示す3つの設計制約を扱う.

(1) IR ドロップ制約

電源供給ネットワークにおいて, あるノードnにおける電圧 $V_n(t)$ は次の制約を守らなければならない.

 $V_n(t) \ge V_{\min}$

ここで, V_{min} は最低電源電圧値である.この値は,電源電圧低下による回路動作エラーの 発生率が許容範囲に収まるところに設定する.クリティカルパスに対するばらつき考慮回路 シミュレーションによって求める.

(2) EM 制約

ある時刻 t におけるノード i とノード j の配線間の電位差 $V_{i,j}(t)$ は,次の制約を守らなければならない.

 $\frac{V_{i,j}(t)}{\rho L_{i,j}} \le \sigma_{\max} \tag{2}$

ここで, ρ はシート抵抗, $L_{i,j}$ はノードiからノードjまでの配線長, σ_{\max} は最大電流密度である.この値は,あらかじめテストチップ等による評価結果に基づく.製造プロセスや使用温度範囲によって異なる.

(3) 配線混雑度制約

 $D_n < D_{\max}$

(1)

スロットの配線混雑度の制約を設ける.各スロットに割り当てられた配線密度 D_n の上限 を D_{\max} とする.

(3)

3. 最適化問題に対するアプローチ

3.1 従来のアプローチとの違い

IR ドロップや EM 等複数の設計制約があったとき,それらがすべて制約を満足して最適 化を行う問題について考える.

従来のアプローチでは, IR ドロップや EM 等を単に制約条件として扱い, 個々の設計制 約間のトレードオフ関係は考慮されなかった.この状況を表現したのが,図2(a)である. 横軸はある1つの物理量であり,縦軸は設計違反の危険度を表す.設計制約違反が起きてい る状態を限界点(危険度"100")と定義する.

図2のように,設計値が設計制約を満たしていない領域を"設計違反領域",設計制約を満たしている領域を"設計安全領域"と定義する.従来のアプローチでは,設計制約を守れ ばよいので,設計安全領域と設計違反領域の境界が隣接する.

このような状況下で最適化を行うと,ある設計制約 X は制約値から十分余裕があり,別の 設計制約 Y は制約ぎりぎりの値である場合も考えられ,設計制約に対するマージンのとり 方が一律でない.このような状態で製造ばらつきが起きると,設計制約 Y は危険領域に推 移するリスクが高まる.かといって,それぞれのマージンを大きくとることは現在の VLSI 設計では受け入れ難い.よって,プロセスばらつきが VLSI 回路へ与える影響が大きい世代 において,従来のようなアプローチでは十分に信頼性を確保することは難しい.

製造ばらつきによる回路動作の不確実性が増す状況下では,仮に設計制約範囲内であった としても,各設計制約の危険度がバランス良く,かつそれぞれがより安全度の高い状態へ もっていくことが重要である.

以上を実現するために,図2(b)に示すように,解Aと解Bの間に"設計トレードオフ 領域"を新たに定義し設ける.つまり,解Bの状態から限界点を脱したとき,すぐに設計違 反度を0としないで,設計違反の度合いを評価する領域をつくる.この領域の設計違反度 は,設計違反状態へ戻る確率と相関性を持つ.設計の解空間の探索において,すべての設計 制約をこの設計トレードオフ領域へ落とし込んでから,それぞれの設計指標を最適化目的関 数として扱うことにより,各設計制約の危険度を平準化した最適解を得ることができる.



3.2 リスク関数

ここで,新たに「リスク」の概念を導入する.設計制約に対して設計違反のしやすさの度 合いをリスク値(危険度)と定義する.リスク値と物理量との関係をリスク関数として表現 する.



リスク値には単位がないので異なる物理量を同一の尺度で同質の関数として扱うことが可能となる.つまり次元が異なる複数のパラメータ間のトレードオフが容易に行うことができる.リスク関数の形を図3に示す.横軸は状態を示す物理量であり,設計トレードオフ領域に対応して α と β の2点を定める. α 以下は設計安全領域であり, β 以上は設計違反領域である.縦軸のリスク値は0から100の範囲をとる.設計制約間のトレードオフは,すべての設計制約を設計トレードオフ領域に落とし込んで最適化することにより実現できる. A. IR ドロップリスク

各ブロックを動作させるために,各頂点において各ブロックが必要とする電圧以上の電圧 を供給しなければならない.電源電圧を V_{dd} とし,時刻tにおける頂点nの電圧を $V_n(t)$ とすると次式のように表す.

$$P_{\mathrm{ir}_n}(t) = \frac{V_{dd} - V_n(t)}{V_{dd}} \tag{4}$$

横軸を電圧源に対する IR ドロップの割合 $P_{ir}(t)$ とする. IR ドロップ評価は電源配線グ リッドの頂点の電圧を観察して行う.

B. EM リスク

電流密度が増加すると, EM の危険性が増加する.横軸の状態を σ とし,最大電流密度 のときリスクが 100 となるように設定する.ある時刻 t におけるノード i とノード j 間の 配線の電位差 $V_{i,j}(t)$ とすると, EM リスク $P_{em}(t)$ は次のように表す.

$$P_{\rm em}(t) = \left| \frac{V_{i,j}(t)}{\rho L_{i,j} \sigma_{\rm max}} \right| \tag{5}$$

ここで, ρ はシート抵抗, $L_{i,j}$ はノードiからノードjまでの配線の長さ, σ_{\max} は最大電流密度である.

C. 未結線リスク

各スロットは、電源配線と信号配線で使用されるため、それらの占める面積の総和がスロットの面積と比較して、その割合が増えると未結線を生じる危険性が増加する.配線可能な領域が存在するかどうか、また、チップ面積やチップコストのマージンをとりすぎないためにも、各スロットの面積に基づいた、配線可能かどうかを判断する尺度が必要である.横軸の状態を各スロット面積 $A_{slot}(i)$ としたとき、それらに対して占める割合 $P_{area}(i)$ とする.スロット i 領域内の総面積を $A_{slot}(i)$ 、電源配線に占める面積を $A_{power}(i)$ 、信号線の占める面積を $A_{signal}(i)$ とすると、未結線リスク $P_{area}(i)$ は、

$$P_{\text{area}}(i) = \frac{A_{\text{signal}}(i) + A_{\text{power}}(i)}{A_{\text{slot}}(i)} \tag{6}$$

と表すことができる.信号線の密度は,一般的に中央ほど密集度が高い.

3.3 安全度と評価関数

リスクが小さいほど,設計違反が起きにくくなる.つまり,設計の安全性が高いことを意味する.ここで,設計の安全性を評価する指標として,安全度を定義する.安全度はリスクの限界値(=100)から各リスク値を引いたものとする.また,各リスク間における結合方法を考慮して,スロット*i*における安全度 $COST_{safe}(i)$ を式(7)のように定義する.

$$COST_{\text{safe}}(i) = \frac{S_{\text{ir}}(i)^p + S_{\text{em}}(i)^p + S_{\text{area}}(i)^p}{3}$$
(7)

 $\begin{cases} S_{\rm ir}(i) = 100 - P_{\rm ir}(i) \\ S_{\rm em}(i) = 100 - P_{\rm em}(i) \\ S_{\rm area}(i) = 100 - P_{\rm area}(i) \end{cases}$

ここで, 各々スロット *i* における, $S_{ir}(i)$ は IR ドロップの安全度, $S_{em}(i)$ は EM の安全度, $S_{area}(i)$ は未結線の安全度である.また, *p* は安全度の結合係数と呼び, 各リスク間の安全 度の結合を評価する任意の整数である.

安全度の結合係数 p を変えることにより,最適化過程における各リスク関数の変化量に 対する感度が制御できる.たとえば,p = 1(1 次 式)より $p = 2(2 \chi 式)$ の方が感度は 高くなる.また,3つのパラメータにはトレードオフ関係があるため,各リスク関数の定義 ($\alpha \sim \beta$ 間の領域の勾配)と安全度の結合係数 p を適切に設定する必要がある.これらにつ いては 3.6 節で実験により求める.

全体の評価関数 F は, 各スロット i の安全度の和として, 次のように定義する. k_c は任意の整数である.

$$F = k_c \times \min(COST_{\text{safe}}(i)) + \sum_{i=1}^{n} COST_{\text{safe}}(i)$$
(8)

評価関数 F は,電源グリッド全体が改善されているかどうかを判断する尺度となる.よ り安全な状態へ導くためには,スロット i の安全度の最小値を上げることが必要である.す なわち,第1項が評価すべき関数である.しかしながら,第1項だけではあまり最適化が 進まない.全スロットの安全度の和を評価する項,第2項は最適化を促進させるために付け 加える.

3.4 スロットの選択

本来は、電源グリッドすべてのスロットにおいて、配線幅を拡大縮小させる操作を、考え られるすべての組合せで評価し、評価関数 F の値が最も改善されたものを選ぶことが好ま しいが、計算コストが膨大になる問題がある.そこで、計算コストを軽減するために、電 源グリッド評価値の一番低いスロットと、一様乱数によるランダムに総スロット数のうち k 個、合わせて k+1 個のスロットを選択することにした.選択する個数によって解の最適 性が異なることが予想できる、適正値について 3.6 節で実験により求める.

3.5 電源配線幅最適化アルゴリズム

提案する電源配線最適化アルゴリズムを図4 に示す.最適化の手段は,複数の目的関数 を結合した1つの評価関数 F(式(8))の改善を目的とする最大傾斜法を用いる.評価はス ロット単位で行い,すべてのスロットの評価値の和が改善されるかどうかを判定する.つま リ,各スロットの改善と電源グリッド全体の改善の両方を考慮する.まず,初期値としてあ る電源配線幅を与える.次に,ランダムにスロットを選択して,水平・垂直の電源配線幅を 拡大縮小させ,改善がなくなるまで繰り返し逐次改善を行う.

まずステップ1で、電源グリッドGについて回路解析を行う、続いて、回路解析結果に 基づいて各スロット i の評価値である安全度 $COST_{safe}(i)$ を求める、次に、ステップ2で ランダムに k 個のスロット iを選択する、選択する個数は任意である、ステップ3で、選 択されたスロット i すべてについて、仮に電源配線幅を Δw 分だけ拡大または縮小したと

アルゴリズム 電源幅最適化(G) (入力)一律配線幅wをもつm×n分割された電源グリッドG (出力)最適化された配線幅不均一な電源グリッドG
begin while (コストが改善されるまで続ける) /* (step1)電源グリッドG内のスロットのコストを計算 */ 回路解析 ; for (m×n個のスロットi)do スロットiの安全度COST _{safe} を計算 ; end for
/* (step2)配線幅変更候補のスロットを選択 */ ランダムにk個のスロットと、安全度COST _{safe} 最小のスロットを選択 /* 選んだスロットはスロットpとおく */
/*(step3)仮に配線幅変更したときのコスト改善度を計算 */ for(k+1個のスロットp)do 仮に配線幅Δwだけ変更; 回路解析; スロットpの安全度COST _{safe} を計算; スロットpのコスト改善度ΔCOST _{safe} を計算; end for
/* (step4)コスト改善するスロットの配線幅を変更 */ for (k+1個のスロット) do if (コスト改善度∠COST _{sue} > 0) スロットpの配線幅∠wを変更 ; end if end for end while
end

図 4 電源配線幅最適化アルゴリズム Fig. 4 Our optimization algorithm for P/G wire sizing.

きに,ノード電圧や枝電流がどのように変わるか,回路解析して求める.それらの情報を基に,配線幅 $\pm \Delta w$ を変更したときに生じる安全度の改善度 $\Delta COST_{safe}(i)$ を求める.最後のステップ4で,改善度 $\Delta COST_{safe}(i)$ が正となったスロット*i* について各々配線幅を Δw 分だけ変更する.以上のステップ1からステップ4の操作を評価関数 F が改善されなくなるまで繰り返す.

3.6 各種パラメータの適正値の決定

(1)スロット選択数の決定

図4に示す提案アルゴリズムのステップ2において,選択するスロット数kの適正値を,



Fig. 5 Relation of between number of slot selections and final safety results.

5.1 節の実験データ仕様に基づいたチップデータ Chip1 を用いて求めた.グリッド数 (=ス ロット総数)は10×10,15×15と20×20の3パターンを行った.リスク関数はIRド ロップリスク関数とEMリスク関数が2次,未結線リスク関数は0.5次であるとした.安 全度の結合係数 pは2に設定した.理由は,後述の3.6節(2)の実験から1次式より2次 式の方が良好な結果が得られたことによる.また,評価関数 Fの k_c は1,000とした.選択 スロット数はスロット総数の比率で1%から20%まで変化させた.

実験結果を図 5 に示す. 横軸は選択するスロット数であり, 縦軸は最適化後のスロット 全体の平均安全度とスロット単位の最小安全度を示したものである. すべて最終解では IR ドロップおよび EM 制約を満足している. 評価に,チップ全体の平均安全度とスロット単 位の最小安全度を用いたのは,本提案手法の特徴であるより安全な状態に移ったかどうかを



Fig. 6 Relation of between "Risk" functions and final safety results by chip1.

示す,平均的に安全度が高く,かつスロット単位の最小安全度も高くなることを明らかにするためである.

図5から分かるように,スロット選択数が総グリッド数の4%から8%まであたりで最適 性が最も高く,以降選択数を増やすと解は悪くなっていく.16%程度以上になると最適性は ほとんど変わらなくなった.理由は,本手法はグリーディ手法なので,スロット選択数が少 ないときは繰返し改善ループ1回の改善度が小さくなり,ある程度改善が進んだ後変化し にくくなるため,局所解に陥りやすくなるからと思われる.逆に選択数を増やしすぎると, 改善ループ1回の解の改善度が大きくなるので初めのうちは改善が早く進むが,スロット 単位の評価値が平均化され,解の改善が起きにくくなり,結果として局所解に陥りやすくな るからと考えられる.解の改善が進みやすくなるように適切な選択スロット数を設定することが必要である.

(2) リスク関数と安全度の次数

適切な IR ドロップリスク関数, EM リスク関数と未結線リスク関数における $\alpha \sim \beta$ 間の 次数,および安全度関数(式(7))の結合係数 pを求める.本実験は,同様に 5.1 節のデー タを用いた.各リスク関数,次数 p について,各々 0.5 次,1 次,2 次の 3 種類を組み合わ せて,最適化後のスロット全体の平均安全度とスロットの最小安全度の比較を行った.結果 を図 6 に示す.ここでは比較的解が良かった代表的な 4 つのみ載せた.本実験では,IR ド ロップリスク関数と EM リスク関数が2次,未結線リスク関数は 0.5 次,そして次数 p は 2 次の組合せが一番良かった.この組合せが良かった理由は,IR ドロップリスクと EM リ スクがともに電圧に基づく関数であるので,未結線リスクに比べて配線幅の変化に対して感 度が良く,大きく値が変化するために,IR ドロップリスクと EM リスクを主に,未結線リ スクを従にした最適化の方がトレードオフ領域間の最適化が行いやすくなるからと考えら れる.

以上の実験結果より,スロット選択数はスロット総数の 6%, IR ドロップリスクと EM リスクのトレードオフ領域の関数は各々 2 次,未結線リスクのトレードオフ領域の関数は 0.5 次,そして安全度関数の結合係数 *p* は 2 を得た.

4. 回路解析

本電源配線最適化では回路解析部を有している.配線グリッドの回路解析法の概要を,図7 を用いて説明する.特に, *I*_d は各機能ブロックの消費電流の時間変化を表した電流源である.あるノード *V*₁ と他ノード *V*₂ の間の枝に流れる電流 *I* は電流の流れる向きに注意して 頂点間の電位差から求めることができる.枝の抵抗を *R* とすると,

 $I = (V_1 - V_2)/R (9)$

となる.図7では各枝の電流 I_0 , I_1 , I'_0 , I'_1 に対応する.次に,ノードにつながるキャパ シタ C に発生する電圧 V_C はそれに溜まる電荷 Q から求めることができ,

$$V_C = Q/C \tag{10}$$

である.また,電荷Qはキャパシタに流れる電流 I_C を使って

$$Q = \int I_C \, dt \tag{11}$$

と表すことができる.式 (11) は電流量の時間変化と見なせるので電荷 Q を求めれば,式 (10)



Fig. 7 Circuit analysis of mesh.

より V_C を求めることができる.ここで, ノード電圧 V_1 はキャパシタンスにかかる電圧と 等しいので,

$$V_1 = V_C \tag{12}$$

である.

上で求めた微分方程式は,微小時間 ΔT における電流変化を逐次計算する数値積分法を 用いて解くことができる⁸⁾.

5. 評価実験

5.1 実験データの仕様

本提案手法の有効性を示すために,仮想的にLSIデータを作成して実験を行った.実験 で使用したワークステーションはCPU Pentium[®]4 3.4 GHz,メモリは 4 GB である.実験 で用いたパラメータは ITRS⁹⁾の 65 nm テクノロジのグローバル層を想定している.

評価実験に使用した LSI の特性パラメータおよび制約値を表1に,設計仕様を表2に示 す.LSI チップ Chip1 から Chip5 はいずれも低消費電力なシステム LSI であり, Chip1 と Chip3 はチップ面積3mm×3mm,トランジスタ250万個,Chip2 と Chip4 と Chip5 は チップ面積5mm×5mm,トランジスタ800万個,電源電圧は,いずれも1.2(V)である. 表2で,配線混雑度は初期状態における信号配線と電源配線の和である.領域(スロット) ごとに値が異なるのでその分布を示す.消費電流テーブル(図1参照)は,事前に各機能 ブロックに関して電力解析を行った結果を用いる.

また,デキャップ容量はLSIチップ全面のスロットへ均等に分散させた.回路解析のタイ

表 1 LSI の特性パラメータおよび制約値 Table 1 Characteristic parameters and constraint values of LSI.

シート抵抗(Ω/□)	0.022
ビア抵抗 (Ω)	4.0
デキャップ1個あたりの容量 (fF)	25.0
単位長さあたりの容量 (fF/µm)	0.20
IR ドロップの許容値 (V)	0.1
EM電流密度の許容値(A/µm ²)	0.0208

	表 2 LSI の設計仕様	
Table 2	Design specification of LSIs	

	平均消費		機能	Decap
	電力(W)	配線混雑度	ブロック数	挿入数
Chip1	0.8	0.5~0.7	7	12000
Chip2	1.2	0.45~0.65	9	11000
Chip3	0.8	0.5~0.7	7	12500
Chip4	1.2	0.45~0.65	8	13500
Chip5	1.2	0.55~0.65	8	19000

ムステップは 5 ps であり,長さを 20 ステップとした.初期の電源配線幅は,チップ全体で 最大 IR ドロップ量が制約以内(0.1 V 以下)に収まるように均一な電源配線幅に設定した. 変化させる配線幅 Δw は初期の電源配線幅に対して 1/10 ずつの 10 段階であるとした.

5.2 実 験

3.6 節より得た,スロット選択数,リスク関数の次数と安全度の結合係数を用いて,表2 に示す Chip1 から Chip5 に適用した.表3 に,最適化前後におけるスロット全体の平均 安全度の改善結果とスロット単位の最小安全度の改善結果を示す.グリッド数はいずれも 10×10,15×15 と 20×20 の3 パターンについて行った.

スロット全体の平均安全度の改善度は、4.2%~11.1%であり、スロット単位の最小安全度 は7.7%~61.8%と大きな改善が見られた.これは、トレードオフ関係にある各リスクが適 正に最適化され、バランス良くより安全な状態に移っていることを示している.

表4に,初期の総電源配線面積に対する総電源配線面積削減率とIRドロップ量を示し

		最適化前の	最適化後の	平均安全度の	最適化前の	最適化後の	最小安全度の
	グリッド数	平均安全度	平均安全度	改善率(%)	最小安全度	最小安全度	改善率(%)
	10×10	72.2	75.2	4.2	31.9	38.8	21.7
Chip1	15×15	72.6	79.2	9.2	31.8	49.6	56.0
	20×20	72.4	80.0	10.5	31.8	51.4	61.8
	10×10	77.1	80.6	4.4	38.7	41.7	7.7
Chip2	15×15	76.3	82.4	8.0	38.2	49.1	28.5
	20×20	76. 7	83.6	9.0	37.9	51.0	34.7
	10×10	73.3	77.5	5.7	43.6	51.5	18.3
Chip3	15×15	75.4	81.6	8.2	46.6	57.4	23.1
	20×20	74.5	82.8	11.1	48.7	58.8	20.7
	10×10	78.5	81.9	4.4	51.9	56.0	7.9
Chip4	15×15	78.1	83.2	6.5	51.8	60.8	17.4
	20×20	78.5	84.8	7.9	52.2	64.2	23.0
	10×10	78.2	82.0	4.9	51.3	57.5	12.0
Chip5	15×15	77.7	83.8	7.8	50.7	61.1	20.5
	20×20	78.2	85.0	8.8	51.4	62.7	22.0

表 3 平均安全度と最小安全度の改善率

Table 3 Improvement rate of average safety and minimum safety.

た.最適化前後で総電源配線面積削減率は 25.1% ~ 63.1%, IR ドロップも最大 0.017 (V) の マージン削減効果が得られた.さらに,最適化後の最大電流密度を示す.いずれも表1 に 示す EM 電流密度の許容値の範囲内である.なお,処理時間も表4 にあわせて載せた. 以上の結果より,本手法の有効性が示された.

6. 結 論

本文では,製造ばらつきが課題となる微細化プロセスにおいて,回路動作のディペンダビ リティを大幅に改善する手法の提案を行い,実験によりその有効性を確認した.

設計最適化においては, 複数の設計制約のうち, 1 つでもばらつきによる不具合が発生しやすいところがあれば, それが回路全体の不良原因となる. すべての設計指標が製造ばらつ

きに対してバランスのとれたマージンを確保し,かつ,そのマージン量は最小化する必要が ある.本手法の特徴は,従来手法では単に設計制約として扱われていた設計指標を,多次元 の最適化目的関数として定義することによって,トレードオフ関係にある複数の設計指標を 製造ばらつきに対して安全度の高い解に収束させることができる点である.

一般的に,多次元の同時最適化は困難な問題であるが,次元の異なる設計指標をリスクと いう共通概念でとりまとめることにより,それらのトレードオフの扱いを可能とした.また,回路の過渡動作においても信頼性を確保するために,VLSIの各機能ブロックの動的な 消費電流変化を考慮した回路解析部も備えた.

ITRS/65 nm テクノロジをベースに作成した複数の LSI データを用いて,スロット全体の 平均安全度の改善度で4.2%~11.1%,スロット単位の最小安全度の改善度で7.7%~61.8%,

表 4 最適化後の総電源配線面積と IR ドロップと最大電流密度,および処理時間

Table 4 Power routing area, IR drop and maximum current density after optimization and runtime comparisons.

		電源配線	電源配線面積	最大IR	最大電流密度	処理時間
	グリッド数	面積(cm ²)	削減率(%)	ドロップ(V)	$(A/\mu m^2)$	(秒)
	10×10	0.458	25.1	0.098	0.0042	33
Chip1	15×15	0.307	45.0	0.087	0.0054	250
	20×20	0.285	49.5	0.086	0.0053	1683
	10×10	1.487	42.7	0.100	0.0020	44
Chip2	15×15	1.056	55.8	0.099	0.0023	330
	20×20	0.959	61.1	0.097	0.0039	1070
	10×10	0.540	31.9	0.094	0.0051	35
Chip3	15×15	0.335	46.8	0.084	0.0053	244
	20×20	0.289	59.8	0.083	0.0058	1700
	10×10	1.250	41.1	0.100	0.0035	58
Chip4	15×15	0.995	53.6	0.098	0.0043	333
	20×20	0.858	60.6	0.095	0.0042	1781
	10×10	1.340	41.0	0.100	0.0032	52
Chip5	15×15	1.014	57.7	0.100	0.0044	342
	20×20	0.863	63.1	0.098	0.0043	1730

さらに初期電源配線面積に対して 25.1%~63.1%の面積削減と最大で IR ドロップ 0.017 (V) のマージン削減効果の結果を得て,ばらつきに強い良好な解を得た.

今後の課題として,解の質を落とさず,より大規模な電源グリッドを高速に最適化ができ る方法の開発,各リスク関数の改良等が課題である.

謝辞 本研究の一部は,文部科学省ハイテクリサーチセンター整備事業プロジェクト"巧 みさを実現する脳型コンピュータの研究"および,大川情報通信基金助成金 07-04(平成 19年~20年)「多元的要素からなるシステムの多次元同時最適化問題の効率的解法の研究」 によってなされた.

参考文献

- Wu, X., Hon, X., Ca, Y., et al.: Area minimization of power distribution network using efficient nonlinear programming techniques, *Proc. IEEE/ACM International Conference of Computer-Aided Design*, pp.153–157 (2001).
- 2) Su, H., Gala, K.H. and Sapatnekar, S.S.: Fast analysis and optimization of power/ground networks, *Proc. IEEE/ACM International Conference of Computer-Aided Design*, pp.477–480 (2000).
- 3) Wang, K. and Marek-Sadowska, M.: On-chip power supply network optimization using multigrid-based technique, *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems*, Vol.24, No.3, pp.407–417 (2005).
- 4) Tan, S.X.-D.S., Shi, C.-J.R. and Lee, J.-C.: Reliability-constrained area

optimization of VLSI power/ground networks via sequence of linear programmings, *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems*, Vol.22, No.12, pp.1678–1684 (2003).

- 5) Chen, H., Cheng, C.-K., Kahng, A.B., et al.: Optimal Planning for mesh-based power distribution, *Proc. Asia and South Pacific Design Automation Conference*, pp.444–449 (2004).
- 6) Wang, T.-Y. and Chen, C.C.-P.: Optimization of the power/ground network wiresizing and spacing based on sequential network simplex algorithm, *Proc. International Symposium on Quality Electronic Design*, pp.157–162 (2002).
- 7) Singh, J. and Sapatnekar, S.S.: Congestion-aware topology optimization of structured power/ground networks, *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems*, Vol.24, No.5, pp.683–695 (2005).
- 8) 浅井秀樹,渡邊貴之:電子回路シミュレーション技法,科学技術出版 (2003).
- 9) Semiconductor Industry Association: International Technology Roadmap for Semiconductors (online), available from http://www.itrs.net/> (2005).
- 10) 草野健次,寺尾 誠,石嶋宏亘,川上善之,福井正博:電源配線における多次元最適化問 題の一手法,情報処理学会研究報告,Vol.2006,No.111,2006-SLDM-126,pp.123-128 (2006).
- 11) Sylvester, D. and Hu, C.: Analytical Modeling and Characterization of Deep-Submicrometer Interconnect, *Proc. IEEE*, Vol.89, No.5, pp.634–664 (2001).
- 12) Srivastava, A., Sylvester, D. and Blaauw, D.: Statistical Analysis and Optimization for VLSI: Timing and Power, Springer (2005).

(平成 19 年 10 月 5 日受付)(平成 20 年 3 月 4 日採録)



川上 善之(正会員)

1987 年関西大学大学院工学研究科修士課程修了.同年松下電器産業株 式会社入社.以来,LSIの物理設計,タイミング設計・検証等の研究開発 に従事.現在,立命館大学大学院理工学研究科博士後期課程に在籍中.電 子情報通信学会,IEEE 各会員.



草野 健次(学生会員) 2006年立命館大学理工学部電気電子工学科卒業.立命館大学大学院理 工学研究科博士前期課程に在籍.LSIの電源配線最適化に関する研究に 従事.



寺尾 誠
 2007年立命館大学理工学部電気電子工学科卒業.立命館大学大学院理
 工学研究科博士前期課程に在籍.LSIの電源配線最適化に関する研究に
 従事.



石嶋 宏亘

2006年立命館大学理工学部電気電子工学科卒業.立命館大学大学院理 工学研究科博士前期課程に在籍.LSIの電源配線最適化および道路白線認 識アルゴリズムに関する研究に従事.IEEE 学生会員.



福井 正博(正会員)

1983年大阪大学大学院電子工学専攻博士前期課程修了.同年松下電器 産業株式会社入社.1989~1991年カリフォルニア大学バークレー校にて 客員研究員.2003年立命館大学理工学部教授.2004年スーパーヒューマ ン知能システム研究センター長.自動配置配線,高位合成,モジュールお よびセル合成等半導体 CAD およびシステム LSI 設計手法の研究開発に

従事.最近の興味は超微細化時代の製造考慮設計技術,および,製造不確実時代におけるシ ステム設計技術等.工学博士.電子情報通信学会,電気学会,自動車技術会,IEEE 各会員.