

ビッグデータ向け高信頼 NAND フラッシュメモリ/ReRAM 統合ストレージ

田中丸 周平[†] 土井 雅史[†] 竹内 健[†]

1. はじめに

ソリッド・ステート・ドライブ(SSD)は高速、低消費電力かつ小型であるため、ビッグデータ用の産業用ストレージとしての需要が高まっている。従来のストレージシステムはサーバー、ディスクアレイ、SSD、NAND フラッシュメモリという 4 つの階層を持ち、エラー訂正符号(ECC)と重複化によって高い信頼性を維持している。それぞれのストレージ階層で信頼性は独立に最適化されているため、全体のシステムの観点では非効率な重複やオーバーヘッドが存在する。図 1 に示す提案の統合ストレージコントローラは高信頼化のためにすべての ECC や重複化を一括で行う[1]。提案の統合ストレージのデンプラデータを書き込むために、ReRAM の不揮発、高速、上書きが可能、高い書き換え耐性等の特性が必要である。

2. 逆ミラーリング

図 2 に逆ミラーリングを示す。書き込みディスタンプエラーでは、測定結果によると Upper ページのビットエラー率(BER)の方が Lower ページの BER よりも低いことがわかった。また、データ保持エラーでは、ソース線側である小さい番号のページに書かれたデータの BER の方が、大きいページ番号に書かれたデータより小さい。書き込みディスタンプエラーとデータ保持エラー双方を低減するためにミラー側に書き込むデータ順を変調する。NAND フラッシュメモリでは、ページ 0 から昇順に書き込むことしかできないため、ReRAM には逆順にした書き込みデータを一時的に保持し、そして、ミラーNAND フラッシュメモリにデータが書き込まれる。読み出し時には、BER が少なくなるようにプライマリかミラーNAND フラッシュメモリのどちらかを選択することが出来る。その結果、書き込みディスタンプエラーとデータ保持エラーをそれぞれ 69%、41%削減できる(図 3)。

3. エラー削減機構

図 4 を用いてエラー削減機構を説明する。書き込みディスタンプエラーの測定結果によると、Lower ページでは 0→1 のエラーは存在せず、1→0 のエラーのみが発生する。また、Upper ページでは逆の特性がある[2]。図 5 にエラー削減機構のアルゴリズムを示す。逆ミラーリングを行った際に、エラーの方向を合わせるために、ミラー側のみビットフリップしてからデータを書き込む。プライマリとミラーのデータが一致しない場合、図 5 のようにデータが出力される。その結果、逆ミラーリングとエラー削減機構によって、測定した BER は 91.5%低減した。

4. ページ RAID

図 6 でページ RAID を説明する。従来ワード線

方向でデータを保護していた ECCに加えて、ページ RAID ではビット線方向でもデータを保護する。ブロックパリティは NAND 状態に接続されたメモリのセルのデータを XOR することによって算出され、ReRAM にその結果が書き込まれる。NAND フラッシュメモリのブロック内のページが書き込まれるたびに、ReRAM に記録されているブロックパリティは再計算後、アップデートされる。ReRAM には高い書き換え耐性があるうえ、ページの上書きが可能であるため繰り返しのパリティの上書きが可能となる。NAND フラッシュメモリのブロックが一杯になると、ブロックパリティのデータが NAND フラッシュメモリのブロックの最後のページに転送される。ページ RAID によって NAND フラッシュメモリの許容できる BER は 45%増大する。

5. エラーマスキング

図 7 にエラーマスキングを示す。エラー記録シーケンスでは、エラーが起こったアドレスがエラー位置テーブルの中に“1”として記録される。エラー位置テーブルは圧縮され、ReRAM に書き込まれる。エラーマスキングシーケンスでは、NAND フラッシュメモリから読み出したデータと、事前に記録したエラー位置テーブルとを比較し、エラーを削減する。エラーマスキングによって、測定した BER は 67%削減され、これは 3 倍の許容できる BER に相当する。

6. まとめ

逆ミラーリング、エラー削減機構、ページ RAID、エラーマスキングを用いた高信頼統合ソリッド・ステート・ストレージによって許容できる NAND フラッシュメモリの BER は従来のミラーリングに比べて 32 倍高まる(図 8)。提案の高信頼技術は非対称符号[2]や LDPC 符号[3]等ほかの技術とともに用いることも出来る。

7. 謝辞

本研究の一部は CREST/JST の助成により行われたものである。

参考文献

- [1] S. Tanakamaru *et al.*, “Unified Solid-State-Storage Architecture with NAND Flash Memory and ReRAM that Tolerates 32× Higher BER for Big-Data Applications,” *ISSCC Dig. Tech. Papers*, pp. 226-227, Feb. 2013.
- [2] S. Tanakamaru *et al.*, “95%-Lower-BER 43%-Lower-Power Intelligent Solid-State Drive (SSD) with Asymmetric Coding and Stripe Pattern Elimination Algorithm,” *ISSCC Dig. Tech. Papers*, pp. 204-205, Feb. 2011.
- [3] S. Tanakamaru *et al.*, “Over-10x-Extended-Lifetime, 76%-Reduced-Error Solid-State Drives (SSDs) with Error-Prediction LDPC Architecture and Error-Recovery Scheme,” *ISSCC Dig. Tech. Papers*, pp. 424-425, Feb. 2012.

[†] 中央大学理工学部

Faculty of Science and Engineering, Chuo University

[‡] 東京大学大学院工学系研究科

Graduate School of Engineering, University of Tokyo

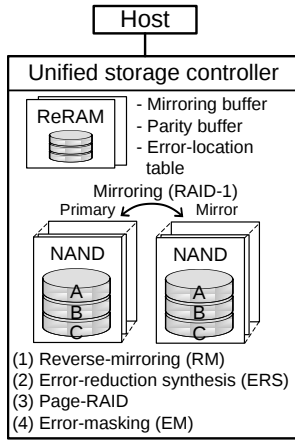


図 1. 提案の統合ストレージ.

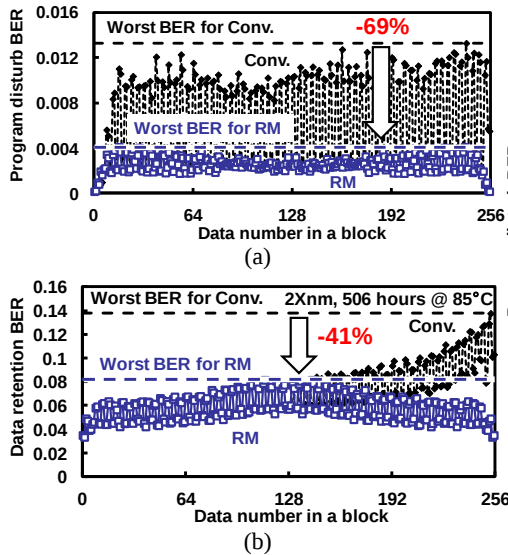


図 3. 逆ミラーリングによる(a)書き込みディスクエラーと(b)データ保持エラーの改善.

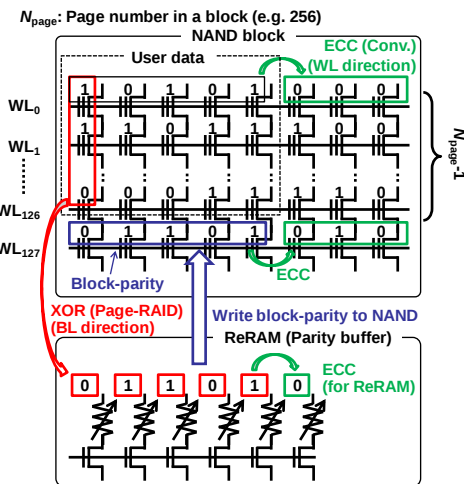


図 6. ページ RAID.

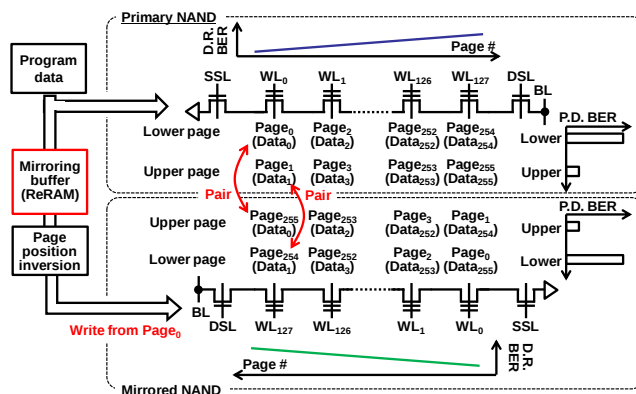


図 2. 逆ミラーリング.

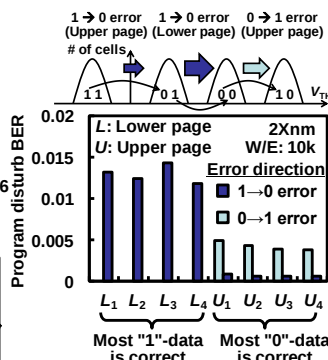


図 4. エラーの非対称性.

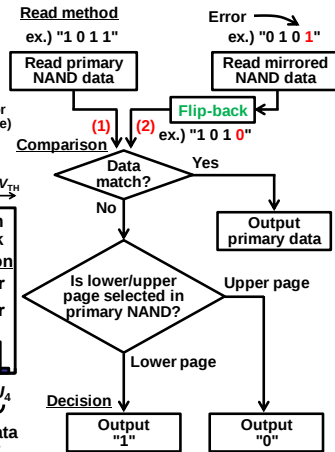


図 5. エラー削減機構.

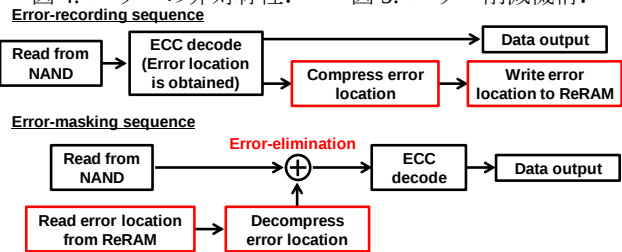


図 7. エラーマスキング.

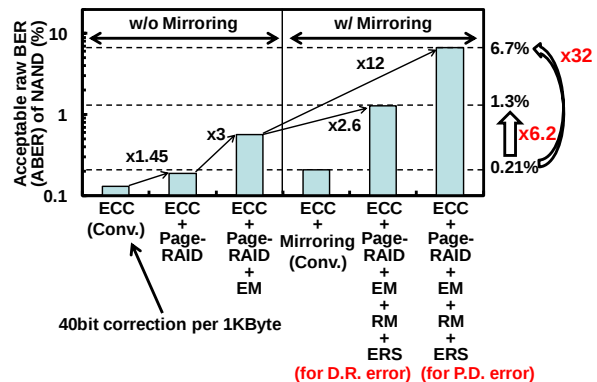


図 8. 全体的な信頼性の改善.