

# 大規模集積回路の信頼性ホットスポット見える化に関する一試行

木下克也<sup>†1</sup> 鷺見知彦<sup>†2</sup> 石原完<sup>†2</sup> 林磊<sup>†2</sup> 福井正博<sup>†2</sup>

集積回路の微細化技術の進展と共に複雑化する信頼性ホットスポットの問題に対して、電源ノイズおよび経年劣化を考慮したタイミングエラーの起きる危険度を「見える化」した。Windows PCで「見える化」システムの構築を行い、多層化による危険個所の浮き彫りを行うことができた。本表示システムは、汎用性が高く、今後の「見える化」システムの基盤として使用していくことができることを確認した。

## A Trial for Reliability Hot spot Visualization for Large-scale Integrated Circuits

KATSUYA KINOSHITA<sup>†1</sup> TOMOHIKO SUMI<sup>†2</sup> TAMOTSU ISHIHARA<sup>†2</sup>  
LIE LIN<sup>†2</sup> MASAHIRO FUKUI<sup>†2</sup>

In recent large-scale integrated circuit, hot spot for reliability becomes a complicated function. This paper has visualized the risks by noise of power gating, rising time, power consumption, timing, etc. The visualization system is built by Windows PC and the dangerous place is high-lighted by the multi-layered visualization system. This display system has high flexibility. We have checked that it can be used as a base of future "visualization" system.

### 1. はじめに

近年集積回路の微細化技術の進歩により、大規模回路を1つのLSIに搭載することが可能になったが、同時に信頼性に係る問題も顕在化している。例えば、リーク電力を抑えるパワーゲーティング手法では、スリープトランジスタのON/OFF時に電源に大きな電流が流れ、局所的な電源電圧低下や電源のLdi/dtノイズを引き起こす。回路動作に伴う動的電流によっても電源電圧が低下しタイミングエラーを発生させる。また、ホットエレクトロンやNBTI(Negative Bias Temperature Instability)等のトランジスタの経年劣化によるタイミング不具合も問題となっている[1]。100億個以上のトランジスタを搭載する次世代集積回路においては、さまざまな物理条件を考慮しつつ多くのシミュレーションを実行しなければならないが、条件が多いため、危険個所の見落としなどが発生しないように工夫が必要である。本稿では解析結果の問題点を「見える化」することにより回路の信頼性向上を促す手段の一試行例を示す。

### 2. 見える化

「見える化」とは、一目でわかりやすい情報を与えることによって、その情報を扱う人が容易に内容を整理することができ、整理した情報から新たな気づきが生まれ、問題解決を促進させる仕組みのことである。集積回路の設計において、「見える化」は、ホットスポットをわかりやすく示すことを意味する。ホットスポットとはノイズや経年劣化などのさまざまな劣化要因により、将来的にリスクが生じ

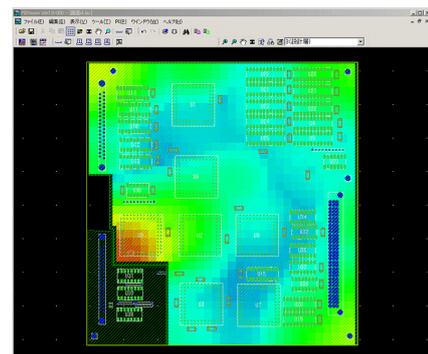


図1 PStreamによる「見える化」例  
Figure 1 Visualization example of the PStream.

る可能性のある回路上の場所のことをいう。集積回路の「見える化」の例として、DEMITASNXは回路のノイズを検出し「見える化」することにより、回路設計のなるべく早い段階でノイズ除去に役に立つ。PStream[2]は電源とグラウンドノイズがオーディオ信号や画像信号に影響をおよぼす電源系雑音を「見える化」し、雑音低減化設計に役に立つ。図1にPStreamの表示例を示す。

本研究では、さまざまな物理条件において、IRドロップ・Ldi/dtノイズ・立ち上がり時間・消費電力を「見える化」する。物理情報の表示レイヤーに加え、設計危険度の表示レイヤーも備え、複数のレイヤーを重ね合わせによる「見える化」の提案を行なう。

<sup>†1</sup> 立命館大学理工学部 <sup>†2</sup> 立命館大学大学院理工学研究科  
Ritsumeikan University Graduate School of Ritsumeikan University

## ． 画像表示プログラムの作成

### 1.1 設計目標

本研究では図2のような表示システムを目標とする．シミュレーションを行なう回路において，IR ドロップや温度などの物理情報に加え，それらが要因となって生じるホットスポットをマルチウィンドウで表示する．

### 3.2 ペイントプログラムの作成[3,4]

まずペイントプログラムを作成方法について述べる．同プログラムの主な仕様として，四角形と円をマウスで指定した任意の座標に描画すること，さらにマルチウィンドウ表示を実現させることとした．ペイントプログラムを作成する環境として Visual C++ 2010 を使用し，さらにマルチウィンドウ表示の実現のために，MFC (Microsoft Foundation Class) の MDI (Multi Document Interface) を使用した．MFC は Visual C++ 用に開発されたアプリケーション構築のためのアプリケーションフレームワークである．また MDI は，親ウィンドウ内に複数の子ウィンドウを表示させて管理するグラフィカルユーザインタフェースである．

MFC ではあらかじめ大まかなプログラム記述がおこなわれているため，目的の仕様に合わせて必要なプログラムを各クラスに追加すればよい．ドキュメント管理を行なう CDoc クラスには座標や色などの情報を格納する引数の初期化やメニューボタンイベントの設定，ペンの太さや色の設定に関する記述を行なう．ウィンドウ管理を行なう CView クラスには座標の取得を行なうマウスイベントや再描画に関する記述を行なった．また今回は新たに CDraw クラスを自作して追加した．このクラスは描画範囲の選択や描画図形の選択，ペンの色や塗りつぶす色に関する記述を行なった．このようにして作成したペイントプログラムの実行例を図3に示す．

### 3.3 表示プログラムの作成

#### 3.3.1. CMultiDocTemplate

ペイントプログラムをベースとするにあたり，ある問題が生じた．それは，ペイントプログラムで作成できるウィンドウは，全て同じドキュメント型のウィンドウであるということ，すなわち同じ型を持ったクローンウィンドウしか作成できないということである．つまり実際に集積回路の「見える化」を行なう際に，回路の各階層別の表示やホットスポット・パワーゲーティングなどの異なる情報を持つドキュメント型を複数表示することができないのである．そこで異なるドキュメント型を表示させるために，ウィンドウのベースである CView クラスを複数作成し，それぞれ異なる情報を持たせたドキュメント型を作成した．さらに，それらのドキュメント型を表示させるために CMultiDocTemplate クラスを用いた．このクラスは複数の異なるドキュメント型の表示をサポートする．実際に CMultiDocTemplate を用いると実行時にペイントプログラ

ムの実行時とは異なり，ダイアログが表示され，表示させたいドキュメント型を選択することができる．実際に回路を階層化表示させて実行した例を図4に示す．各階層の詳細な記述は，それぞれの CView クラスにて記述する．

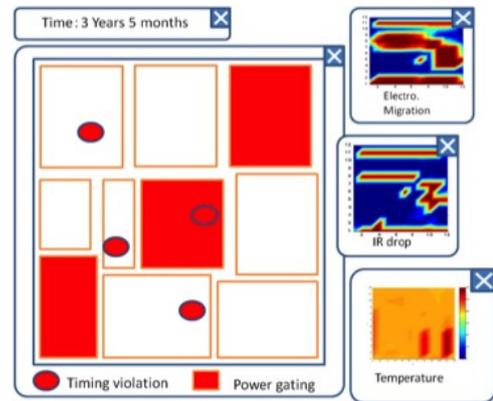


図2 表示プログラム例

Figure 2 Example of the display program.

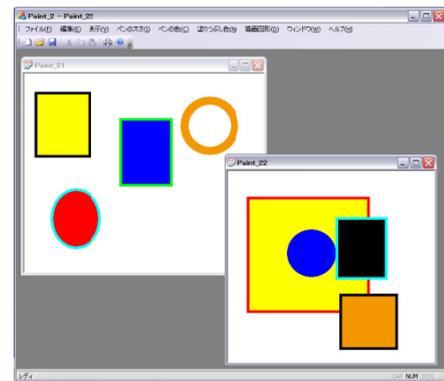


図3 ペイントプログラム実行例

Figure 3 Execution example of the paint program.

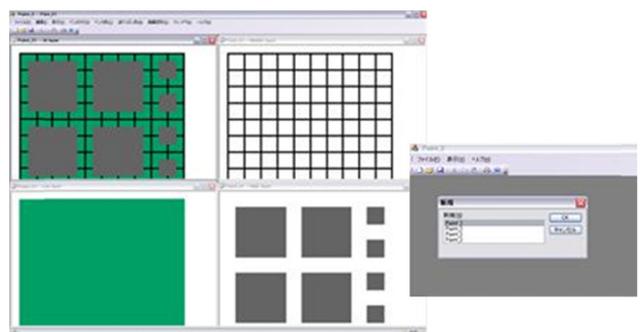


図4 回路の階層表示(左)とダイアログ(右)

Figure 4 Hierarchical display and dialog.

#### 3.3.2. スプライン補間

本表示プログラムでは， $n \times n$  の行列データの表示において，点と点の間の値を補間するためにスプライン補間を用いた．本稿ではスプライン補間の詳しい求め方については省略し，以下に概要だけ説明する．



機能ブロックごとにノイズに対する強さが異なるため、それらを考慮して配置することで信頼性の向上につながる。例えば、デジタル回路はノイズに強いが、メモリやアナログ回路は、ノイズに弱い。よって一般にアナログやメモリなどは LSI 周辺近くの電源が安定したところに配置する。電源配線に電源を供給するためのパッケージ端子部のインダクタンスによりラッシュカレントから引き起こされる Ldi/dt ノイズが発生する。

**(B) 信頼性指標**

パワーゲーティングのノイズに対する信頼性として、IR ドロップと消費電力、Ldi/dt ノイズを求め、各機能ブロックのノイズマージンとの比較により危険度 NoiseRisk を次式で表現する。ただし、それぞれの制約値は各ブロックに対して定義されているものとする。

$$\text{NoiseRisk} = \max(\text{IR ドロップ実値} / \text{IR ドロップ制約}, \text{Ldi/dt ノイズ実値} / \text{Ldi/dt ノイズ制約})$$

**(C) 「見える化」実験**

マルチ CPU コア部は多数の CPU によるマルチコア構成と想定し、それを4つのグループに分割する。コア4グループのうち2グループ、あるいは、4グループのスリープトランジスタを ON にして、回路を立ち上げた場合の電源配線上に生じた IR ドロップを観測したものを図8に示す。

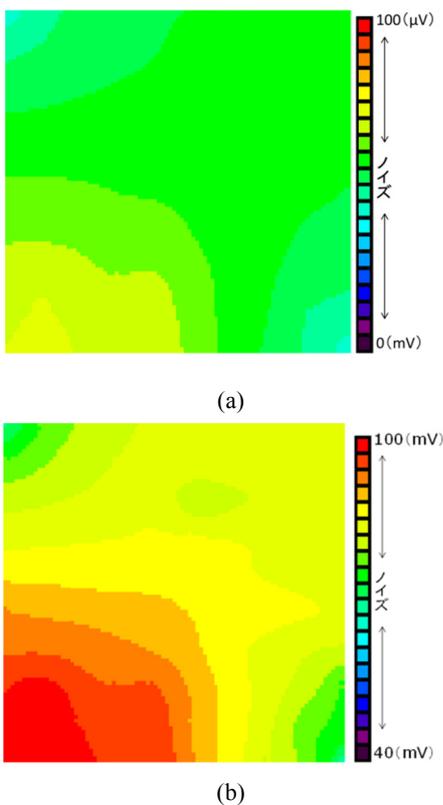


図8 IR drop の分布, (a)マルチ CPU の2グループを同時に ON した場合, (b) 4 グループを同時に ON した場合  
 Figure 8 Distribution of IR drop (a)when switching on two CPU groups, (b) four groups.

次に、マルチ CPU コア部の4グループのスリープトランジスタを同時に ON した場合の Ldi/dt ノイズの分布を図9に示す。図8,9によりある程度の危険な場所の予想はつくが、実際に問題となる個所は明確になっていない。そこで、前述の危険度関数を用いて、IR ドロップ、Ldi/dt ノイズ、ブロックごとのノイズマージンからホットスポットの図に変換して表示したものが図10に示すものである。

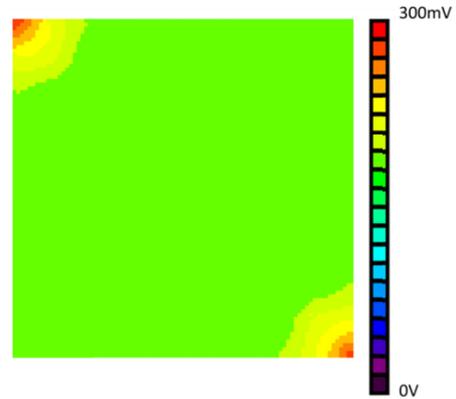


図9 Ldi/dt ノイズの分布  
 Figure 9 Distribution of Ldi/dt noise

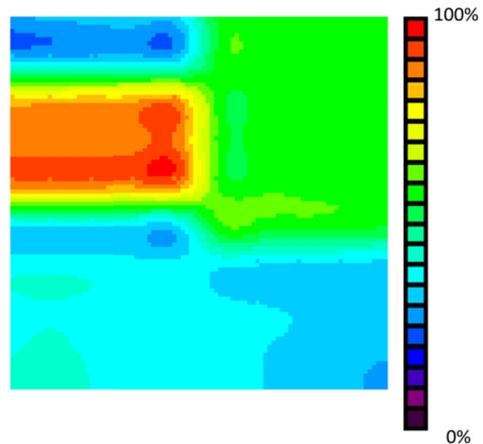


図10 電源ノイズによるホットスポットの見える化  
 Figure 10 Visualization of hotspots by power supply noise

**4.2. タイミングの経年劣化に対する信頼性**

**(A) 遅延モデル[5-8]**

電流特性の式から、しきい値電圧およびゲート長に関する遅延の式を導出する。電流特性に関する遅延は次の式より求められる。

$$\tau = \frac{C_L V_{dd}}{I_d} \quad (3)$$

しきい値電圧のばらつきやゲート長のばらつきは、トランジスタの電流特性をばらつかせるが、電流特性は以下の式で求めることができる。

$$I_d = \frac{1}{2} \beta (V_{gs} - V_{th})^\alpha \quad (4)$$

$$\beta = \frac{\epsilon_{ox} \mu}{Tox} \frac{W}{L} \quad (5)$$

$W$ はゲート幅,  $L$ はゲート長,  $Tox$  は酸化膜厚,  $\epsilon_{ox}$  は酸化物の電界である. これらのパラメータおよびばらつきは45nmプロセスよりフィッティングを行う.

トランジスタの経年劣化考慮するためのNBTIによる温度劣化は次の式により求める.

$$Kv = \alpha_{tox} \sqrt{C_{ox}(V_{gs} - V_t)} \exp\left(\frac{E_{ox}}{E_0}\right) \exp\left(\frac{-E_a}{kT}\right) \quad (6)$$

$$\Delta Vt = (1 + m)Kv (Si \cdot t)^{0.25} + \delta v \quad (7)$$

次に, IRドロップに関するドレイン電流の式を導出する. なお次式では温度および使用年数も考慮することができる.

$$I_d = \frac{1}{2} \beta [V_{gs} - V_{ir} - (V_t + \Delta Vt)]^2 \quad (8)$$

この式を上記の遅延式に反映させることで, 温度, 使用年数, IRドロップを考慮した遅延を求める.

### (B) Si とクリティカルパス遅延との関係

クリティカルパスの統計的な遅延を求めるには, オンタイム率  $Si$  を与える必要があるが,  $Si$  はトランジスタごとに異なっており, 個々の  $Si$  を求めるためにはスイッチレベルのシミュレーションが必要であり, 統計的に扱うことは困難である. そこで, ISCAS85 ベンチマーク C432 回路において, 入力信号の  $Si$  が 0.1・0.3・0.5・0.7・0.9 のパターンのトランジスタ解析を行い,  $Si$  を変化させた時のクリティカルパス遅延を図 11 に示す. 5 年後の ISCAS85 ベンチマーク C432 回路における  $Si$  別の回路遅延は,  $Si=0.5$  の場合が最も大きいことが確認できる. また, 文献[7]よりインバータチェーン, フルアダーについても  $Si=0.5$  の場合の回路遅延およびタイミングエラーリスクが最も大きい.  $Si=0.1 \cdot 0.3 \cdot 0.7 \cdot 0.9$  の場合の回路遅延と比較してみると, 遅延の増加比率は 1%以下である. また, タイミングエラーリスク値においても,  $Si=0.5$  の場合が最も大きい結果が得られた. そこで本研究では  $Si$  を回路遅延・タイミングエラーリスク値が最も大きい  $Si=0.5$  に統一し, リスク値の計算を行う.

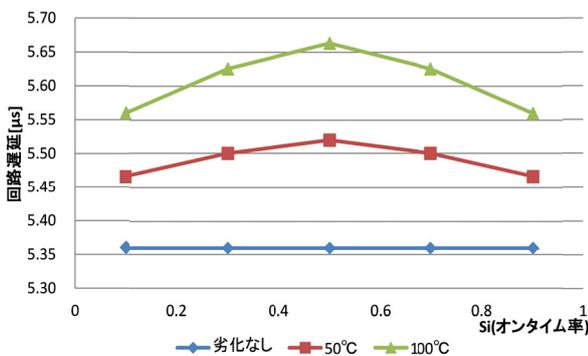


図 11 Si とクリティカルパス遅延の関係(C432)

Figure 11 On time ratio and critical path delay (C432)

### (C) 信頼性指標

NBTI 劣化モデルにおける信頼性として, クリティカルパスとタイミングバイオレーション確率を指標とする. タイミングバイオレーション確率は, まず IR ドロップやタイミング劣化がない理想状態で遅延時間を計測する. 次に理想状態での遅延データからバイオレーションの基準となる最大許容遅延 (超えてはいけない遅延基準量)  $D_{worst}$  を設定する. 具体的には遅延データを正規分布で近似して, その正規分布の成分平均  $\mu$ , 分散  $\sigma$  の値をもとに  $\mu + 3\sigma$  の値を最大許容遅延とする. 次に, NBTI による劣化が起きた場合, 同様に遅延時間を計測する. 計測した値に対して, 最初に設定した  $D_{worst}$  との比較を行い, NBTI の劣化が起きた場合のタイミングエラーのバイオレーション確率を求める.

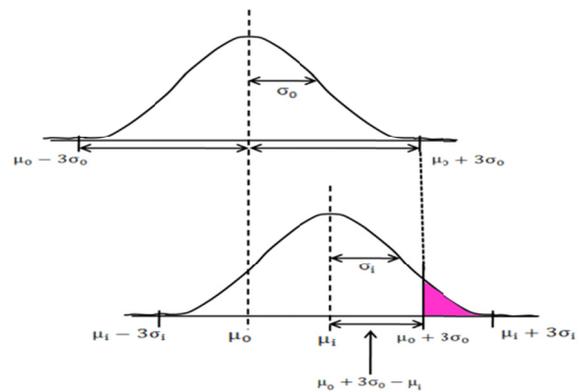


図 12 タイミングバイオレーション確率

Figure 12 Probability of timing violation

タイミングエラーのバイオレーション確率は図 9 のピンク色の面積である. ピンク色の部分の面積は(3)式で求めることができる.

$$Pv = 1 - \frac{\mu_0 + 3\sigma_0 - \mu_1}{\sigma_1} \quad (3)$$

タイミングバイオレーションは回路の各配置領域に適用され, タイミングバイオレーションが増加すると, チップ全体のタイミングエラーの危険度が上昇する. そこで, 本研究ではタイミングバイオレーションが 7%以上のとき, タイミングエラーリスクを 100%と定義する.

### (D) 「見える化」実験

チップ上に回路を配置し, そのクリティカルパスのタイミングデータをもとに温度, IR ドロップの分布を与え, 経年劣化を考慮して遅延を求め, タイミングエラーリスクの見える化を行う. 実験ではレイアウトモデルに基づき, ISCAS85 ベンチマーク回路の中で, 算術・ロジック・シフト操作を行う 8 ビット ALU の機能を持った C3540 回路を CPU・DSP 部に, タイミング制約の最も厳しい C6288 回路をメモリに配置し, クリティカルパスの計算モデルとした.

また、クリティカルパスのタイミングデータは SSTA により得られたものを用いる。ホットスポットの表現としては、タイミングエラーリスクを用いる。図 13 に、チップの温度分布、図 14, 15 に 5 年後, 10 年後のタイミングリスクを表示する。前節の電源ノイズによるホットスポットと重ね合わせ、信頼性の問題個所を浮き立たせる。

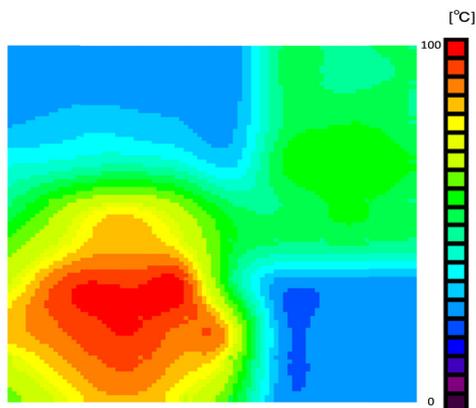


図 13 温度分布

Figure 13 Distribution of temperature

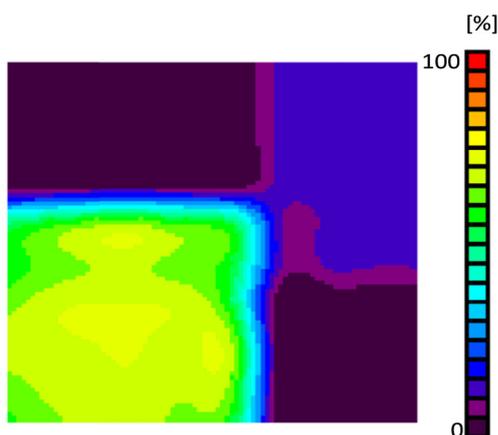


図 14 タイミングリスク分布(5年後)

Figure 14 Distribution of timing risk (5 years later)

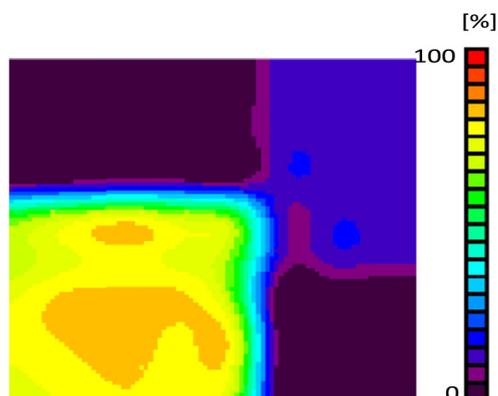


図 14 タイミングリスク分布(10年後)

Figure 14 Distribution of timing risk (10 years later)

チップ上に回路 (SSTA により得られたタイミングデータ) を配置し温度および IR ドロップの分布を与えることで、タイミングエラーリスクの見える化が実現できていることが確認できる。

## 5. 結論

集積回路の微細化技術の進展と共に複雑化する信頼性ホットスポットの問題に対して、電源ノイズおよび経年劣化を考慮したタイミングエラーの起きる危険度を「見える化」した。Windows PC で「見える化」システムの構築を行い、多層化による危険個所の浮き彫りを行うことができた。本表示システムは、汎用性が高く、今後の「見える化」システムの基盤として使用していくことができることを確認した。

また、電源ノイズおよび経年劣化を考慮したタイミングエラーそれぞれについて、直感的にとらえやすい指標を提案し、それを、マップ化することにより、実 LSI を想定したテストチップにおいて、信頼性ホットスポットの明示に成功した。今後は、本システムに改良を加え、より一般的なシステムとして完成度を高めていく予定である。

## 謝辞

本研究の一部は、平成 24 年度科学研究費補助金基盤(C) 23500071 の基に行われた。

## 参考文献

- 1) Paul B.C, Kunhyuk Kang, Kufuoglu H, Ashrafal Alam.M, Roy K., " Temporal Performance Degradation under NBTI: Estimation and Design for Improved Reliability of Nanoscale Circuits ", Design, Automation and Test in Europe, 2006. DATE '06. Proceedings, vol. 1, pp. 1-6, March 2006
- 2) PStream, <http://www.nec.co.jp/soft/pistream/function.html>
- 3) 清水康晶, “作ってわかる Visual C++6.0,” 秀和システム. (2000年6月)
- 4) 吉村和美, 高山文雄, “パソコンによるスプライン関数,” 東京電機大学出版局. (1988年12月)
- 5) Ricketts, A. Singh, J. Ramakrishnan, K. Vijaykrishnan, N. Pradhan, D.K., " Investigating the impact of NBTI on different power saving cache strategies", IEEE Design, Automation & Test in Europe Conference & Exhibition, pp. 592-597, 2010.
- 6) B. C. Paul, et. al., "Impact of NBTI on the Temporal Performance degradation of digital circuits," IEEE Electron Device Letters, vol. 26, no. 8, Aug 2005.
- 7) 長田賢明, 福井正博, 築山修治, “NBTI を考慮した電源配線最適化の一手法,” 信学技報, vol. 111, no. 450, VLD2011-132, pp. 73-78. (2012年3月)
- 8) Fukui Masahiro, Nagata Yoriaki, Tsukiyama Shuji, "A power grid optimization algorithm considering timing degradation by NBTI", ISOC, SoC Design Conference (ISOC), 2011 International, pp. 341-345, Nov 2011