

I.F.I.P. 論文紹介*

25. 時分割方式を用いたデータ処理システムの設計

J. Oblonsky and A. Svoboda: Design of a Data Processing System with Built-in Time-Sharing [XIX-1, pp. 310~313,]

この論文は、汎用電子計算システム EPOS について述べたものである。この計算機の特徴は、制御方式に外部時分割と内部時分割を採用していることである。

この計算機で用いられている外部時分割は、一つの計算システムで異なった種々のプログラムを同時に処理する機能のことで、EPOS 計算機は五つの入出力ユニットをもっていて、その各々から独立にプログラムを入力できる。入出力装置にはカード読取機、テープ読取機、テープさん孔機、ラインプリンタなどがある。記憶装置としては1台5,000語まで記憶できる磁気ドラムが10台まで増設可能であり、磁気コアは1,000語で、40,000語まで増設できる。演算時間は固定の加算が $52\mu s$ であるのに反して、乗算には $208\mu s$ 、除算には約 $1.2ms$ を要する。そこで外部時分割とともに内部時分割を採用し、これによって比較的時間のかかる乗除算の命令が実行されている間に、同一プログラムに属する他の命令を同時に行なわせている。この機能をもたせるために、中央計算装置は特別の加算器を設けている。この内部時分割の採用により、固定の除算は実質的には $52\mu s$ に減じている。

中央制御装置は演算ユニット、制御ユニット、組織ユニットからなっており、組織ユニットは全システムに通じていて、一つのプログラムから他のプログラムに切り換えを行なう。制御ユニットが切り換えられると、切り換えられたプログラムは次に挙げるような状態のうちのどちらかが生じない限り、そのプログラムを続けることになる。

- a) 指定されたユニットの一つが、まだ命令された動作を実行する準備ができていない場合。
- b) 他のプログラムに指定されたあるユニットが何らかの動作をしようとしている場合。
- a) の場合は組織ユニットはそのプログラムを中断

し、いったんそのプログラムを記憶し、他のプログラムに切り換えられる。b) の場合は組織ユニットが全システムの状態を判断して他のプログラムに移る。すなわち、いま実行中のプログラムが次の命令を実行する前にその命令の優先権と他のプログラムの優先権とを比較し、もし大きければそのままそのプログラムを実行するが、そうでない場合は他のプログラムに切り換わる。

この優先権の決定は外部附属装置のとり得る状態を a) active, b) blocked, c) indifferent の三つの状態に分類し、各プログラムに優先順位を与えている。この場合考慮される三つの状態は、たとえばカード読取機を考えた場合、バッファ記憶に情報が満たされているときは active な状態であり、カードの内容を読み出す命令が与えられ、またバッファは新しいデータで満たされる前にその内容を移す命令が与えられれば blocked の状態となる。

また indifferent の状態とは、以上のどれにも属さない状態としている。これらの判断は非常に高速に行なわれ、プログラムは瞬時に切り換えられることが説明されている。(石井善昭)

26. 論理設計データを蓄積し修正する実験システム

R.J. Preiss: An Experimental System for Logic Design Data Accumulation and Retrieval [XIX-2, pp. 314~317,]

この論文は、技術者の設計の仕事を自動的に行なわせるための実験システムについて述べたものである。

まず設計の自動化を行なうためには、次の条件が満たされていなければならない。第一に設計を表現するのに自然でわかりやすい表現をみつけること、次に設計する機械の組立、試験、保守などに必要な情報が一つのダイアグラムで要約でき、他はそれからひき出せること、第三に技術者が任意にほんの僅かな労力で設計データの組み合わせを変更できるようになっていること、そして最後に重要なことはその設計データを他の計算機のプログラムが読めるようになっていることである。

設計の自動化システムに如何なる表現法が最適であるかがここでは検討されており、この実験システムで

* 前号に引き続き第2回国際情報処理学会の提出論文(本誌 Vol. 3 No.4 参照)を Preprint of the Proceedings of the IFIP CONGRESS 62 (Aug. 1962) から紹介します。

はブロックダイアグラムと Polish 表現を併用することになっている。設計リストを作るのにも、この Polish 表現は都合がよい。実際の計算機に設計を行なわせる場合は、設計データはマスターテープに挿入され、そこで種々のチェックが行なわれ、新しいデータが入るごとにマスターテープは更新されていく。

計算機によって印字される形式は各ラインからなり、一つのラインが設計情報の1ユニットとなり、このラインが幾つか集って節を、節が集ってページを、さらにこの幾ページかにより一つの設計が構成される。

各ラインには照合番号が附されていて、これにより技術者は必要なラインあるいは節、ページを容易に索引できる。この実験プログラムはここ半年以上にわたって動作しており、50ページまでに及ぶ設計がこのシステムにより作られており、その数は現在までに10に及んでいる。このシステムでは他に注釈ラインと注釈ページがつけ加えられており技術者は注を加えることができるようになっている。

またこの新しいダイアグラムを理解できるかどうかを実際に試験しており、技術者が2〜3時間 Polish 表現を学習すれば十分理解できることが証明されたと述べている、
(井上武彦)

27. ETL MK-6 の方式設計

S. Takahashi, H. Nishino, K. Yoshihiro and K. Fuchi: System Design of the ETL Mk-6 Computer [XIX-4, pp. 322~324]

本論文は電気試験所で設計中の新計算機 Mk-6 の方式の概要を述べている。本計算機は基本回路8 Mc2 相を中心とし、Kilburn 加算回路などを使用することにより、1語を48ビットとして加算 $1/4 \mu s$ 、乗算 $4 \mu s$ あたりの演算速度を目指している。その方式上の特徴は次のとおりである。

記憶装置の多重構成：内部記憶装置としては、磁気ドラム258,048語、磁心マトリックス4,096語 $\times$ 2(アクセス $2 \mu s$)、トンネルダイオード記憶装置128語($1/4 \mu s$)を持っている。この3段の記憶装置を一体として能率的に使用するため、金物的に次のような結合を行なっている。すなわち、ドラムと磁心の間は、ATLAS に始るページ・アドレス方式を採用し、磁心とトンネルダイオードとの間には、後で述べるプログラムスタック、演算スタックで結んでいる。

ページアドレス方式というのは、全記憶領域258,048語を各512語のページに分ける。原籍はドラムにあるが、磁心にブロック転送されたページは「開かれている」といい、開かれたページのアドレスは PAR と呼ぶレジスタに記憶されている。記憶を呼び出すごとに PAR を調べ、開いていれば磁心から呼出し、開いていなければ<割り込み>により主制御プログラムへ行き、そこで必要なページを開く(同時に不急のページを閉じる)。

なお、内部記憶装置として他に、4,096語($1/4 \mu s$)の固定記憶装置を持っている。

プログラム・スタック：トンネルダイオード記憶装置中、64語をあて、先廻り制御で先取された命令と共に、既に行なわれた命令をここに残しておく、小さいループはこの中にとらえられ、そのループ実行中は、命令のために磁心を読み出す必要はない。この操作も自動的に行なわれる。

演算スタック：これは Burroughs B5000 などで行なわれた、push down 方式の記憶装置で、トンネルダイオード32語をあてている。ここには、計算の中間結果や、サブルーチンへのリンクなどが自動的に貯えられる。これは ALGOL などの言語からのコンパイルを非常に容易にする。

指標レジスター群：トンネルダイオード記憶装置の31語は、指標レジスターとして、修飾、計数などに用いられる。

命令形式：命令はプログラムが(逆)ポーランド記法で書けるようになっており、自動修飾、間接アドレスも可能である。またオペランドとしては名前(name)と値(value)を区別し、これは、プログラムの形式的な取扱いを容易にする。
(淵 一博)

28. 重層記憶を使用した演算装置の設計

R. H. Allmark and J.R. Lucking: Design of an Arithmetic Unit Incorporating a Nesting Store [XIX-5 pp. 325~328]

重層記憶(nesting store, 穴蔵式記憶装置)を使用した演算装置の設計について述べている。方式設計上の思想としては B-5000 におけるそれとなんら変わるところなく、この点での新味はない。ただ構成図解などいくらか詳しいものが見ついている点よみやすい論文であるといえよう。

ここに構想されている計算機は汎用同期式並列計算機で、48ビット32,678語の磁心記憶装置をもつ。四

重までのプログラムを時分割で行なえるという。命令は次の四つにわかれる。

- a) 主記憶装置と演算装置との間の情報転送
- b) 重層記憶にある情報に対する演算操作の実行
- c) 条件付または無条件飛越し
- d) 入出力周辺機器の制御

1語は8ビットずつの6綴にわかれ、演算命令は1綴で、その他の命令は通常3綴であらわされる。演算命令は重層記憶の最上層 (most accessible cells) と考えられる二つのレジスタに対して働く。機構的にみれば最上層の三つまでが高速レジスタで演算装置に組みこまれており、その他は主記憶装置の一部を兼用している。このようにして次の長所を生むという。

- 1) プログラムが作り易い。
 - 2) プログラムの能率がよい。
 - 3) 記憶制御部分と演算制御部分とを分離できる。
- しかし、これらが長所といえるにしても、特に新しいものではない。

(野崎昭弘)

29. 最近のプログラミングの方法と問題 およびそれらの計算機設計に及ぼす影響

I.O. Kerner: Modern Programming Methods and Problems and Their Influence on the Design of Computing Instruments [XIX-6, pp. 329~332]

プログラミング上の問題が設計方式に影響を及ぼした例は少なくないが、歴史的にはまずレジスタの設定が挙げられるであろう。現在流行の優先(priority)制御なども、そのあらわれとみることができる。

プログラミングの問題とは、総じて解法を定式化するための言語の問題であるといえる。機械語や機械向言語、問題向言語などがわかれている現在、その間の翻訳プログラムの問題をさけることはできない。

これまでに、新しい広い言語が原始的な言語から構成できるということはよく知られている。同じ道すじは計算機の設計にもみられる。それは模擬の方法で所与の計算機が新しい能力を獲得するという道と、相互接続により基本ユニットから大形計算機が形成されるという道とのいずれかを経て行なわれる。

このような推論の後に、筆者は論理演算の問題、コーディングおよび記憶装置の問題をとりあげている。論理演算に関する広い要求に応えるためには演算装置とは独立に論理演算装置を設けるとよい。コーディングの問題は翻訳プログラムによって解決されるであろう。記憶装置の構造はプログラミングの問題と密接な

つながりをもっている。特に可変長語の記憶装置は高精度演算の実行を容易にする点、興味深い。以上が論旨の要点で、その他記憶装置の構造について若干の分類を行なっている。

小論文の限界でもあろうが、分析は厳密とも鋭敏ともいいがたい。示唆する所は少ないように思う。

(野崎昭弘)

30. 融通のきくデジタル計算機の演算装置

A. Avizienis: On a Flexible Implementation of Digital Computer Arithmetic [XVIII-3 pp. 297~301]

計算機の演算は機械語で定まる固定長で行なうのが普通である。これに対し本文は、任意の有効桁数を扱うのに便利な融通のきく演算装置の構成法を述べる。

数値の表現には桁ごと符号付表現を用いる。これは、 r 進法の数字 X を

$$X = \sum_{i=-n}^{i=m} x_i \cdot r^{-i} \quad (x_i = 0, 1, 2, \dots, r-1)$$

とすると、これに対し x_i から

$$x_i = r \cdot t_{i-1} + w_i \quad (|w_i| \leq r-2; t_i = -1, 0, 1)$$

$$z_i = w_i + t_i \quad (|z_i| \leq r-1)$$

なる z_i を求め

$$z = \sum z_i \cdot r^{-i}$$

として表現する方法である。この表現によると、2数の加算による桁上げは隣の1桁に及ぶだけで、完全並列加算が可能となる。

演算は最高位の有効数字の側から行なう。結果が必要な桁数に達したら演算を打ち切る。並列加算器の桁数の方が少ない場合は、同様に最高位の側の桁から演算を進め、下位の側の桁へと繰り返えして加算器を用いる。桁ごと符号付表現法を用いることにより、このような演算順序が可能となる。

本文は乗算、除算の方法、必要な桁で演算を打ち切ることによる偏りの除去法、浮動小数点演算への適用等について述べている。

(山田正計)

31. 演算装置の伝搬高速化回路の比較

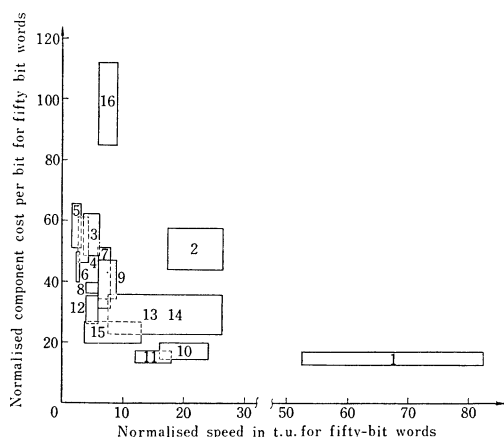
M. Lehman: A Comparative Study of Propagation Speed-up Circuits in Binary Arithmetic Units [XVIII-4, pp. 302~306]

従来知られている並列2進加算方式の代表的なものについて、動作速度と価格の比較を行なっている。検討している方式は、桁上げ記憶型、伝搬終了検出型、

同時桁上げ型, ピラミッド型, 桁上げ飛び越し型, および条件和型で, それらの具体化方法を何種類か挙げている. 比較する場合の基準条件としては,

1. ダイオードとトランジスタの価格比は 1 : 3~5 である.
2. AND および OR の入力数は各々最大 5 であり, AND-OR の次にはエミッタフォロまたはインバータが入る. 5 段の AND-OR-EF の後で信号レベル再生回路を必要とする.
3. AND-OR-EF の時間遅れを基準 (t.u.) としてレベル再生, インバータ, エミッタフロアの遅れは $1/4 \sim 1/2$ t.u. である.
4. フリップ・フロップはトランジスタ 4 個, ダイオード 4 個よりなり, その反転時間は $1/4 \sim 1/2$ t.u. である.

などをとる. 第 2 表は, これらの条件によって 50 ビットの加算器を構成した場合の素子数と速度を示す.



第 1 図

また, 第 1 図はこの関係を表したものである.

(鶴飼直哉)

第 2 表

Philosophy	Ex No	Realisation	Average Component Count per bit		Normalised Component Count		Average Normalised Speed in t.u. for 50-bit word		Special Comments
			Diodes	Transistors	Min.	Max.	Min.	Max.	
Conventional Carry Storage	1	Simple Logic Radix Four with Carry Generator (modified Illiac II)	6	2.2	12.6	17	52.5	82.5	All speeds for Carry Storage networks assume an arithmetic order distribution of 48% addition 47% multiplication 5% division. Time assumes that assimilation is required for 3% of all additions except those occurring during multiplication. The circuit is penalised since shifts require assimilation.
	2		23	7	44	58	17.3	26.3	
	3		28.5	6.8	48.9	62.5	3.5	6.1	
	4	Leading Assimilation with simple Logic	24	7.5	46.5	61.5	2.7	4.4	
	5	Radix Four-Leading Assimilation with Carry generator.	29.5	7.3	51.4	66	1.6	3.1	
	6	Stored Skip	25	7	40	50	2.5	3	
Carry Detection	7	Transistor equivalent of Gilchrist et al.	16	5	31	51	Order 7		The circuit does not require a safety margin
Simultaneous Carry	8	Transistor equivalent of Weinberger et al.	31	1.8	36.4	40	4	6	The interconnection rules relating to gate size were somewhat relaxed here
Pyramid Carry	9	Transistor derivation of Nadler	15	6.5	34.5	47.5	6	8	Possibility of simultaneous addition not allowed for. The addition of carry-detection flip flops may reduce the time to 2.3 — 3.5 t.u.
Carry Skip or Look Ahead	10	Simple Skip Group and Subgroup Complete Skip	7	2.6	14.8	20	16	24	The Circuit can be speeded up by using Kilburn type circuits.
	11		7.4	2	13.4	17.4	12	18	
	12		15	3.7	26.1	33.5	4	6	
Exclusive OR	13	Kilburn et al Salter Radix Four Exclusive OR	4	6.2	22.6	35	7.5	26.3	Kilburn's and Salter's circuits appear to be equally fast though effective speeds given by the authors are different.
	14		6	6	24	35	7.5	26.3	
	15		10	4.6	19.8	27	3.8	13	
Conditional	16	Sklansky	44	13.7	85.4	112.5	6	9	The circuit could be made slightly more efficient by abandoning the exclusive use of two-input gates.

32. 非同期情報流の理論における基礎

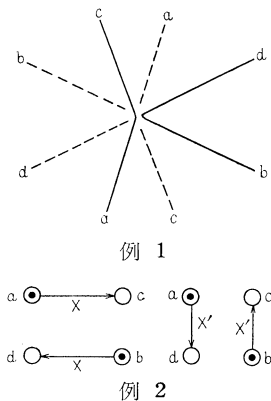
C. A. Petri : Fundamentals of a Theory of Asynchronous Information Flow [XI-1, pp. 166 ~168]

物理現象を表現する数学的モデルを考える場合、情報流に関するモデルを描くことは、最も一般的なやり方であると通常考えられている。しかし、よく検討してみると、この方法は必ずしも常に満足すべきものではないようである。すなわち、現象を効果的に記述するためには、情報流だけでなく、情報を操作する機構上の物理法則や仮説が必要となる場合が多いからである。

この論文の目的は、物理現象それ自体をなるべく忠実に表現しながら、しかも全体の情報流を記述できるようなモデルの考え方を示すことにある。

まず最初にあらゆる過程が不連続な event T で構成されていると考える。各 event 間の関係を示すために state S という概念を導入する。各 event はある state を他の state に変換するものと解釈することもできる。 S と T とは概念的には双対の関係にあるから、公理的にはそのいずれか一方で十分であるように思われ勝ちであるが、この両者を並用することによって、モデルを単純化し複雑な系を扱うための有力な道具となることが実証される。

たとえば図に示すような二つの粒子の衝突現象を考える。この場合に state element は衝突点で交わる4本の直線に相当する。衝突前の二粒子を a, b とすれば、event は a が c に、 b が d に遷移することに該当する。また別の例として図に示すように S を四つのグラフ節点（小円で示す）とし、円内の点は信号を表わすものとする。このとき T は S の中から選ば



れた二つの対要素を結ぶ2種類の弧となる。 T のきめ方には図に示すように二通りの違った方法がある。また弧には矢印をつけて、信号の伝達方向を示すものとする。

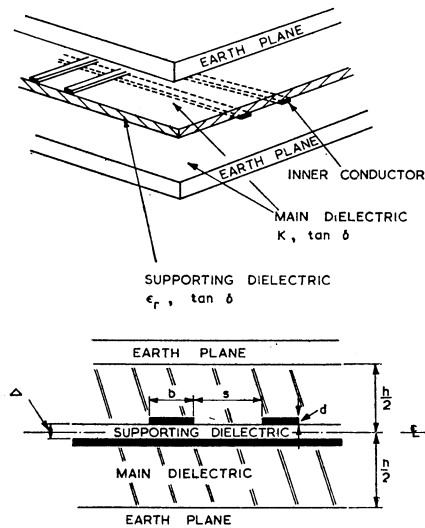
このようなグラフを用いると、与えられた state 間を結ぶ event の選択や、情報流に関する議論などが、効果的に行なえることが実証された。（飯島泰蔵）

33. 薄膜メモリマトリクスにおけるパルス伝送

J.D.R. Mcquillan : Some Problems in the Design of Magnetic Film Storage System Operating at Millimicrosecond Speeds [XVI-2, pp. 256~260]

最近の計算機技術の関心は高速 ($m\mu s$) 大容量メモリにある。このような高速メモリの構成はマトリクスであって、read-write cycle が $10 m\mu s$ 以下、100万ビットのメモリマトリクスの設計条件を求めるのがこの paper の目的である。定性的には、たがいに直交する shielded strip line からなる matrix plane と、termination のパルス伝送特性を解析する。

メモリマトリクスの構造、諸元を第1図のごとく設定して、shielded strip line の特性インピーダンスの式を導いている。これには $d/h, d/h$ (第1図) および絶縁体の ϵ_r が関係する。隣接する strip line の間の干渉は space parameter s/h に関係する。各 strip line について等価幅 D を考えると、 $0 < d/h \leq 0.1$ を



第1図

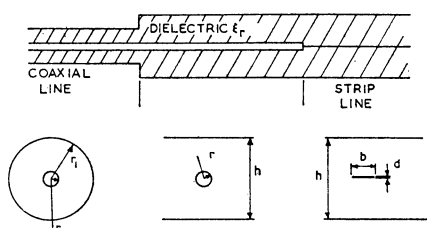
仮定すれば、対称構造では、 $b+s=D$ 、あるいは $s/h \geq (2/\pi) \log_e 2$ が隣接線路間隔を決める条件となる。

伝送線路の等価回路を第2図のごとくおいて、この線路の特性インピーダンス、位相特性を導いている。

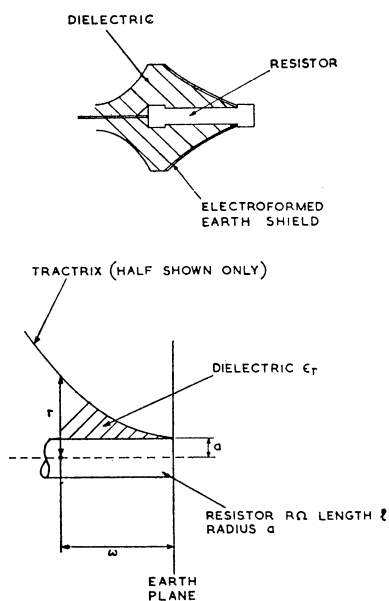
coaxial cable と strip line の接続におけるパルス伝送に対して、第3図のごとく a, b, c の3種の section を考えて、a と b, b と c のそれぞれの間の



第2図



第3図



第4図

整合条件を検討する。線路の終端は、円筒形の固定抵抗と、electroformed earth shield を用いて第4図のごとく設計する。strip line の場合はカード状の抵

抗を用いて同様の設計をすることができる。

第1表

Parameter	Value	Reason
Conductor width	$10^{-4} < b < 2 \times 10^{-3}$	Free choice
Conductor thickness	$d = 3.4 \times 10^{-5}$	Commercial availability.
Line spacing	$s/h \geq 0.45$	Design criterion
Supporting dielectric thickness	$d/h \leq 0.1$	Design criterion
Supporting dielectric permittivity	$1 < \epsilon_r < 5$	Commercial availability
Earth plane separation	$h \geq 2 \times 10$	Minimum of $d \sim 2 \cdot 10^{-4}$
Main dielectric permittivity	$K=1$	Free choice

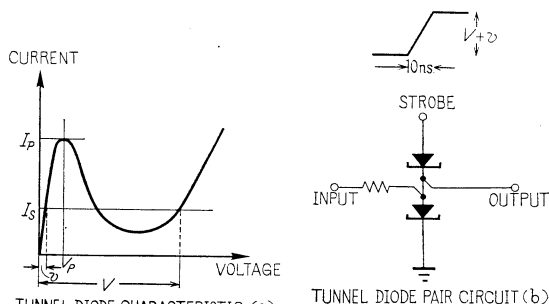
以上を総合すると、マトリクス設計に当って、まずパラメータ: b, h を適当に選定し、 d を 2×10^{-4} の程度にとると他のパラメータは第1表によりその範囲が決まる。(鬼塚武郎)

34. 高速非破壊読出し記憶装置の読出し回路

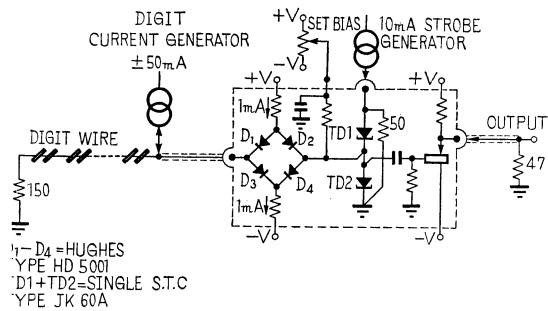
G.H. Perry, E.W. Shallow: A Read-out Circuit for High-Speed Non-Destructively Read Stores [XVI-3, pp. 261~264]

情報が正負の極性で読出される高速メモリーの読出し回路に関するものである。対象とするメモリーの仕様は、読出し出力 $\pm 5 \text{ mV}$ 、内部インピーダンス 150Ω ストロブの最大幅は 40 ns である。さらに digit current generator が読出し線につながっているが、書込み時に digit current が側流することを防ぎ、読出し出力レベルの1,000倍以上の電圧が digit wire に生ずるのに対し、これだけのダイナミックレンジを設けることを避けたい。以上の要求を満足する読出し回路として、後藤ペアトンネルダイオード回路をとり上げている。

第2図にあるのがその基本形である。 $V+v$ なるス



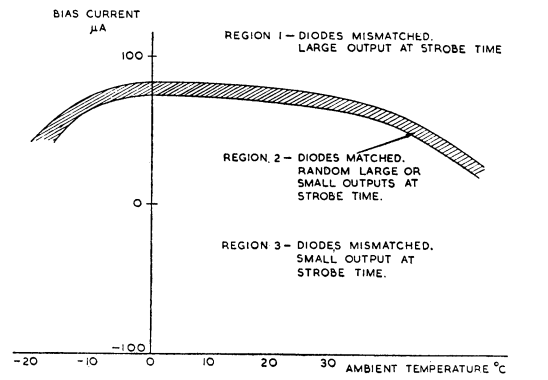
第2図



第 4 図

トロープ電圧を後藤ペアに加えた時、ストロープ電圧の立上り時に与えられる正負のタネ電流によって後藤ペアの保持する情報がきまる。タネ電流は $\pm 10 \mu\text{A}$ 程度で十分である。

digit wire に結合した全回路が第 4 図である。読出し回路の入力にブリッジに組んだダイオードリミッタがあり、 $\pm 1 \text{ mA}$ 以上の入力に対しては高低抗を示し、digit current の側流を避けていると同時に I_p (5 mA) 以上の入力が与えられて後藤ペアをトリガーするのを防いでいる。ダイオードは 0.5 mA のバイアス電流で 150Ω になるように選んである。出力回路は、AC 結合にして温度によるベース電流の変動の影響を避けている。ペアトンネルダイオードのアンバランスを補正するためにバイアス電流を流す。



第 6 図

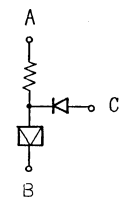
この回路の一番の問題点は温度特性である。第 6 図は測定の一例で、タネのない場合のトリガー状態を示し、ハッチ部が dark region で、ノイズレベルを示し $\pm 5 \mu\text{A}$ の幅がある。これより $\pm 10 \mu\text{A}$ の入力の場合には、温度によりバイアス電流を制御する必要があることがわかる。周囲温度の制御を行なうならば、

たとえば、 45°C で動作させるときには、 $\pm 1^\circ\text{C}$ の制御が必要である。(萬代博亮)

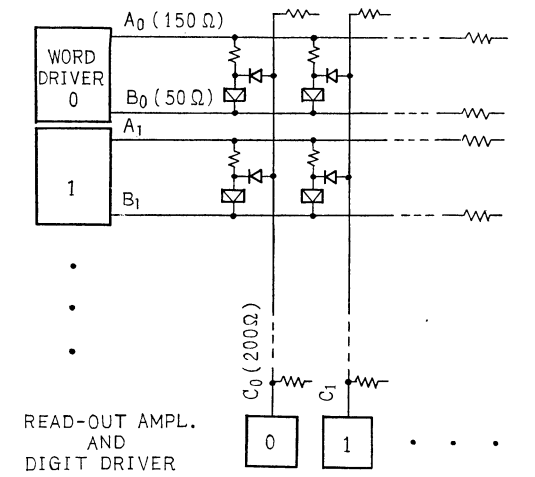
35. トンネル・ダイオード高速記憶装置

S. Takahashi, O. Ishii, K. Nakazawa and K. Murata : Tunnel Diode High-Speed Memory [XVI-4, pp. 265~267]

計算機の基本回路の高速化に伴って従来の磁心記憶装置よりも高速な記憶装置の必要性が強くなって来た。この種の高速、小容量の記憶装置として、トンネル・ダイオード、抵抗および点接触形 Ge ダイオード各 1 本からなる記憶素子 (第 1 図) を提案し、これによる 17 ビット、16 語のモデルを組立てた。マトリクスの構成は第 2 図に示すように語配列であり、情報の読出し、書込みは点接触形ダイオードを介して行なわれる。このため選択されない語に属する記憶素子が電氣的に切り離されるので、抵抗またはコンデンサを介して結合される従来の方式にくらべて語数を大きくすることが容易である。



第 1 図



第 2 図

読出しは非破壊で行なわれるから再書込みの必要がなく、駆動回路が簡単となる。実装においてはマトリクス面の各駆動線を印刷配線による不平衡形のマイクロストリップ線路として構成し、終端におけるインピーダンス整合をとった。272 ビットの試作マトリクスを、5 Mc 二相に同期した試験計算機に接続し、呼出

し時間 100 ns サイクル時間 200 ns で動作することを確めた。この結果にもとづいて 50 ビット 128 語の規模に拡張する予定である。(石井 治)

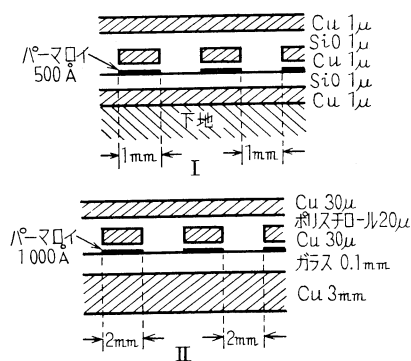
36. 磁性薄膜計算機素子の大きさと速度について

H.J. Harloff: Size and Speed of Thin-Magnetic-Film Computer Units [XVII-1, pp. 268~273]

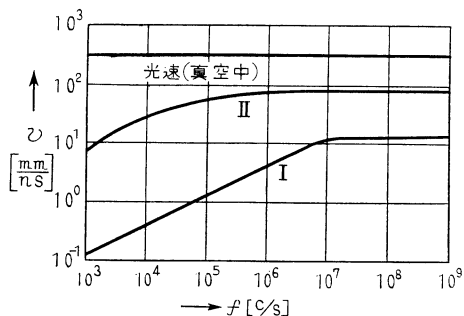
高速度の記憶素子, あるいは論理素子として, 磁性薄膜はその磁化反転速度が 1 ns 程度に早いので, もっとも有望なものであるが, 1 ns の間には光ですら 30 cm を伝播できるにすぎない。したがって薄膜スイッチングの高速性を十分に活用するためには, これで構成される計算機ユニットの大きさを cm の範囲に制限しなければならないという問題がおこる。

本論文では, 駆動線や出力線を信号が伝播する際に伴う伝播遅れや減衰を考慮に入れて, 許されるユニット寸法がどの程度になるかを検討したものである。

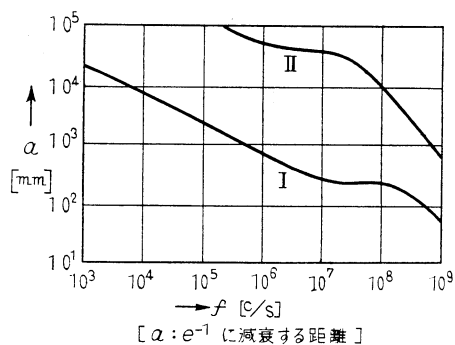
そのためにはまず薄膜導体に沿っての信号の伝播を考えなければならない。銅薄膜—絶縁薄膜—銅薄膜か



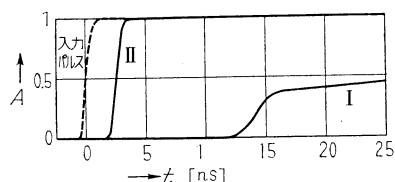
第1図 薄膜マトリックスの断面



(a) 位相速度—周波数特性



(b) 減衰距離—周波数特性



(c) 20 cm のストリップ線を通過した時のパルスの遅れと歪み

第2図

ら成るストリップ線と, 銅—絶縁物—パーマロイ—絶縁物—銅から成る多層薄膜ストリップ線とについて, 位相速度と減衰を相互比較した。その結果, およびすでに知られている一軸異方性パーマロイ薄膜の有する特性とを組み合わせることにより, 第1図に示すような構造の薄膜マトリックスの2者について, その特性を検討した。第2図 (a) は位相速度—周波数特性, (b) は減衰量—周波数特性を示し, (c) はそれぞれ 20 cm 長のストリップ線にパルス信号を加えた場合の遅れと歪みを示すものである。

第1表

	マトリックス I		マトリックス II	
ビット密度	25 ビット/cm ²		6.25 ビット/cm ²	
駆動電流パルス	0.37 A (1.7 Ω)		0.75 A (14 Ω)	
立上り, 下り時間	1 ns	10 ns	1 ns	10 ns
パルス幅	5 ns	30 ns	5 ns	30 ns
読出し信号	40 mV	8 mV	160 mV	32 mV
駆動線でのパルス伝播速度	1.4 cm/ns		7.8 cm/ns	
駆動パルスが 80% に減衰する距離	3 cm	5 cm	40 cm	500 cm
アクセス時間 5 ns の場合の最大記憶容量	15 ビット 25 語	—	50 ビット 50 語	—
アクセス時間 25 ns の場合の最大記憶容量	—	25 ビット 30 語	—	50 ビット 1,200 語
記憶容量を制限する因子	減衰と遅れ	減衰	遅れ	遅れ

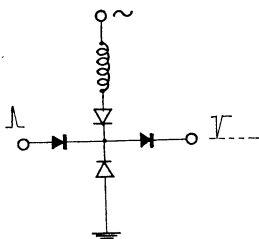
これらの結果から明らかなことは、マトリックス I のように薄いストリップ線では、駆動に要する電流振幅を減らすことはできるが、信号の減衰が著しいためにユニット寸法を大きくとれず、最大の記憶容量が制限される。これに反してマトリックス II のように、やや厚目のストリップ線では、減衰は問題にならないので、ユニット寸法は伝播遅れによって制限される。これらの関係を明らかにするため、両者について得られた数値をまとめたものが第 1 表である。(志村秀雄)

37. 鉄共振回路のための新素子

M. Alique, J.L. Lloret, I. Santos and M.A. Eced: New Components for Ferroresonant Circuits [XVII-3, pp. 279~284]

非線型共振素子を使用した論理回路は、キャリア周波数が低い場合には高信頼性をともなう有益であるが、周波数が増加するにつれて急激に損失が増して、使用周波数に限界ができてきた。フェライトコアは実際の計算機にも使用されながら、キャリア周波数 2 Mc/s 程度で使用限界にきている。動作周波数を上げるために、新しく非線型共振素子が開発されているが、この文献では新共振素子として可変容量ダイオードと磁気薄膜について検討している。

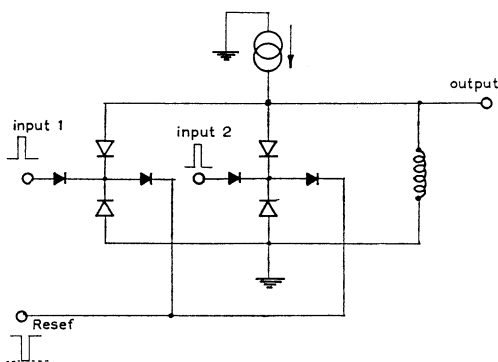
第 5 図にあるように、可変容量ダイオード D_1D_2 に直列に L を入れて直列共振回路をつくり、ダイオードの復帰時間程度の周期を持つ正弦波を加えると



第 5 図

二つの安定状態を持つ共振が得られる。共振維持に必要な電力は 0.3 mVA と 3.2 mVA である。この二つの状態に “1”, “0” を対応させれば論理回路として使用できる。問題は論理スイッチの速度である。例として第 6 図の OR 回路で高エネルギーレベルえのスイッチ速度は 100 ns 程度で reset 信号はより高速で行なえる。

この回路が実用化されるためには回路と回路の間の結合に種々の問題があってスイッチ速度を生かすことができない。磁気薄膜については Gilbert の鉄磁性体に関する動作方程式を基礎にしてパーマロイ 80-20 薄膜について理論的に検討した結果回路の等価的な Q が非常に低くなるため 2 安定非線型共振素子として実



第 6 図

用化には違いものであると結論している。

(上野成二郎)

38. 水圧と空気圧式のスイッチング素子

H.H. Glaettli: Hydraulic and Pneumatic Switching Elements [XVII-4, pp. 285~286]

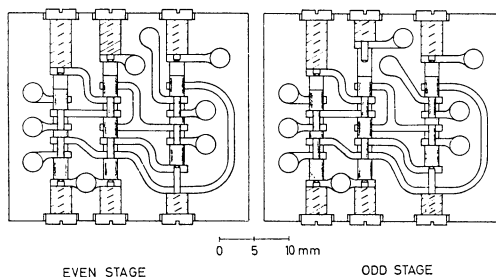
1. Introduction

メカニカルスイッチング素子の関心が高まり、一連の開発がなされた。それらは二つの種類に分けられる。

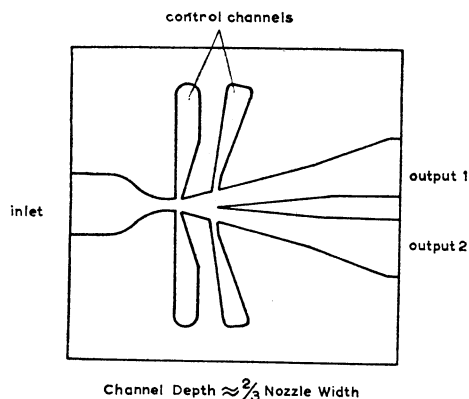
- 可動 and/or 変形部分を持っている増幅器
- 純液体増幅器

スプールバルブは現在知られている唯一の Closed-center の論理素子であり、漏洩ロスを考えに入れないければ、静止状態では power を消費しない。その logic power はトランジスタのそれより多く、1 トランスファ-接点を持つリレーのそれより少ない。そこでこの素子をスイッチング用、メモリー用として使用できる。

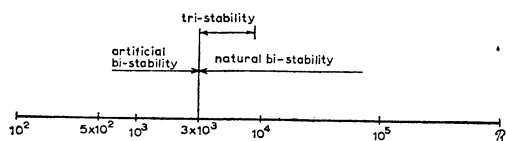
素子の小形化で動作時間をより速くすることができ、圧力や粘性による限度が生じ、本質的に 1 ms



第 1 図 Adaptation of a binary counter for “molded circuit technique.”



第2図 Boundary layer amplifier.



第3図 Effect of Reynolds-number on boundary layer amplifier.

以下にすることはできない。また製作上の問題で素子の適当な大きさは 1 cm^3 である。

第1図はスプールバルブを使った2進計数装置を示す。二つの外側のバルブは電子管回路のフリップ・フロップの三極管に比較され、中央のバルブはパッファである。

この装置を pneumatic system にも使用できるが、高い圧力で使用のとき気体の圧縮性を考慮する必要がある。

2. The pure fluid amplifier

この純液体増幅器は境界制御と flow separation という二つの現象に基づく。

境界層制御は管壁の近くの速度の落ちた部分(流体)に低速または高速で液体を注入するか、その部分を吸い取ることによってなされる。その他境界層に鋭いエッジを持った障害物を入れ動かすとか、管壁をわずかに変形させることも同じ目的に役立つ。けれどもそのような増幅器は (a) に属するだろう。

第2図は diffuser による境界層増幅器の典型的な例を示す。

これは流速により初めから2安定である。すなわち主流は上下チャンネルを流れる。3安定動作も可能である。第3の安定状態は、両チャンネルが等量の流れになることにより特徴づけられる。

レイノズル数は正常動作の条件を決めるし、また figure of merit として使われる重要な要素である。

第3図はこの素子がレイノズル数により、どのような動作をするかを示し2安定動作のための最少レイノズル数は 3,000 付近であり、3安定は 3,000~8,000 の間で起きる。

diffuser の両側の suction がレイノズル数を著しく減らすので、レイノズル数の3乗に比例する power 消費も減少する。また cavitation やマッハ数も高速動作のとき影響を与える。

この素子の最大の欠点は、入力回路と出力回路が共通の通路を持っているということである。しかしシリンダとかピストンのように精度を必要としないことは極めて有利である。

(岩田朋之)