

超低消費電力粗粒度再構成アクセラレータ CMAのPEアレイアーキテクチャの最適化

小崎 信明^{1,a)} 宇野 理恵¹ 天野 英晴¹

受付日 2012年3月28日, 採録日 2012年6月9日

概要: 粗粒度再構成プロセッサは, アレイ状に配置された複数の PE (演算素子) を持ち, PE 間の接続網アーキテクチャは, デバイス全体の面積や消費電力, アプリケーションの構成情報の量に大きな影響を与える. 本論文では, 超低消費電力粗粒度再構成アクセラレータ CoolMega-Array (CMA) の PE アレイ接続網アーキテクチャの最適化について言及する. 様々な接続網の CMA を設計し, 面積, 電力, 構成情報量, アプリケーション搭載の柔軟性から最適な接続網アーキテクチャを検討する. CMA の接続網は定数専用リンクを設けたものが構成情報量が最も少なく, 1つの SW から構成されるスイッチングエレメントのアイランドスタイルと 2 方向の直結網のハイブリッドで構成される CMA-Const-H が最も面積と電力を削減でき, CMA の試作機として開発された CMA-1 と比較して面積を 22%, 消費電力では 23%削減でき, 構成情報量を最大で 63%, 平均で 49%削減し, PE の遅延時間もわずかに短縮することに成功した.

キーワード: リコンフィギャラブル, 低電力

Optimization for PE Array Structure of Ultra Low Power Coarse-grained Reconfigurable Accelerator CMA

NOBUAKI OZAKI^{1,a)} RIE UNO¹ HIDEHARU AMANO¹

Received: March 28, 2012, Accepted: June 9, 2012

Abstract: Coarse-grained reconfigurable processors consist of an array of processing elements (PEs), and PE array structure affects total device's area, performance, power consumption and context size. This paper investigates the optimized PE array structure of an ultra low power coarse-grained reconfigurable accelerator: Cool Mega-Array (CMA). CMAs with various connection networks and PE structures are designed and evaluated. CMA-Const-H in which PEs are connected by 1 set of switching element and has links dedicated for constant value, achieved the smallest power consumption and area. Compared with the first prototype CMA-1, CMA-Const-H reduced area by 22%, power consumption by 23%, context size by 63%, and the delay time a bit.

Keywords: reconfigurable, low power

1. 緒論

近年, バッテリ駆動するモバイル機器の多機能化, 高機能化にとともに, デバイスに対しては高い処理性能と優れた駆動時間の両立が求められるようになった. その要求に対し, オフロードエンジンとして様々な粗粒度動的再構成

プロセッサ (CGDRP) [1], [2], [3], [4] がさかんに研究されるようになった. すでに多くの CGDRP システムが携帯ゲーム機や音楽プレイヤー, プロ用のビデオカメラなどの商用製品に組み込まれるようになった [5], [6], [7]. これらの CGDRP システムは比較的低い動作周波数で優れた処理性能を発揮するが, 実演算以外に消費する電力が多いという問題がある.

そこで, 我々は余剰な電力を削減するとともに, 実演算で消費される電力も効果的に削減し, 従来の CGDRP と同

¹ 慶應義塾大学理工学部
Faculty of Science and Technology, Keio University,
Yokohama, Kanagawa 223-8522, Japan
a) sld@am.ics.keio.ac.jp

等の処理性能を発揮する“Cool Mega-Array” (CMA) アーキテクチャを提案した。CMA の試作 1 号機である CMA-1 は、247MOPS/mW という世界でも最高レベルの電力効率を達成した [8], [9] が、その接続網は CGDRP の試作機である MuCCRA-3 のもの [14] を継承しているのみで、これが CMA にとって本当に適したものになっているかは未検討である。CGDRP ではレジスタに演算途中の変数を保存し動的再構成を行う。このため、大きなデータバスで構成されるアプリケーションでも、時分割して PE アレイで実装することができるので、接続網に悩まされることは少ない。一方、CMA では大規模な PE アレイ上にアプリケーション全体のデータバスを 1 度に搭載するため、配線資源の不足により変数の多いアプリケーションの実装が困難となることが起こる。

CGDRP の接続網の研究は従来もなされてきた [12] が、CMA の PE アレイは組合せ回路であるため、配線資源の使用され方が異なるうえに、アプリケーションの実装には CGDRP とは異なった特性を持ち [13], PE 間の接続網の不備により、再構成プロセッサとしての柔軟性を損なう可能性がある。本論文では、CMA に実装可能なアプリケーションが減少しない範囲で、可能な限り PE アレイの面積や消費電力の削減を目指した接続網の検討を行う。様々な接続網で構成される PE アレイの CMA を設計し、電力、面積とアプリケーションの構成情報の量を比較する。

2. CMA の概要

CMA は低電力指向のアクセラレータで、主にバッテリー駆動する組み込みシステムで行われるマルチメディア処理をターゲットとする。これらのアプリケーションは、一定量の対象データを要求時間以内に処理する必要があるが、要求時間よりも早く処理を終わらせることには何ら優位性はない。バッテリーを長時間保持するために、一定量のデータ処理で消費される電力を最小限にすることが重要である。幸い、多くのストリーム処理には高い並列性があるため、多数の PE による並列処理による処理性能の向上が可能である。

2.1 CMA アーキテクチャ

CMA アーキテクチャは、一定量の処理を最小限の消費電力で実行できるように設計されている。実演算とデータフロー制御を行うモジュールを分割し、演算モジュールの供給電圧や制御モジュールの動作周波数を変化させることで電力を節約できる。CMA は大域的クロックゲーティングや DVFS, ウェーブパイプラインなどの様々な手法を適用することで、実演算で消費される電力とともに、演算以外に必要な電力も効果的に削減可能な電力性能の優れたアーキテクチャである。

CMA はデータメモリ、PE アレイ、マイクロコントロー

ラの 3 つのモジュールから構成される。

PE アレイは一般的な CGDRP のものとは異なり、小さいメモリ素子を持たない完全な組合せ回路で構成され、他のモジュールとは電源ドメインが異なり、非同期で動作する。CMA の PE アレイはメモリ素子を持たないため、CGDRP よりも少ない面積により多くの PE を実装することが可能であり、高い並列性を持つ。PE アレイはアプリケーション実行前にデータバスを形成し、演算実行中は再構成をしない。

マイクロコントローラはデータメモリと PE アレイ間のデータフローの制御と PE アレイの構成情報の管理を行う。データメモリからのデータの読み出しと PE アレイでの演算時間と演算結果の書き戻し時間をパイプライン処理することでデータの読み書きにかかる時間を隠蔽している。

2.2 CMA-1

試作機として Fujitsu 65nm プロセスを用いて CMA-1 を実装した。論理設計には Verilog HDL を、論理合成には Synopsys Design Compiler を、レイアウトには Astro を用いた。図 1 に CMA-1 のブロック図を示す。CMA-1 は容量 12K バイトのデータメモリ、8×8 サイズの PE アレイと最大で 210 MHz で動作するマイクロコントローラを持つ。

PE アレイの入出力はマイクロコントローラと接続されている。データメモリは入出力を 2 ポートずつ持ち、それぞれマイクロコントローラと外部メモリに接続されている。

2.2.1 データメモリ

CMA-1 のデータメモリは (図 1 中 DMEM) 2 バンク構成となっており (図 1 DMEM 中の Bank0, Bank1), 一方のバンクがマイクロコントローラの持つ PE アレイの入出

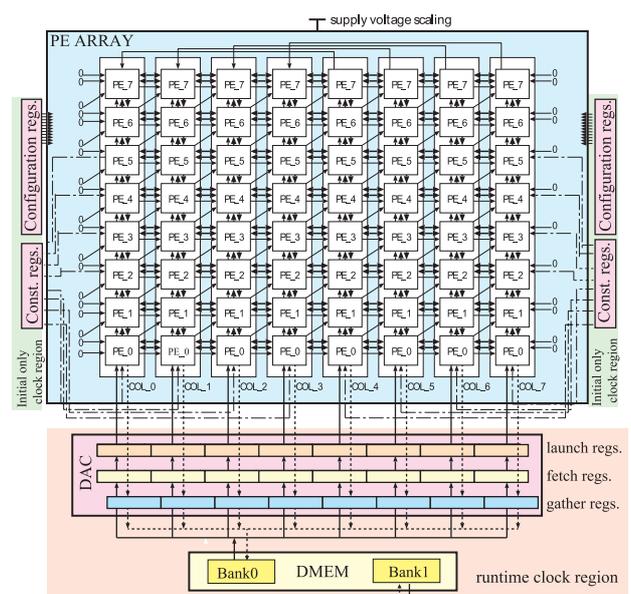


図 1 CMA-1 のブロック図

Fig. 1 Block diagram of CMA-1.

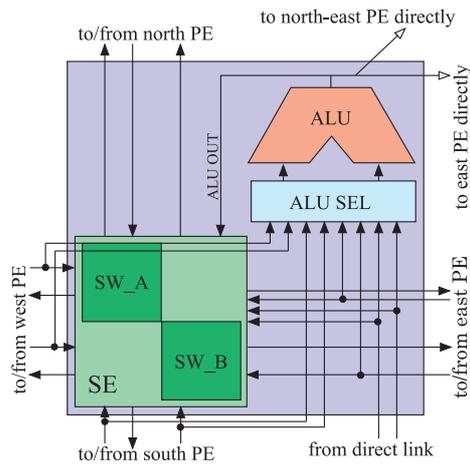


図 2 CMA-1 の PE の構成
Fig. 2 PE structure of CMA-1.

力レジスタ (図 1 中 fetch regs. と gather regs.) と接続されている間、もう一方は CMA-1 外部との入出力に接続される。これにより、CMA-1 内部での演算時間と CMA-1 外部との入出力にかかる時間をオーバーラップさせることを可能にしている。

2.2.2 PE アレイ

図 1 に示すように、PE アレイの入出力は 8 ポートずつ存在し、すべてマイクロコントローラと接続 (図 1 DAC 中の launch regs. の出力が PE アレイの入力と、PE アレイの出力は DAC 中の gather regs. の入力とつながっている) されている。PE アレイの入出力は、PE アレイの南端の行の PE の SW_A の to/from south PE とつながっている。

次に、PE の構成を図 2 に示す。PE の入出力は、東西南北方向の PE とのアイランドスタイル (図 2 内に示す SE) による入出力と、直結方式 (図 2 内 from direct link, to north-east PE directly および to east PE directly で示す) によるものがある。

CMA-1 は、CMA への演算配置の特性に関する研究がなされる以前に開発されたため、CGDRP の接続網に関する研究の結果を用いて直結網を張った。そのため CMA では比較的優先順位の低い北東方向にリンクを持っている。

PE は ALU, SE, ALU SEL から構成され、ALU のビット幅はキャリー 1 ビットとデータ 24 ビットの 25 ビット幅である。

SE は、ALU の演算結果を東南北方向に出力可能で、東西南方向の PE からの値を東西北方向に出力可能で、北側の PE からの値は南側のみに出力する。これらは、フィードバックループを回避するための設計である。

PE アレイの西端の列の PE と南端の行の PE の直結網からの入力 (図 2 中 from direct link) は、接続される PE が存在しないため、0 が入力されるようになっている。

基本的に演算途中のデータは PE アレイの北側、東側方向に流れていき、演算結果は南方向に流れていく。

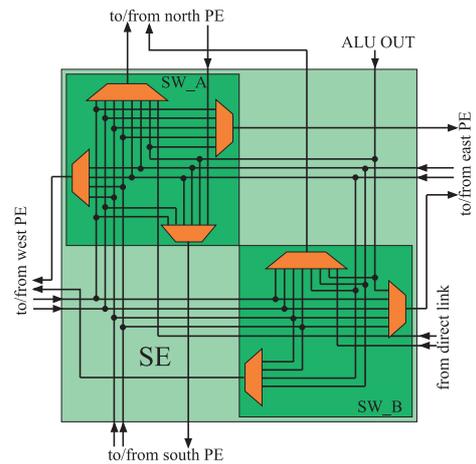


図 3 CMA-1 の SE の構成
Fig. 3 SE structure of CMA-1.

図 3 に SE の内部構成を示す。ALU SEL は東西南方向の PE からと、ダイレクトリンクからの値を入力とし、演算に必要な値を 2 つ ALU に対して出力する。CMA-1 の定数は図 1 に示すように PE アレイの一番下の行の PE と左右の端の列の中央 4 つの PE に存在する SW_B を介して、計 16 個供給される。

2.2.3 マイクロコントローラ

マイクロコントローラはデータメモリと PE アレイ間のデータ転送を制御するデータメモリアクセスコントローラ (DAC: 図 1 中 DAC) と定数および構成情報コントローラ (CCC: 図 1 中 Const.reg.s., Configuration reg.s.) から構成される。

CMA の PE アレイは動的再構成を行わないため、入力されるデータはあらかじめ整列されている必要があり、そのための柔軟なメモリアクセスを DAC が行う。DAC の内部には図 1 に示すとおり、25 ビット幅のフェッチレジスタ (図 1 内 fetch reg.s.: 以下 FR), ラウンチレジスタ (図 1 内 launch reg.s.: 以下 LR), ギャザーレジスタ (図 1 内 gather reg.s.: 以下 GR) の 3 種類のレジスタが、PE アレイの入出力に対応して 8 つずつ配置されている。LR の出力は直接 PE アレイの入力につながっており、PE アレイの出力は GR の入力につながっている。FR と LR を別に設けることで、PE アレイで演算している時間にマイクロコントローラが次のデータをフェッチしてくることを可能にしている。

CCC は PE アレイの構成情報とアプリケーションの実行に必要な定数を供給する。演算実行中は CCC の出力の値は変化しない (CMA は動的再構成を行わないので PE アレイの構成情報は変化しない) ため、演算実行中の CCC へのクロックは根元から遮断される (図 1 では Initial only clock region と表記)。

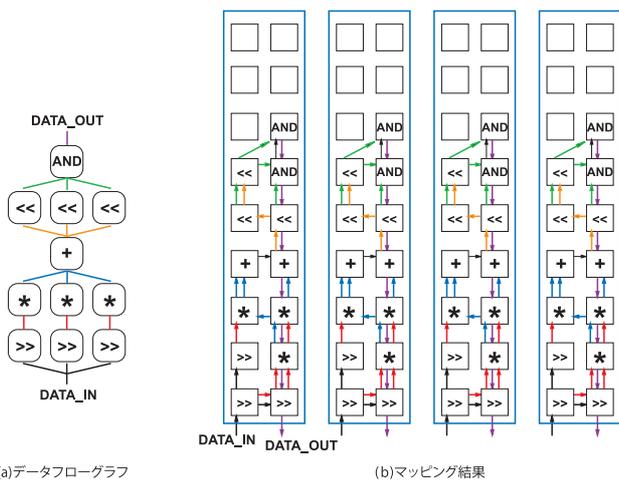


図 4 PE アレイへの演算配置例
Fig. 4 Mapping example.

2.3 構成情報転送

CMA では、RoMultiC [15] という構成情報のマルチキャスト手法を採用している。構成情報に PE アレイの各行と列に対応した 2次元のビットマップを持たせ、行と列両方のビットマップがアクティブな PE に対し、構成情報が配送されるという手法である。

CMA では、たとえば図 4(a) に示すデータフローグラフで実現されるアプリケーションは、PE アレイへは図 4(b) のように演算が配置される。同じ演算配置のデータパスを多く PE アレイに配置することで、PE アレイでの遅延時間を変化させずに同時に処理できるデータの数を増やしている。図 4(b) で青の四角で囲われた部分はまったく同じデータパスを形成しているため、RoMultiC で構成情報を 4分の1 にすることが期待される。しかし、CMA-1 ではそうはならない。CMA-1 では定数は PE アレイの下から 8 個、PE アレイの左右から 4 個ずつ入力されるため、ALU への構成情報は 4分の1 にすることが可能でも、定数の伝搬のされ方が PE アレイの右端、左端、中央の範囲で異なるため、それぞれに向けた SE の構成情報が必要だからである。

3. 接続網の検討

本章では、CGDRP の代表的な PE アレイ接続網について説明した後に、CMA での定数の伝搬の詳細と CMA に展開されうるデータパスの説明をし、評価に用いたアプリケーションについて説明する。

3.1 CGDRP の PE アレイ接続網

再構成プロセッサの PE 間の接続方式は、大別すると各 PE の出力を隣接する PE の入力に用いる直結方式、スイッチ素子 (SE) を用いたアイランドスタイル方式、およびアイランドスタイルと直結方式が混在するハイブリッド型の 3 種類がある。

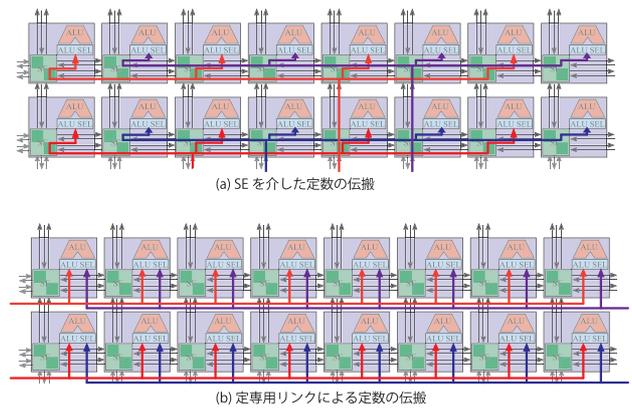


図 5 定数の伝搬

Fig. 5 Propagation of constant values.

直結方式は、各 PE の出力が所定の PE の入力に固定して張り巡らされた接続網であり、PE アレイ上の上下左右に隣接する PE や斜め方向に存在する PE など任意の方向の接続網を形成できる [11]。直結方式は接続網が固定的であるため接続網制御に必要な構成情報が必要ない。アイランドスタイルは、アレイ状に配置された PE の間に縦横のバスを張り巡らせ、交点にスイッチを置き、構成情報によりその切換えの制御を可能とした接続網である [10]。ハイブリッド型は、直結方式による接続網とアイランドスタイルによる接続網の両方を持っており、隣接する PE には直結網で、遠隔の PE には SE で接続できる [14]。直結方式の低面積である点と、アイランドスタイルの柔軟性の高さの両方を活かしている。

これらの方式は接続の自由度と面積オーバーヘッドのトレードオフがある [12]。アイランドスタイルは面積オーバーヘッドは大きいですが、遠方の PE とも接続可能であり、データパスを実現するうえでの接続の自由度が高い。一方、直結方式は面積オーバーヘッドが小さく、遅延も増大しにくいという利点があるが、限定された PE としか接続できない。

3.2 定数の伝搬

CMA の演算に使われる定数の入力、PE の SE を介して入力される手法と、本論文で提案する定数専用ラインによる手法の 2 種類がある。

CMA には 2.3 節で説明したようなデータパスが展開されるため、各行に必要となる定数は 2 つとなることが多い。各行に 2 つ定数を供給するときの定数の伝搬の模式図を図 5 に示す。

SE を介して入力された定数は図 4(b) に示すような演算データの伝搬に加え、図 5(a) のように定数も伝搬するため、アプリケーションを搭載するうえで定数を使う部分では配線の混雑を招く。

一方、定数専用ラインを用いた定数の伝搬では、SE の混雑をとまなわないため、PE 間の接続網は純粹にデータフローの実現のためだけに必要となる。

以上から、CMA-1と同じ規模のPEアレイ（PEアレイの入出力が8つで、アプリケーションを実装するときに最大で64個まで演算を使うことができる）では、SWが2つ以上の配線能力、または定数専用ラインと演算データの伝搬に必要な配線能力が必要となる。本論文では、入出力は8個ずつで、演算資源として64個のALUを持つPEアレイであることを前提に、ALU間を接続するために必要な配線資源について述べる。

3.3 CMAに展開されるデータバス

これから検討する接続網は、原則として、CMA-1のPEアレイ上に搭載されたアプリケーションがすべて搭載可能であることが要求される。CMA-1のPEアレイ上に搭載されたデータフローグラフは、大きく4つのパターンに分類できる。

図6(a)に示すような直線的なデータフローはPEアレイには図6(b)のように配置される。PEアレイの1列に入りきらないようなデータフローはPEアレイ2列を使い、直結網では図6(c)、アイランドスタイルでは図6(d)に示すようにマッピングされる。

図7(a)に示すように直線的な伝搬であっても、2行先のPEに転送する場合、直結方式では図7(b)、アイランドスタイルでは図7(c)に示すようにマッピングされる。このような1行とばしでデータの伝搬を行う配線資源は、データの依存性があるような場合や、データバスの形成に用い

るPEアレイの列数より多くデータ分割した後に直線的なデータフローを行う場合（図4では、PEアレイ2列で3つに分割したデータを処理している）に用いる。

図8(a)に示すようなデータの分割をともなうデータフローはPEアレイを2列用い、直結方式では図8(b)、(d)、アイランドスタイルでは図8(c)、(e)に示すようにマッピングされる。図8(d)、(e)に示す左方向のリンクでは、フィードバックループを生成するため、左に隣接するPEの代わりに2行上方向のPEへのリンクを設ける。

このようなデータの分割は定数を用いる演算である場合が多く、SEを介した定数の伝搬の場合、特に配線の混雑を招き、アプリケーションの搭載を困難にしている。配線容量が足りず、演算を配置できなかった場合は、別の位置のPEに演算が再配置され、PEを有効利用できない（PEアレイに存在する64個のALUを使い切れない）結果となる。

図9(a)にデータの集約を行うデータフローを示す。このような場合、直結網では図9(b)、(d)、アイランドスタイルでは図9(c)、(e)に示すようにマッピングされる。CMAではデータは基本的には右か上方向にしか伝搬しないため図9(b)、(c)ではPEアレイの利用効率が著しく低下する。また、データを集約する前段階の演算でPEアレイを使用していた場合は、9(b)、(c)のような接続方式ではPEが不足し上方向に演算を配置できない場合がある。そのため、図9(d)、(e)のように2列以上右方向へのリンクを張り、

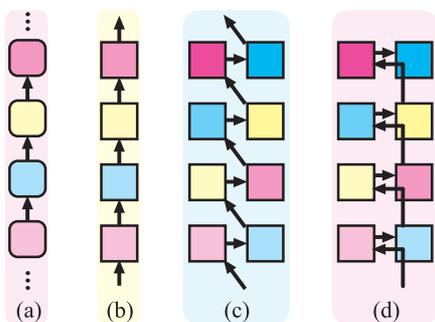


図6 直線的なデータフロー
Fig. 6 Linear data flow.

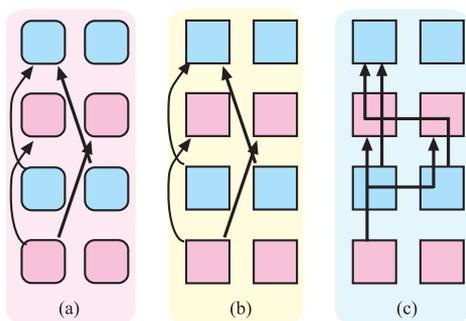


図7 行をまたいで伝搬するデータフロー
Fig. 7 Data flow which straddles PEs.

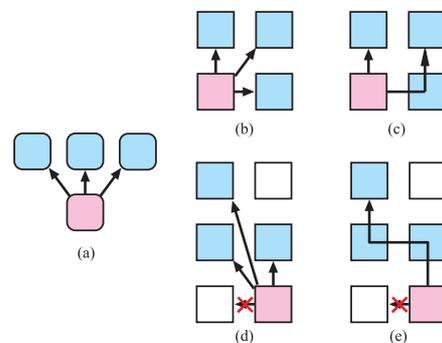


図8 データの分割
Fig. 8 Data flow which divide data.

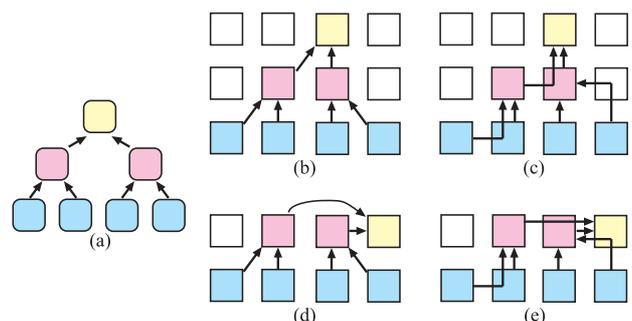


図9 データの集約
Fig. 9 Data flow which collect data.

表 1 CMA-1 に搭載されたアプリケーションと PE 使用数
Table 1 Applications programs developed for CMA-1.

アプリケーション	演算数	st	sp	gt
24-bit α ブレンダ	52/64	有	有	有
24-bit セピアフィルタ	60/64	有	有	有
8-bit α ブレンダ	16/64	無	無	有
8-bit セピアフィルタ	24/64	有	有	有
離散コサイン変換 (DCT)	60/64	有	有	有
エッジフィルタ	43/64	有	無	有
24-bit グレイスケール	48/64	有	有	有
差分絶対和	15/64	無	無	有
差分二乗和	11/64	無	無	有
差分アダマール変換和	31/64	無	無	有

少ない PE アレイの行内に演算を配置する。

このほか、遠くの PE との接続が必要になる場合も考えられるが、その場合は直結方式では入力データをそのまま出力する命令を ALU に与え、データの中継を行い、アイランドスタイルでは SE を接続することで対応する。

3.4 評価アプリケーション

CMA-1 に搭載されたアプリケーションと、アプリケーションを実装するうえで必要になる演算の数をまとめ表 1 に示す。アプリケーションのデータフローの中に 3.3 節で説明した代表的なデータフローのうち、行をまたぐデータフローがある場合は st の欄に、データの分割は sp の欄に、データの集約は gt に有無を示した。

CMA はメディア処理を目指して設計されたため、画像フィルタや H264 のコア関数などを評価アプリケーションとして実装した。

データの集約に関しては、どのアプリケーションでも必要となる。しかしその規模は様々で、 α ブレンダやセピアフィルタではたかだか 2~3 列のデータの集約である一方、その他の DCT やエッジフィルタ、グレイスケール、差分和では PE アレイ全体に広がるデータの集約が必要となる。これらの場合は、それまで並列に処理されていたデータを 1 つに集約するため、横方向に広くデータが移動することとなる。

24 ビットで設計されているアプリケーションは、図 4 に示したように、分割するデータ数より、展開される PE アレイの列数が少ないため、行をまたいだデータの伝搬が頻出し、特に北方向の配線が混雑する。

特に、セピアフィルタや DCT は定数を多く使うため、SE を介した定数の伝搬だと演算配置は困難を窮める。

4. 評価用の各種 CMA

今回実装する CMA の接続網は上記の 4 つのパターンのデータフローをマッピングできるように設計されており、CMA-1 で稼働しているすべてのアプリケーションは例外

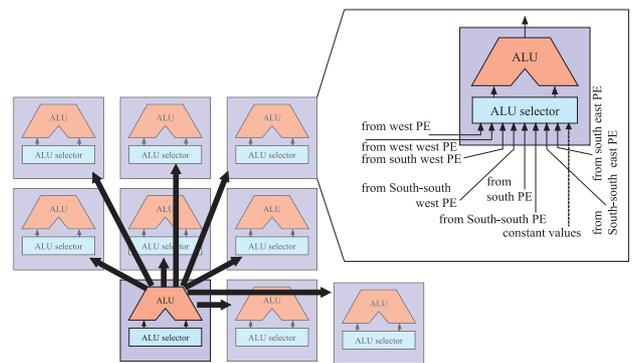


図 10 CMA-DL の PE の接続網
Fig. 10 Interconnection of CMA-DL.

(CMA-DL においては DCT, 24 ビットセピアフィルタが実装できなかった) を除いては実装可能である。

4.1 CMA-DL

CMA-DL は PE 間の接続網が直結方式のみで構成される PE アレイの CMA である。マイクロコントローラなど、PE 間の接続網以外は CMA-1 と同じ設計である。CMA-DL の PE のブロック図を図 10 に示す。ALU の出力は直結網で伝播する。SE を持たないため、CMA-1 と異なり定数は定数専用リンクを用いて各 PE に供給される。定数専用リンクは PE アレイの各列に 2 つずつ設けられており、CMA-DL 全体で 16 個の定数を供給可能で、CMA-1 と同等の定数供給能力である。CMA-DL は SE を持たないため、演算結果を PE アレイの出力に接続する専用の機構を備えている。CMA-DL は、直結網のみに制限したため、CMA-1 で搭載したアプリケーションのうちデータフローが複雑な DCT, 24 ビットセピアフィルタという一部のアプリケーションが搭載できなかった。したがって、この構成だけはこの点で他と公平な条件ではない。

4.2 CMA-3SE

PE 間の接続網が SE によるアイランドスタイルのみで構成される CMA-3SE の構成を図 11 に示す。CMA-3SE の SE は図 3 に示す SW_A 1 つと、SW_B が 2 つ (図 11 中の SW_B, SW_C に対応) の配線素子から構成される。PE 間の接続網以外は CMA-1 と同じである。CMA-3SE は定数専用ラインを持たないため、定数は CMA-1 と同様に SE_B を介して PE アレイの下側の 1 行と PE アレイの左端と右端の列の中央 4 行からの計 16 個供給可能である。

4.3 CMA-EN

CMA-EN は SW を 2 つ持つ SE によるアイランドスタイルと 2 方向の直結網のハイブリッド型で構成される。CMA-1 では図 6, 7 に示すように、基本的にデータは PE アレイの下側から上方向に向かって流れていくため、配線資源の不足は北方向へのリンクで起こりやすい。また、隣

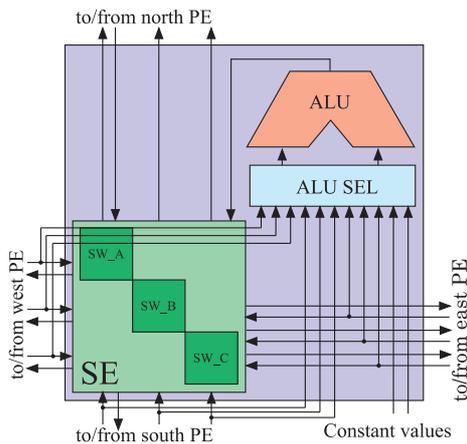


図 11 CMA-3SE の PE のブロック図
Fig. 11 Structure of PE in CMA-3SE.

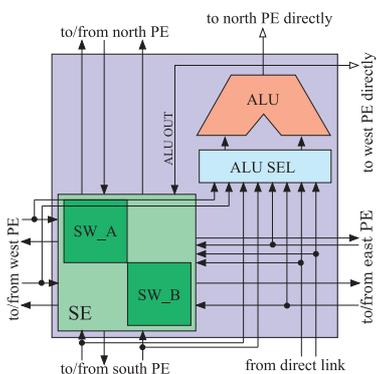


図 12 CMA-EN の PE
Fig. 12 PE of CMA-EN.

接する PE2 行間でのデータ移動も多いことが分かっている。そこで、東と北方向への直結網を持つ CMA-EN (EN: East と North 方向への直結網を持つ意) を設計した。CMA-1 と CMA-EN は、入出力されるダイレクトリンクの入力の方向が異なるのみで、他の部分は同じ構成である。CMA-EN の PE アレイのブロック図を図 12 に示す。ALU_SEL の直結網からの入力は、CMA-1 では西と南西方向からであったが、CMA-EN では西と南方向からとなっている。CMA-EN の PE の構成は CMA-1 と直結網の出力の方向が異なるのみで、他の SE や ALU の構成はまったく同じである。

4.4 CMA-NN

CMA-NN は特に図 7 に示すような北方向へのリンクの不足の解消を目指して、北方向に隣接する PE と、1つ飛ばして北方向に存在する PE に接続される直結網と SE によるアイランドスタイルのハイブリッド方式で構成される。CMA-NN と CMA-1 は、入出力されるダイレクトリンクの入力の方向が異なるのみで、他の部分は CMA-1 のものと同じ構成であり、定数専用リンクは存在しない。CMA-NN の PE の接続網を図 13 に示す。CMA-1 との違いは直結

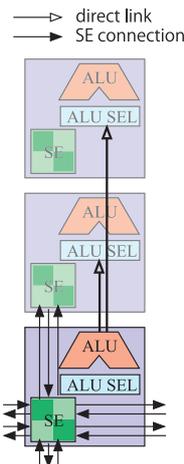


図 13 CMA-NN の接続網
Fig. 13 Connection of CMA-NN.

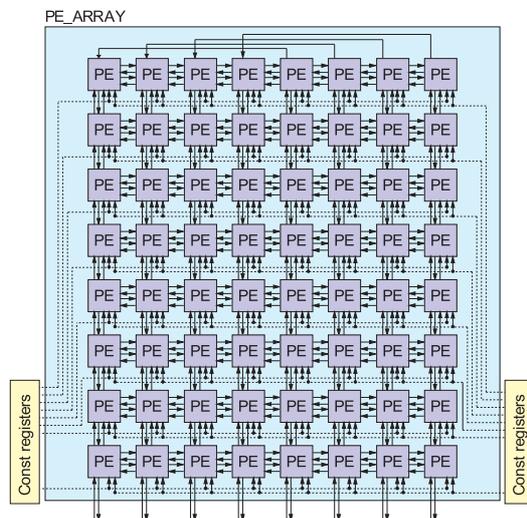


図 14 CMA-Const の PE アレイ
Fig. 14 PE Array of CMA-Const.

網の出力の方向の異差とそれともなう ALU_SEL の入力の変化のみで、他の部分は同じである。

4.5 CMA-Const

CMA-1, CMA-EN, CMA-NN では、2つの SW から構成される SE と 2 方向の直結網を設けるとともに、配線の自由度と面積や構成情報のオーバーヘッドの折衷点を置いていたが、CMA-Const は 2つの SW を持つ SE によるアイランドスタイルによって構成される接続網に加え、CMA-DL と同様の定数専用リンクを持つ (図 14)。定数専用リンクは PE アレイの左右から各列に向かって供給され、合計で 16 個の定数が PE アレイに供給され、CMA-1 と同等の定数供給能力である。

CMA-1, CMA-3SE, CMA-NN, CMA-EN, では定数は SE を介して PE アレイに入力され、定数の伝搬が配線資源を占領するため、SW を 2つ持つ SE だけでは配線資源が不足するため、頻出する方向への直結網とのハイブリッ

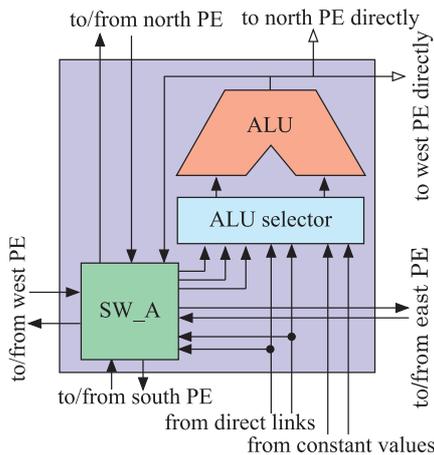


図 15 CMA-Const-H の PE の構成
 Fig. 15 Structure of PE in CMA-Const-H.

下にすることや、SW を 3 つ持つ SE にすることで、配線資源を補っていたが、CMA-Const では定数専用リンクを設けることで配線資源の混雑を緩和する。

定数専用リンクを設けることにより、配線資源の混雑の緩和だけでなく、PE アレイの構成情報の量の削減も見込める。CMA-Const では定数専用リンクにより、同じ列の PE に定数を入力するために必要な配線資源が同じになり、SE の構成情報も 4 分の 1 にすることが可能となる。

4.6 CMA-Const-H

アイランドスタイルによる接続網は SW 1 つだけを持つ SE から構成され、北方向と東方向の 2 方向に隣接する PE と接続される直結方式とのハイブリッドで構成される接続網を持つ CMA-Const-H を設計した。図 15 に CMA-Const-H の PE の構成を示す。

CMA-Const 同様に PE アレイの各列に 2 つで計 16 個の定数が供給可能であり、CMA-Const-H は接続網の構成が異なる以外、定数供給能力やコントローラやメモリなどは CMA-1 と同じ構成をしている。

直結網による接続網の方向と数の構成については、3.3 節で示すように、最も利用頻度が高い北方向と東方向に隣接する PE の 2 方向に設定した。現在までに CMA-1 に実装されたアプリケーションに関しては、CMA-Const-H の構成で実装可能であった。

データフローの展開は基本的に直結網に頼り、直結網ではできない接続を SE に頼る方針で行うため、今後、PE アレイのサイズ拡張により PE アレイの配線資源の強化が必要となり直結網の数を増やす場合、接続方向の出現率の高い方向を優先し、北西方向、2 行北方向にリンクを増やすとよいと考えられる。

5. 接続網の評価

本章では、前章で紹介した 5 種類の異なった接続網を持

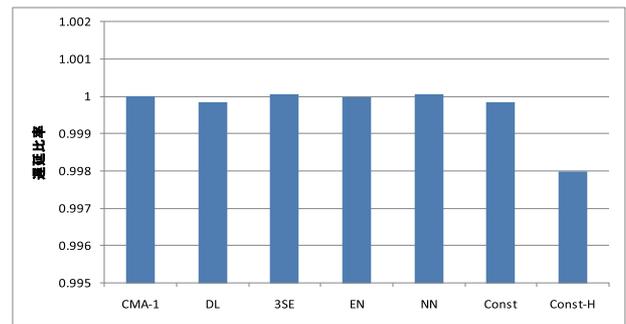


図 16 CMA の遅延比較
 Fig. 16 Delay comparison.

つ CMA の論理合成時に面積、4 種類のアプリケーションを動作させた際の電力、アプリケーションの実現に必要な構成情報量の比較を行う。

5.1 評価環境

今回設計した CMA は、論理設計を VerilogHDL で行い、論理合成には Fujitsu 65nm プロセスを用いて Synopsys Design Compiler (2007, 12-SP3) で行った。電力の評価は合成後の遅延付きシミュレーションを Cadence Design Systems の ncverilog (64) で行い、電力解析には Synopsys PrimeTime (A-2007, 12-SP3) を用いた。

なお、以降の評価は CMA-1 を基準とした改善率を示す。CMA-1 の達成した 247 MOPS/mW という電力効率は実チップに DVS を適用して計測された値であるが、この値は合成後のシミュレーション値とは厳密には一致していないため、CMA-1 のみ実チップ値を用いると正確な比較を行うことができない。そこで、CMA-1 と他の CMA とで同じプロセス、ライブラリ、ツールを用いて実装し、論理合成後のシミュレーションによって評価、比較している。

5.2 遅延評価

図 16 に開発した CMA の各 PE での最大遅延時間を CMA-1 の最大遅延時間を基準として比較した結果を示す。図 16 からどの CMA でも PE の最大遅延時間はほぼ同じであることが分かる。これは PE 内の遅延時間のうち、ALU による遅延時間がほぼ同じであることと、SE での遅延時間は SW 1 つあたりの遅延時間と近いからと考えられる。そのため、SE を持つ設計の CMA の遅延時間はほぼ同じとなった。CMA-Const-H の遅延時間が他の CMA と比べ若干削減できているのは、PE 全体の面積を削減できた(面積比較の詳細は後の 5.4 節で説明する)ことに起因すると考えられる。CMA-DL においては、離れた位置の PE へのリンクが存在するために、SE を持つ CMA と最大遅延時間は同じ程度となったと考えられる。

CMA の PE アレイは組合せ回路で構成され、データパスが演算中は再構成しないため、すべての CMA において

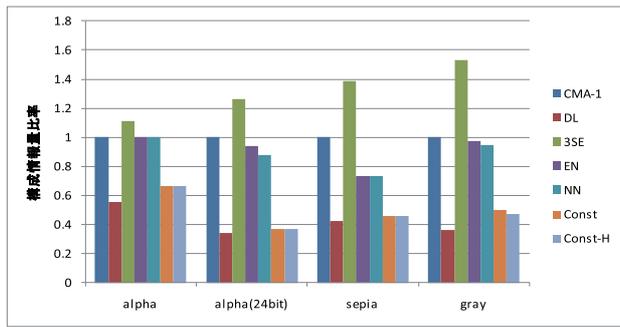


図 17 CMA の構成情報量比較
Fig. 17 Context comparison.

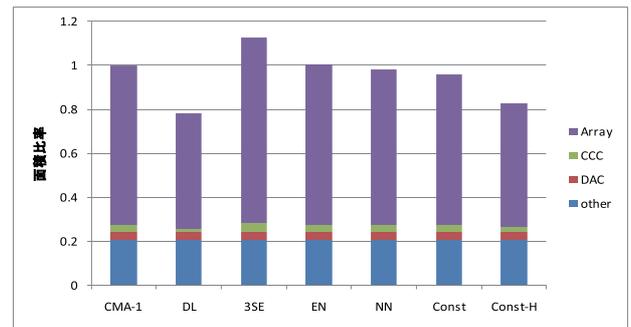


図 18 CMA の面積比較
Fig. 18 Area comparison.

各 PE での遅延時間が同じであれば、PE アレイでの遅延時間は演算配置によってのみ変化する。

しかし、今回の評価では接続網にかかわらず PE アレイ上には同様の演算配置になるようにデータバスを展開したため、PE アレイの接続網の構成はマイクロコントローラのクロックサイクルに影響を与えない範囲であった。

5.3 構成情報量評価

次に、各 CMA にアプリケーションを実装したときの PE アレイの構成情報量を比較し、図 17 に示す。PE アレイで行われる演算数の多さが構成情報に与える影響が比較できるように、演算数の少ない演算 (8 ビット α ブレンダ、セピアフィルタ)、演算の多い演算 (24 ビット α ブレンダ) を比較するとともに、電力評価に用いるグレイスケールの構成情報量も比較する。

演算数の多いアプリケーションでも少ないアプリケーションでもおおむね同じ比率で構成情報量が増減していることが分かる。

CMA-3SE はアイランドスタイルのみで構成されるため PE アレイの対称性は CMA-NN, CMA-EN よりも高いが、SW 1 つ分の構成情報の量が増えたため、全体の構成情報は CMA-1 のものに比べて平均で 32% 程度増加した。グレイスケースフィルタにおいて特に構成情報量の増加率が高いのは、データの集約のデータバスの実現の際に CMA-1 では東北方向の直結網が使われていたが、CMA-3SE では SE を用いるために新たに構成情報が必要となったためと考えられる。

一方、CMA-DL では 2.3 節で説明したように、定数専用リンクにより PE アレイの対称性が高まり構成情報量を削減できるほか、ALU の構成情報だけが必要で、SE の構成情報がまったく必要ないため、CMA-1 に比べ平均して 58% の構成情報量を削減できた。

CMA-1 と比較して、CMA-NN, CMA-EN では 1 割程度構成情報量を削減できている。これは CMA-1 では東北方向に張られた直結網が、PE アレイの対称性を壊してしまっていたため、RoMultiC による有効な構成情報量の削

減ができていなかったことと、使用頻度の高い方向に直結網が設けられているため、SE の使用率を低下させたことが考えられる。

特筆すべきは CMA-Const, CMA-Const-H の構成情報量である。2.3 節でも述べたように、他の接続網と比較してもはるかに PE アレイの対称性が高く、最も効果的に構成情報の量を削減できている。構成情報は CMA-1 から平均で 50% 削減できており CMA-DL に匹敵する削減率である。

以上より、定数専用リンクを用いることが構成情報量を削減するうえで有用であることが分かった。

5.4 面積評価

今回新たに設計した CMA の面積を、CMA-1 の面積で正規化した結果を図 18 に示す。マイクロコントローラのうち、メモリアクセスコントローラの部分で占める面積を DAC、定数および構成情報コントローラで占める面積を CCC で、PE アレイが占める面積を Array で示しており、その他必要な面積を Other に示す。

DAC の面積は、すべての CMA において同じである。PE アレイの接続網にかかわらず、PE アレイの入出力の数が同じであり、DAC モジュールに関してはすべての CMA で共通だからである。

一方 CCC は、PE アレイの接続網の実現のされ方で必要となる構成情報量が増減するため、それにとまって面積も増減する (直結方式に関しては、入出力先が固定であるため構成情報による制御の必要がない)。PE の構成情報は、ALU, ALU_SEL, SE に対してそれぞれ必要となる。今回実装した CMA の PE は、ALU はすべて同じ構成をしているため、ALU の構成情報は同じであるが、接続網の変化で ALU_SEL と SE の構成情報量が変化する。それにともない CCC 内の構成情報を格納するメモリの量が変化し、面積にも影響を与える。

CMA-DL が最も面積を削減できていることが分かる。CMA-DL の PE および PE アレイは CMA-1 と比較しておよそ 72% の面積で実装できている。CCC に関しては 47% の面積で実装できている。

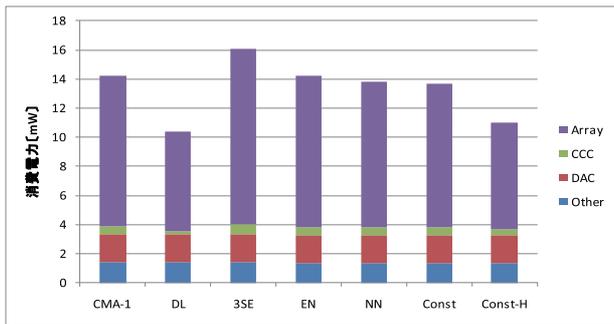


図 19 100 MHz でグレイスケールを実行したときの消費電力

Fig. 19 Power comparison.

一方, CMA-3SE では全体で面積が 16%増加した. これは 2 方向の直結網よりも SE 内の SW 1 つ分の方が多くの面積を必要とするからである. また, CCC の面積は CMA-1 と比較して 26%近く増加しており (SW 1 つ分の構成情報が増えたため), CMA-1 で問題であったコントローラで消費される電力問題 [8], [9] を悪化させる結果となった.

CMA-EN, CMA-NN では CMA-1 に設けられている直結網の接続方向を変化させただけの設計であるため CCC や DAC の面積は CMA-1 と同様であるが, CMA-NN ではアレイ面積を CMA-1 から 2%程度削減できている. CMA-EN では CMA-1 とほぼ同等の面積であった.

CMA-Const は, CMA-DL ほどの著しい差異はないが, CMA-1 と比較して全体で 6%程度の面積の削減が達成できた. これは, 2 方向への直結網よりも定数専用リンクの方が少ない面積で実装できることを示している.

CMA-Const-H は, CMA-1 と比べ 22%面積を削減できている. これは定数専用リンクの面積が SW 1 つ分よりも少ないからである.

5.5 電力評価

開発した CMA 上でグレイスケールのアプリケーションをマイクロコントローラの動作周波数を 100 MHz で動作させたときの消費電力の内訳を図 19 に示す. グレイスケールは PE アレイの占有率も比較的高く, 3.3 節に示した PE アレイに展開される代表的なデータフローのすべての配線方式が使われているため, 電力比較のサンプルとしてここで取り上げている.

図 19 の Array, CCC, DAC はそれぞれ PE アレイ, 定数および構成情報コントローラ, データメモリアクセスコントローラで消費される電力を示している. Other の部分は, その他の配線などで消費される面積を示している.

電力はほぼ面積と比例して増減していることが分かる. アプリケーションによって消費電力の絶対値は変化するが, 異なる接続網の CMA 間での消費電力の比率はどのアプリケーションでも面積に比例した. これはどの CMA も保有している演算素子 (ALU) の数が同じであり, 演算配

置もほぼ同じであるため, 動的に消費される電力は同じである. また, リーク電力は回路規模 (面積) に比例するため, 消費電力全体も面積と比例して増減したと考えられる.

5.6 接続網の柔軟性

この節では, PE アレイの部分的な配線の混雑緩和に対する柔軟性や, ある演算を任意の位置に配置しやすいかという観点で議論する.

PE の数が無限で消費電力やチップ面積を気にしなければ, どのような接続網でもアプリケーションは可能である. しかし, PE の数が限られており, 電力や面積を削減したい場合には, いかに PE アレイ上に存在する ALU を無駄にせずに演算を配置し, 接続できるかが重要になる.

CMA-3SE は任意の PE 間の接続網を形成できるため, 配線の混雑する部分を避けたデータパスの形成が容易であり, アプリケーション搭載の可用性はきわめて高い. しかし, SE 内の 3 つの SW というハードウェア資源を余らせる場合が多いほかに, 他の構成の CMA と比較して面積や電力オーバーヘッドも大きい. この構成は特に図 8, 9 のようなデータの分割と集約の多いアプリケーションの場合に適した構成である.

一方, CMA-DL は面積や電力オーバーヘッドは小さいがアプリケーションの実装は難しい. CMA-DL の場合, 演算を配置するときに接続網の不足から, 演算データの中継 (入力をそのまま出力する) に ALU を多く使ったために, アプリケーション実装に必要な演算の数は 64 個より少なくても, それより多くの ALU が必要となり DCT や 24 ビットセピアフィルタは実装できなかった. 演算データの中継のほかに, PE 間の接続の関係で使えない PE も多く存在した.

また, CMA 用に開発されたコンパイラによる自動配置では演算を配置しきれず, プログラマによる演算配置の指定が必要となる場合が多かった. アプリケーション実装時, 直結網だけでは伝搬しきれない途中変数は, そのつど PE の入力をそのまま出力する演算を PE に割り当てて変数の中継をする必要がある. さらにこの肯定は PE アレイでの遅延の増加につながる.

簡単な画像処理アプリケーション (α ブレンダやセピアフィルタ) では大きな問題は起こらなかったが, 図 9 に示すようなデータの集約が大規模で行われるようなアプリケーションでは, 途中変数の中継が頻出し, CMA-1 には実装できたが, CMA-DL では変数の中継により PE の数が不足し実装が困難となる場合が多かった.

CMA-DL の構成は図 6 のような直線的なデータフローの多いアプリケーションに適した構成であり, 面積削減率, 電力, 構成情報量すべてにおいて大幅な削減を達成したが, 行や列をまたいだデータの伝搬が必要となると, 事前にどのような方向にデータの伝搬が起こるかというのは予測し

にくい。代表的なデータフロー個々には対応できても、分割や集約、行をまたいだ伝搬が組み合わせると直結網のみの接続網では対応が困難となり、アプリケーションの実装という点では柔軟性が著しく低く、直結網のみによる接続網はCMAには不向きである。

CMA-Constは他の接続網のCMAと異なり、定数がSEを伝搬しないため配線の混雑が緩和されており、SWを2つ持つSEのみで十分にアプリケーションの実装が可能であった。面積、電力ともに他のハイブリッド型の接続網と比較して削減ができていうえに、前述のとおり構成情報の削減率も高く、アプリケーションの実装にも大きな障害は認められなかった。

CMA-1やCMA-EN, CMA-NNではPEアレイに演算を配置した後に、SEを用いて定数を任意のPEに供給し、最後にデータの伝搬に必要なPE間の接続を行う。PE間の接続は、隣接するPE間の接続には直結網を用い、遠いPEへの接続や定数の伝搬にSEを用いるように配線素子を使用していく。

CMA-1, CMA-EN, CMA-NNの場合、定数の伝搬が横方向のリンクを1つ以上占領し、上方向のリンクも少なからず必要とするため、特に図8, 7に示すような場合、配線資源の不足が起りやすい。PEアレイの接続網は、定数専用リンクがない場合上方向のリンクが2つ以上必要である。CMA-EN, CMA-NNでは定数の伝搬によりSEが混雑する方向に直結網を付加することでアプリケーションの搭載のしやすさを高めている。また、CMA-1と比べ電力や面積、構成情報量をわずかに改善した。

CMA-1でアプリケーションの実装が特に困難となったのが、図7のようにPEをまたいだデータの伝搬が必要となった場合に、すでに定数の伝搬がSEを占領したところに途中変数の伝搬が必要となる場合である。このような場合、CMA-1では定数の供給される場所を変更する、同じ定数を別の場所からもPEアレイに入力して接続することで定数の伝搬による配線の混雑を緩和した。定数専用リンクを持つ場合は、配線領域を純粹に途中変数の伝搬のみに利用できる。

5.7 配線資源比較

CMA-1と比較したCMAの配線資源を表2にまとめた。SWは各デザインのCMAのSEがSWをいくつ持っているかを示している。直結網の欄はいくつ直結網を持っているかの欄で、定数専用ラインの欄に有無を示してある。最後の形式の欄は、アイランドスタイルは“T”、直結方式は“D”、ハイブリッド型は“H”と表記してある。

CMA-1での経験からSW2つと直結網2方向の配線資源でもある程度アプリケーションの実装は可能であり、DCTや24ビットセピアフィルタのようにほぼすべてのPEを使った実装ができていう。しかし、演算配置はきわめて困

表2 各CMAの配線資源

Table 2 Mapping resource of each CMA.

デザイン	SW	直結網	定数専用ライン	形式
CMA-1	2	2	-	H
DL*	-	8	有	D
3SE	3	-	-	I
EN	2	2	-	H
NN	2	2	-	H
Const	2	-	有	I
Const-H	1	2	有	H

* CMA-DLではDCTと24ビットセピアフィルタの実装が不可能であった

難であったため、より潤沢な配線資源を持つCMAを開発し、比較した。

CMA-3SEはアプリケーションの搭載の柔軟性が高く、遅延時間もCMA-1と遜色ない。しかし、面積や電力のオーバーヘッドが大きいという欠点を持つ。CMAは低電力指向のアクセラレータであるため、電力悪化は見過ごせない欠点であるといえる。したがって、現在の規模のPEアレイの接続網にはSW3つ以上の配線資源は必要なく、CMA-1の持つSW2つによるSEと2方向の直結網による配線資源でも十分であるとする。

CMA-1と同等の配線資源のうち、直結網の方向が及ぼす影響を検討するためにCMA-EN, CMA-NNを開発し比較した。CMA-ENとCMA-NNは、CMA-1の経験からCMAのPEアレイに展開されるデータフローを実装するうえで優先順位の高い方向に直結網を持っている。これにより、CMA-ENとCMA-NNは若干の電力を削減し、アプリケーションの搭載の柔軟性も少し改善された。

これらのハイブリッド型は、必要に応じて直結網の数や方向を調整でき、面積オーバーヘッドと配線の自由度のバランスをとれるため、回路規模に応じてハードウェア資源を調整できる万能型の構成であるといえる。CMA-1のアプリケーション搭載の柔軟性を高めるためには直結網の数を増やせば良いが、面積増加をとまなうことが予想されるため、本論文では取り上げて評価をしていない。また、3.2節で述べたとおり、定数の伝搬に必要となるため、定数専用ラインを持たない構成のPEアレイではSW2つ未満の構成はとれない。

定数専用ラインを持たない構成のうち、CMA-1と等価の配線資源を持ち、よりアプリケーション搭載の柔軟性が高く、面積オーバーヘッドのともなわない構成はこれら以上に優先順位の高い直結網の方向がないため考えにくい。

次に、定数専用ラインを持つ場合の配線資源について言及する。接続するPE間のみ注目した場合、SW1つと直結網3つは等価であるが、SWは構成情報により遠隔のPEへとデータを伝搬させることができるため、直結網よりも潜在的な配線能力は高いと考えられる。ここでは簡略

化のため、今回は SW 1 つは直結網 4 方向以上と定義し、配線資源の比較を行う。

定数専用ラインを持つ構成では、CMA-DL と CMA-Const はおよそ同等の配線資源を持つと考えられる。

CMA-DL では、直結網でつながっていない遠隔の PE ヘーダの中継が必要となるなど、アプリケーション搭載の柔軟性がきわめて低く、他の構成の CMA には搭載できたが CMA-DL には DCT と 24 ビットセピアフィルタの実装ができなかった。これは、直接接続できないために PE アレイ 1 行のすべての PE に演算を配置することができなかったことや、データの中継のために PE を使用し、アプリケーションの実現に必要な PE を確保できなかったことが原因である。搭載できたアプリケーションで比較した場合、定数専用ラインを持たない構成の CMA と比べ大きく構成情報量を削減できている。また、CMA-DL の面積や消費電力も他の構成の CMA と比べ削減できている。CMA-DL の場合、アプリケーション実装の柔軟性も低く、実装不可能となったアプリケーションが存在するため、CMA の PE アレイ接続網として最適であるといえない。面積が削減できているため、他の CMA より面積の少ない範囲で、別の方向に直結網を増やすことも可能であるが、4 章に示した代表的なデータパス以外のデータパスの場合、事前にどのようなデータパスであるが分かっている必要がある。このような直結網の増やし方は再構成デバイスとして柔軟性があるとはいいがたい。

一方、CMA-Const は SW を 2 つ持つために非常に柔軟性に優れている。構成情報量や面積、消費電力に関しては、CMA-DL 同様、定数専用ラインを持たない型の CMA よりも改善されている。

以上より、CMA の PE アレイ接続網が定数専用ラインを持つことは非常に効果的であると考えられる。

定数専用ラインが CMA に適していることは分かったが、定数専用ラインの他の配線資源が SW 2 つから構成される SE であるとは断言できない。そこで、ここでは CMA-Const-H と比較する。

CMA-Const-H では、SW 1 つと出現頻度の高い 2 方向に直結網を持つ。配線資源は CMA-Const よりも少ないが、CMA-1 に実装できていたアプリケーションの実装には十分な配線資源を持つといえる。定数専用ラインを持つため、構成情報量は著しく削減できており、面積、電力も削減できている。定数専用ラインにより SW の混雑を回避できており、例外的に現れる遠隔の PE の接続に SW を利用でき、直結網も有効利用できる方向のため、アプリケーション実装の柔軟性も CMA-EN などと遜色なかった。

CMA-Const-H のほかに、直結網の数を増やした構成の CMA も設計したが、面積、電力が CMA-Const-H から徐々に増えていくだけでありその詳細の記述は冗長であるため、本論文では割愛している。

CMA-Cosnt-H は CMA-1 に実装できていたすべてのアプリケーションを実装できる中では、最小の構成であった。

6. 結論

本論文では低消費電力アクセラレータ CMA において最適な PE 間の接続網を見つけるべく、様々な接続網で構成される CMA を開発し、その遅延、面積、アプリケーションの構成情報の量、アプリケーションを動作させたときの消費電力を比較し、アプリケーションの搭載の柔軟性から総合的に接続網を評価した。

面積、電力、構成情報の量だけで単純に評価した場合、PE アレイの接続網は直結網による接続が最も優れているが、CMA に搭載可能なアプリケーションに限られるという弱点があった。CGDRPA であれば動的再構成により直結網を活かしたアプリケーションの搭載が可能であるが、CMA では PE アレイの動的な再構成をしないため直結網のみで構成される接続網との相性がきわめて悪いということが分かった。

開発した様々な接続網で構成される CMA を遅延時間、面積、電力、構成情報量から評価した結果 CMA に最適な接続網は、PE アレイに定数専用リンクを付加したものであるということが分かった。定数専用リンクはある程度面積オーバーヘッドがあるが、2 方向に直結網を設けるよりは少ない面積で実装可能であり、構成情報量の著しい削減に貢献した。

開発した CMA の中では、CMA-Const-H が最も効果的に電力、面積、構成情報量を削減でき、かつアプリケーション搭載の柔軟性も保っていた。CMA-Const-H の接続網は、SW 1 つによって構成される SE と、北方向と東方向への 2 方向の直結網を持つハイブリッド型に定数専用ラインを持つ。CMA-1 と比べ、22%面積を削減し、消費電力は 23%削減した。PE の遅延時間もわずかに改善された。

これにより、CMA のさらなる電力効率の改善と省面積化を可能にする PE アレイの接続網アーキテクチャの構成を示した。

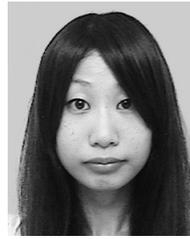
謝辞 本研究は、科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」の研究課題「革新的電源制御による次世代超低電力高性能システム LSI の研究」による。

また、本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、株式会社イー・シャトルおよび富士通株式会社の協力で行われたものである。

参考文献

- [1] Veradas, F.J. et al.: Custom Implementation of the Coarse-Grained Reconfigurable ADRES architecture for

- multimedia Purposes, *Proc. IEEE Intl. Conf. on Field Programmable Logic and Applications* (2005).
- [2] Singh, H. et al.: Morphosys: An Integrated Reconfigurable System for Data-Parallel and Computation-Intensive Applications, *Trans. IEEE*, Vol.49, No.5 (2000).
- [3] Ebeling, C. et al.: RaPiD -Reconfigurable Pipelined Datapat, *Proc. IEEE Intl. Conf. on Field Programmable Logic and Applications* (1996).
- [4] Schmit, H. et al.: PipeRench: A virtualized programmable datapath in 0.18 micron technology, *Proc. IEEE Intl. Conf. on Custom Integrated Circuits* (2002).
- [5] Kurose, Y. et al.: A 90 nm embedded dram single chip lsi with a 3d graphics, h.264 codec engine, and a reconfigurable processor, *Proc. IEEE A Symposium on High Performance Chips (Hot Chips XVI)* (2004).
- [6] Panasonic: available from (www.panasonic-europe.com).
- [7] Motomura, M. et al.: STP Engine, a C-based Programmable HW Core featuring Massively Parallel and Reconfigurable PE Array: Its Architecture, Tool, and System Implications, *Proc. IEEE Symposium on Low-Power and High-Speed Chips (CoolChips XII)* (2009).
- [8] Ozaki, N. et al.: Cool Mega-Array: Ultra Low Power Reconfigurable Accelerator Chips, *IEEE Micro*, Vol.31, No.6 (Nov.-Dec. 2011).
- [9] Ozaki, N. et al.: CMA-1: An Ultra Low-power Reconfigurable Accelerator, *Proc. IEEE Intl. Conf. on Field Programmable Technology* (2011).
- [10] Motomura, M. et al.: A Dynamically Reconfigurable Processor Architecture, *Proc. Microprocessor Forum* (Oct. 2002).
- [11] 津野田賢伸ほか：デジタルメディア向け再構成型プロセッサ FE-GA の概要, *Trans. IEICE*, Vol.105, No.451, pp.37-42 (Dec. 2005).
- [12] Kato, M. et al.: A Study on Interconnection Networks of the Dynamically Reconfigurable Processor Array MuC-CRA, *Proc. IEEE Intl. Conf. on Field Programmable Technology* (2009).
- [13] 小崎信明ほか：低電力アクセラレータ SLD-1 におけるアプリケーションプログラムの最適化, *Proc. IEICE RECONF* (May 2011).
- [14] Saito, Y. et al.: A Real Chip Evaluation of MuCCRA-3: A Low Power Dynamically Reconfigurable Processor Array, *Proc. IEEE Intl. Conf. on Engineering of Reconfigurable Systems and Algorithms* (July 2009).
- [15] Tunbunheng, V. et al.: RoMultiC: Fast and Simple Configuration Data Multicasting Scheme for Coarse Grain Reconfigurable Devices, *Proc. IEEE Intl. Conf. Field Programmable Technology* (Dec. 2005).



宇野 理恵

1989年生。2012年慶應義塾大学工学部情報工学科卒業。現在、同大学大学院修士課程。低電力システムの研究に従事。



天野 英晴 (正会員)

1958年生。1981年慶應義塾大学工学部電気工学科卒業。1986年同大学大学院理工学研究科電気工学専攻博士課程修了。現在、同大学理工学部情報工学科教授。工学博士。計算機アーキテクチャの研究に従事。



小崎 信明 (学生会員)

1987年生。2010年慶應義塾大学工学部情報工学科卒業。2012年同大学大学院修士課程修了。現在、同大学院博士課程。低電力システムの研究に従事。