超低消費電力粗粒度再構成アクセラレータ CMAのPEアレイアーキテクチャの最適化

小崎信明† 宇野理恵† 天野英晴†

相粒度再構成プロセッサは、アレイ状に配置された複数の PE(演算素子) をもち、PE 間の接続網 アーキテクチャは、デバイス全体の面積や消費電力、アプリケーションの構成情報の量に大きな影響 を与える。本稿では、超低消費電力粗粒度再構成アクセラレータ CoolMega-Array(CMA)の PE ア レイ接続網アーキテクチャの最適化について言及する。様々な接続網の CMA を設計し、面積、電力、 構成情報量、アプリケーション搭載の可用性から最適な接続網アーキテクチャを検討した。CMA は 定数専用リンクを設けることで効果的に構成情報量の削減が可能である。1 セットのスイッチングエ レメントから構成されるアイランドスタイルと2方向の直結網のハイブリッドで PE 間の接続網が構 成される CMA-Const-H は最も面積と電力を削減でき、CMA の試作機として開発された CMA-1 と比較して面積を 22%、消費電力では 23%削減でき、構成情報量を最大で 63%、平均で 49%削減 し、PE の遅延時間も 30%短縮することに成功した。

Optimization for PE array structure of Ultra Low Power Coarse-Grained Reconfigurable Accelerator CMA

NOBUAKI OZAKI ,† RIE UNO † and HIDEHARU AMANO †

Coarse-grained reconfigurable processors consist of an array of processing elements (PEs), and PE array structure affects total device's area, performance, power consumption and context size. This paper investigates the optimized PE array structure of an ultra low power coarse-grained reconfigurable accelerator: Cool Mega-Array(CMA). CMAs with various connection networks and PE structures are designed and evaluated. CMA-Const-H in which PEs are connected by 1 set of switching element and has links dedicated for constant value, achieved the smallest power consumption and area. Compared with the first prototype CMA-1, CMA-Const-H reduced area by 22%, power consumption by 23%, context size by 63%, and the delay time by 30%.

1. 緒 論

近年, バッテリー駆動するモバイル機器の多機能化, 高機能化に伴い, デバイスに対しては高い処理性能と 優れた駆動時間の両立が求められるようになった.そ の要求に対し,オフロードエンジンとして様々な粗粒 度動的再構成プロセッサ (CGDRP)^{1)~4)} が盛んに研 究されるようになった.既に多くの CGDRP システム が携帯ゲーム機や音楽プレイヤー,プロ用のビデオカ メラなどの商用製品に組み込まれるようになった^{5)~7)}. これらの CGDRP システムは比較的低い動作周波数 で優れた処理性能を発揮するが,実演算以外に消費す る電力が多いという問題がある.

そこで,我々は余剰な電力を削減するとともに, 実演算で消費される電力も効果的に削減し,従来の CGDRP と同等の処理性能を発揮する"Cool Mega-Array"(CMA) アーキテクチャを提案した.CMA の 試作1号機である CMA-1 は,247MOPS/mW とい う世界でも最高レベルの電力効率を達成した^{8),9)}が, その接続網は CGDRP の試作機である MuCCRA-3 のもの¹⁴⁾を継承しているのみで,これが CMA にとっ て本当に適したものになっているかは未検討である. CGDRP ではレジスタに演算途中の変数を保存し動的 再構成を行うため,大きなデータパスで構成されるア プリケーションでも,時分割して PE アレイで実装す るため,接続網に悩まされることは稀である.一方, CMA では一度に PE アレイにデータパスを実現する ため,配線資源の不足により変数の多いアプリケー ションの実装が困難となることが起こる.

CGDRPの接続網の研究は従来もなされてきた¹²⁾ が, CMAのPEアレイは組合せ回路であるため,配 線資源の使用され方が異なるうえに,アプリケーショ ンの実装にはCGDRPとは異なった特性をもち¹³⁾, PE間の接続網の不備により,再構成プロセッサとし ての柔軟性を損なう可能性がある.本稿では,CMA に展開されるデータパスの代表的なパターンを示した 後に,CMAに実装可能なアプリケーションが減少し ない範囲で,可能な限りPEアレイの面積や消費電力

[†] 慶應義塾大学理工学部 Faculty of science and Technology, Keio University



Fig. 1 Block diagram of CMA-1

の削減を目指した接続網の検討を行う.様々な接続網 で構成される PE アレイの CMA を実装し,電力,面 積,遅延時間とアプリケーションの構成情報の量を比 較する.

2. CMA アーキテクチャ

CMA は低電力指向のアクセラレータである.実演 算とデータフロー制御を行うモジュールを分割し,演 算モジュールの供給電圧や制御モジュールの動作周波 数を任意に変化可能としている.実演算で消費される 電力のみならず,演算以外に必要な電力も効果的に削 減可能なアーキテクチャである.

CMA はデータメモリ, PE アレイ, マイクロコント ローラの3つのモジュールから構成される. PE アレ イは一般的な CGDRP のものとは異なり, 一切のメ モリ素子を持たない完全なる組合せ回路で構成され, 他のモジュールとは異なる電源を持ち,非同期で動作 する.アプリケーション実行前にデータパスを形成し, 演算実行中は PE アレイの再構成をしない.マイクロ コントローラはデータメモリと PE アレイ間のデータ フローの制御と PE アレイの構成情報の管理を行う. データメモリからのデータの読出しと PE アレイでの 演算時間と演算結果の書き戻し時間をパイプライン処 理することでデータの読み書きに掛かる時間を隠蔽し ている.

2.1 CMA-1

試作機として Fujitsu65nm プロセスを用いて CMA-1 を実装した.論理設計には VHDL を,論理合成には SynopsysDesignCompiler を,レイアウトには Astro を用いた.CMA-1 は 8 × 8 サイズの PE アレイ,容 量 12K バイトのデータメモリと最大で 210MHz で動 作するマイクロコントローラを持つ.図1 に CMA-1 のブロック図を示す.PE アレイの入出力はマイクロ コントローラと接続されている.データメモリは入出 力を2ポートずつ持ち,それぞれマイクロコントロー



図2 CMA-1のPEの構成図3 CMA-1のSEの構成 Fig.2 PE structure of CMAig.3 SE structure of CMA-1

ラと外部メモリに接続されている.

2.1.1 PE アレイ

PE アレイの入出力は 8 ポートずつ存在し, すべて マイクロコントローラと接続されている.図2 に PE の構成を示す.PE は ALU, SE, ALU SEL から構 成され, ALU のビット幅はキャリー1 ビットとデー タ24 ビットの25 ビット幅である.SE は, ALU の演 算結果を東南北方向に出力可能で,東西南方向の PE からと,ダイレクトリンクからの値を東西北方向に出 力可能で,北側の PE からの値はフィードバックルー プ回避のため,南側のみに出力する.図3 に SE の内 部構成を示す.ALU SEL は東西南方向の PE からと, ダイレクトリンクからの値を入力とし,演算に必要な 値を2つ ALU に対して出力する.CMA-1 の定数は 図1 に示すように PE アレイの一番下の行の PE と左 右の端の列の中央4 つの PE に存在する SE_B を介し て,計16 個供給される.

2.1.2 マイクロコントローラ

マイクロコントローラはデータメモリと PE アレイ 間のデータ転送を制御するメモリアクセスコントロー ラ (DAC) と定数及び構成情報コントローラ (CCC) から構成される.CMAの PE アレイは動的再構成を 行わないため,入力されるデータは予め整列されて いる必要があり,そのための柔軟なメモリアクセスを DAC が行う.DAC は図1に示すとおり,25 ビット 幅のフェッチレジスタ(FR),ラウンチレジスタ(LR), ギャザーレジスタ(GR)の3種類のレジスタが,PE アレイの入出力に対応して8つずつ配置されている. LRの出力は直接 PE アレイの入力に繋がっており, PE アレイの出力は GRの入力に繋がっており, PE アレイの出力は GRの入力に繋がっている.FR と LR を別に設けることで,PE アレイで演算してい る時間にマイクロコントローラが次のデータをフェッ チしてくることを可能にしている.

CCC は PE アレイの構成情報とアプリケー ションの実行に必要な定数を供給する(図 1 中の Const.registers, Configuration registers).演算実行 中は CCC の値は変化しないため,演算実行中の CCC へのクロックは根元から遮断される.

3. 接続網の検討

本節では、CGDRPの代表的なPEアレイ接続網について説明した後に、CMAに展開されうるデータパ





図 5 直前のデータに対して依存性があるデータフロー Fig.5 Data flow which straddles PEs

スの説明をし,このデータパスを搭載可能な接続網の 中から,評価対象を決める.

3.1 CGDRP の PE アレイ接続網

再構成プロセッサの PE 間の接続方式は,大別する と各 PE の出力を隣接する PE の入力に用いる直結 方式,スイッチ素子(SE)を用いたアイランドスタイ ル方式,及びアイランドスタイルと直結方式のハイプ リッド型の3種類がある.直結方式は,各 PE の出力 が所定の PE の入力に固定して張り巡らされた接続網 であり¹¹⁾,アイランドスタイルは,アレイ状に配置 された PE の間に縦横のバスを張り巡らせ,交点にス イッチを置き,構成情報によりその切り換えの制御を 可能とした接続網である¹⁰⁾.

これらの方式は接続の自由度と面積オーバヘッドの トレードオフがある¹²⁾.アイランドスタイルは面積 オーバヘッドは大きいが,遠方のPEとも接続可能で あり,データパスを実現する上での接続の自由度が高 い.一方,直結方式は面積オーバヘッドが小さく,遅 延も増大しにくい利点があるが,限定されたPEとし が接続できない.

3.2 CMA に展開されるデータパス

これから検討する接続網は,現在の CMA の PE ア レイ上に搭載されたアプリケーションが全て搭載可能 であることが要求される.現在の CMA の PE アレイ 上に搭載されたデータフローグラフは,大きく4つの パターンに分類できる.

図 4(a) に示すような直線的なデータフローは PE アレイには図 4(b) のように配置される . PE アレイの 1 列に入りきらないようなデータフローは PE アレイ 2 列を使い , 直結網では図 4(c) , アイランドスタイル では図 4(d) に示すようにマッピングされる .

図 5(a) に示すように直線的な伝搬であっても,以前のデータとの間に依存性がある場合は直結方式では





Fig. 7 Data flow which collect data

図 5(b),アイランドスタイルでは図 5(c) に示すよう にマッピングされる.

図 6(a) に示すようなデータの分割を伴うデータフ ローは PE アレイを 2 列用い,直結方式では図 6(b)(d), アイランドスタイルでは図 6(c)(e) に示すようにマッ ピングされる.図 6(d)(e) に示す左方向のリンクでは, フィードバックループを生成するため,左に隣接する PE の代わりに 2 行上方向の PE へのリンクを設ける.

図 7(a) にデータの集約を行うデータフローを示す. このような場合,直結網では図 7(b)(d),アイランド スタイルでは図 7(c)(e) に示すようにマッピングされ る.CMA ではデータは基本的には右か上方向にしか 伝搬しないため図 7(b)(c) では PE アレイの利用効率 が著しく低下する.また,データを集約する前段階の 演算で PE アレイを使用していた場合は,7(b)(c)の ような接続方式では PE が不足し上方向に演算を配置 出来ない場合がある.その為,図 7(d)(e)のように2 列以上右方向へのリンクを張り,少ない PE アレイの 行内に演算を配置する.

この他,遠くの PE との接続が必要になる場合が稀 にあるが,その場合は直結方式では入力データをその まま出力する命令を ALU に与え,データの中継を行 い,アイランドスタイルでは SE を接続することで対 応する.

今回実装する CMA の接続網は上記の4つのパター ンのデータフローをマッピングできるように設計され ており,現在の CMA-1 で稼働している全てのアプリ ケーションは例外を除いて実装可能である.

3.3 CMA-DL

CMA-DL は PE 間の接続網が直結方式のみで構成 される PE アレイの CMA である.マイクロコント



of CMA-DL

Fig. 9 Structure of PE in CMA-3SE

ローラなど, PE 間の接続網以外は CMA-1 と同じ設 計である. CMA-DL の PE のブロック図を図 8 に示 す.ALUの出力は直結網で伝播するが,定数は定数 専用リンクを用いて各 PE に供給される. 定数専用リ ンクは PE アレイの各列に 2 つづつ設けられており, CMA-DL 全体で 16 個の定数を供給可能で, CMA-1 と同等の定数供給能力である.CMA-DLは,直結網 のみに制限したため, CMA-1 で搭載したアプリケー ションのうちデータフローが長く複雑な DCT などの -部のアプリケーションが搭載できなかった.これら のアプリケーションも搭載できるまで直結網の数を増 やすことも考えられるが,アプリケーション特有の直 結網となり著しく一般性を欠くため,前述のデータフ ローの展開に必要な接続網のみの搭載としている.し たがって,この構成だけはこの点で他と公平な条件で はない.

3.4 CMA-3SE

CMA-3SE の構成を図 9 に示す.CMA-3SE の SE は図 3 に示す SW_A ーつと,SW_B が二つ (図 9 中 の SW_B,SW_C に対応)の計 3 セットの配線素子か ら構成される.PE 間の接続網以外は CMA-1 と同じ であり,定数も SE_B を介して PE アレイの下側の 1 行と PE アレイの左端と右端の列の中央 4 行からの計 16 個供給可能である.

3.5 CMA-EN

CMA-EN は 2 セットの SE によるアイランドスタ イルと直結網のハイブリッド型で構成される.CMA-1 では図 4,5 に示す様に,基本的にデータは PE アレイ の下側から上方向に向かって流れていくため,配線資 源の不足は北方向へのリンクで起こりやすい.また, 隣接する PE2 行間でのデータ移動も多いことが判っ ている.そこで,東と北方向への直結網を持つ CMA-EN(EN:East と North 方向への直結網をもつの意)を 設計した.CMA-1 と CMA-EN は,入出力されるダ イレクトリンクの入力の方向が異なるのみで,他の部 分は同じ構成である.

3.6 CMA-NN

CMA-NN は特に図 5 に示すような北方向へのリン クの不足の解消を目指して,北方向に隣接する PE と, 一つ飛ばしで北方向に存在する PE に接続される直結 網と 2 セットの SE によるアイランドスタイルのハイ ブリッド方式で構成される.CMA-NN と CMA-1 は,



図10 CMA-ConstのPEアレイ Fig. 10 PE Array of CMA-Const

入出力されるダイレクトリンクの入力の方向が異なるのみで,他の部分は CMA-1 のものと同じ構成をもつ.
3.7 CMA-Const

CMA-1, CMA-EN, CMA-NN では,2 セットの SE と 2 方向の直結網を設けるところに,配線の自由 度と面積や構成情報のオーバーヘッドの折衷点を置い てたが, CMA-Const は 2 セットの SE によるアイラ ンドスタイルによって接続網が構成され, CMA-DL と同様の定数専用リンクを持つ.定数専用リンクは PE アレイの左右から各列に向かって供給され, CMA-1 と 同等の定数供給能力である.

CMA-1, CMA-3SE, CMA-NN, CMA-EN, では 定数は SE を介して PE アレイに入力され,定数の伝 搬が配線資源を占領するため,2 セットの SE だけで は配線資源が不足するため,頻出する方向への直結網 とのハイブリッドにすることや,3 セットの SE にす ることで,配線資源を補っていたが,CMA-Const で は定数専用リンクを設けることで配線資源の混雑を緩 和する.

定数専用リンクを設けることにより,配線資源の混 雑の緩和だけでなく,PEアレイの構成情報の量の削 減も見込める.CMAでは,RoMultiC¹⁵⁾という構成 情報のマルチキャスト手法を採用している.構成情報 にPEアレイの各行と列に対応した2次元のビット マップを持たせ,行と列両方のビットマップがアクティ プなPEに対し,構成情報が配送されるという手法で ある.

CMA では, 例えば図 11(a) に示すデータフローグ ラフで実現されるアプリケーションは, PE アレイへ は図 11(b) のように演算が配置される.図 11(b) で青 の四角で囲われた部分はまったく同じデータパスを形 成しているため, RoMultiC で構成情報を四分の一に することが期待されるが, CMA-1 ではそうはならな い.CMA-1 では定数は PE アレイの下から 8 個, PE アレイの左右から 4 個ずつ入力されるため, ALU へ



の構成情報は四分の一にすることが可能でも,定数の 伝搬のされ方が PE アレイの右端,左端,中央の範囲 で異なるため,それぞれに向けた SE の構成情報が必 要だからである.CMA-Const では定数専用リンクに より,同じ列の PE に定数を入力する為に必要な配線 資源が同じになり,SE の構成情報も四分の一にする ことが可能となる.

3.8 CMA-2wayALU

CMA-Const を基に, PEの演算能力の向上を目指し て PEの内部に ALUを2つ設けた CMA-2wayALU を設計した.CMA-2wayALUの PEを図 12 に示す. CMA-2wayALUの PE アレイサイズは8×4 である. PEの内部に2つの ALU が内蔵されているため, PE アレイのサイズが8×4 でも8×8 サイズの PE アレ イをもつ CMA-Const と同等の処理能力を有する.

PEの内部に CMA-Const に用いられていた ALU を2つ設け、2個目の ALU に対しては1個目の ALU の出力を入力できるようになっている.2個の ALU が SE を共有することで、面積の削減と、SE の横方 向のリンク使用率の向上を図っている.SE の構成に ついては CMA-Const と同じであるが、定数専用リン クについては、PE アレイの各列に対して4つの定数 を供給できるようになっており、計16個の定数が供 給可能で、CMA-1 や CMA-Const と同等の供給能力 である.

CMA-2wayALU は PE アレイの構成が異なる以外 は,マイクロコントローラやデータメモリの構成は CMA-Const と同様である.

3.9 CMA-Const-H

CMA-Const-H はアイランドスタイルによる接続網 は1セットの SE から構成され,北方向と東方向の2 方向に隣接する PE と接続される直結方式とのハイ ブリッドで構成される接続網をもつ.図13 に CMA-Const-H の PE の構成を示す.

CMA-Const 同様に PE アレイの各列に2つで計16 個の定数が供給可能であり, CMA-Const-H は接続網 の構成が異なる以外,定数供給能力やコントローラや メモリなどは CMA-Const と同じ構成をしている.



図 12 2wayALUのPE 図 13 CMA-Const-HのPEの構成 Fig.12 PE structure of 2矿g:A&UStructure of PE in CMA-Const-H

直結網による接続網の方向と数の構成については, 第3.2節で示したように,最も利用頻度が高い北方向 と東方向に隣接する PEの2方向に設定した.現在ま でに CMA-1に実装されたアプリケーションに関して は, CMA-Const-Hの構成で実装可能であった.

基本的にデータフローの展開は直結網に頼り,直結 網では出来ない接続をSEに頼る方針で行うため,今 後,PEアレイのサイズ拡張によりPEアレイの配線 資源の強化が必要となり直結網の数を増やす場合,接 続方向の出現率の高い方向を優先し,北西方向,2行 北方向にリンクを増やすと良いと考えられる.CMA-1 の直結網の方向に関しては,CMAへの演算配置の特 性の研究以前に開発されたためDRPAの研究結果を 元にされており,CMAでは優先順位の低い北東方向 にリンクを持つ.

今回の評価では,以上に述べた7つの接続網と CMA-1の接続網と比較する.直接網のリンク方向の 組み合わせなどについては,他の可能性も考えられる が,4つのパターンのマッピングが可能であることを 考えると,CMA-1と同等のハードウェア量という点 では,ほぼ可能性のある構成を尽くしている.

4. 接続網の評価

本節では,前節で紹介した8種類の異なった接続 網をもつ CMA の論理合成時に面積,4種類のアプリ ケーションを動作させた際の電力,アプリケーション の実現に必要な構成情報量の比較を行う.

なお,以降の評価は CMA-1 を基準とした改善率を 示す.CMA-1 の達成した 247MOPS/mW という電 力効率は実チップに DVS を適用して計測された値で あるが,この値は合成後のシミュレーション値とは厳 密には一致していないため,CMA-1 のみ実チップ値 を用いると正確な比較を行うことができない.そこで, 今回は CMA-1 と他の CMA の構成を同じ論理合成後 にシミュレーションによって評価して,比較している. 4.1 評価環境

今回開発した CMA は,論理設計を VerilogHDL で 行い,論理合成には Fujitsu 65nm プロセスを用いて Synopsys Design Compiler(2007,12-SP3) で行った. 電力の評価は合成後の遅延付きシミュレーションを Cadence Design Systems の ncverilog(64) で行い,電力 解析には Synopsys PrimeTtime(A-2007,12-SP3) を



図 15 CMA の構成情報量比較 Fig. 15 Context comparision

用いた.

4.2 遅延評価

開発した CMA の各 PE での最大遅延を比較した ものを図 14 に示す. CMA-NN, CMA-EN, CMA-3SE, CMA-DL, CMA-Const に関しては, 遅延時間 は CMA-1 と同等であった.したがって, PE アレイ での遅延時間は演算配置によってのみ変化する.し かし, PE アレイに展開されるデータパスもほぼ同じ 演算配置で展開されるため, PE 間の接続網の構成は マイクロコントローラが演算結果を格納するクロッ クサイクルに影響を与えない、そのため、これらの CMAはCMA-1と同等の動作周波数を実現可能であ る. CMA-2wayALU は PE内に ALU が 2 つ存在す るため, CMA-1の PE に比べ遅延時間は2倍になっ たが, PE アレイの行数が半減しているので PE アレイ 全体では CMA-1 と同様の動作周波数での動作が可能 である. CMA-Const-H では SE の削減により PE 内 部での配線量が削減でき,PE での遅延時間を CMA-1 と比較して 30%削減することに成功した.これに より PE アレイ全体での遅延時間も削減可能であり, CMA-Const-H は CMA-1 よりも高い処理性能を実現 可能である.

4.3 構成情報量評価

次に,各 CMA にアプリケーションを実装したときの PE アレイの構成情報量を比較し,図 15 に示す. CMA-1 と比較して,CMA-NN,CMA-EN では1割 程度構成情報量を削減できている.CMA-1 では東北 方向に張られた直結網が,PE アレイの対称性を壊して しまっていたため,RoMultiC による構成情報量の削 減ができていなかったからと考えられる.CMA-3SE はアイランドスタイルのみで構成されるため PE ア



レイの対称性は CMA-NN, CMA-EN よりも高いが, SE1 セット分の構成情報の量が多いため,全体での構 成情報は CMA-1 のものに比べて 32%程度増加して しまった.一方, CMA-DL では第 10 節で説明したよ うに,定数専用リンクにより PE アレイの対称性が高 まり構成情報量を削減できる他,ALU の構成情報だ けが必要で,SE の構成情報がまったく必要ないため, 58%の構成情報量を削減できた.

特筆すべきは CMA-Const, CMA-Const-H の構成 情報量である.第3.7節でも述べた様に,他の接続網 と比較しても遥かに PE アレイの対称性が高く,構成 情報量を 50%削減した.

4.4 面積評価

今回新たに設計した CMA の面積を, CMA-1 の面 積で正規化した結果を図 16 に示す.マイクロコント ローラのうち,メモリアクセスコントーラの部分で 占める面積を DAC,定数及び構成情報コントローラ で占める面積を CCCで, PE アレイが占める面積を Array で示している.

CMA-DL が最も面積を削減できていることがわかる, CMA-DLのPE及びPEアレイはCMA-1と比較しておよそ72%の面積で実装できている.CCCに関しては47%の面積で実装できている.

一方, CMA-3SE では全体で面積が 16%増加した. これは 2 方向の直結網よりも SE1 セット分の方が多く の面積を必要とするからである.また, CCC の面積は CMA-1 と比較して 26%近く増加しており, CMA-1 で 問題であったコントローラで消費される電力問題^{8),9)} を悪化させる結果となった.

CMA-EN, CMA-NN では CMA-1 に設けられてい る直結網の接続方向を変化させたものであるため CCC や DAC の面積は CMA-1 と同様であるが, CMA-NN ではアレイ面積を 2% 程度削減できている. CMA-EN においては CMA-1 とほぼ同等の面積であった.

CMA-Const は, CMA-DL ほどの著しい差異はないが, 全体で 6%程度の面積の削減が達成できた.

CMA-2wayALU では, PE内に2つのALUを搭載することでかえって配線量を増加させてしまったため, PEの数を半減させたが, CMA-1と同等の面積であった. PEの削減によりCCCの面積削減できたことからCMA-2wayALUトータルでは6%面積を削減した.

CMA-Const-H では,定数専用リンクを設ける代わ



図 17 100MHz で gray sclae filter を実行したときの消費電力 Fig. 17 Power comparision

りに,他の配線資源を可能な限り削減したことにより, CMA-1と比べ22%の面積の削減に成功した.

4.5 電力評価

開発した CMA 上で gray scale filter のアプリ ケーションをマイクロコントローラの動作周波数を 100MHz で動作させた時の消費電力の内訳を図 17 に 示す.電力はほぼ面積と比例して増減していること が判る.アプリケーションによって消費電力の絶対値 は変化するが,異なる接続網の CMA 間での消費電力 の比率はどのアプリケーションでも面積に比例した.

どの CMA も保有している演算素子 (ALU) の数が 同じであり,演算配置がほぼ同じであるため,動的に 消費される電力は同じある.また,リーク電力は回路 規模(面積)に比例するため,消費電力全体も面積と 比例して増減したと考えられる.

4.6 CMA に適した接続網

CMA の PE アレイは組合せ回路で構成されデータ パスが固定的であるため,接続網が直結網で構成され てもアイランドスタイルによる構成でも PE アレイ全 体の遅延時間への影響が少なく,動作周波数への影響 がほとんど無いという特徴を持つ.CMA の処理性能 は PE アレイに実現されたデータパス全体の遅延に左 右されるため, PE 間の接続網の変更自体では性能に 変化が現れず, PE アレイの接続網の検討は性能によ る比較が難しい.そこで,アプリケーションの搭載の 可用性から評価をする.

CMA-3SE は任意の PE 間の接続網を形成できるため,配線の混雑する部分を避けたデータパスの形成が容易であり,アプリケーション搭載の可用性は極めて高い.しかし,3 セットの SE というハードウェア資源を余らせる場合が多い他に,他の構成の CMA と比較して面積や電力オーバーヘッドも大きい.この構成は特に図 6,7 のようなデータの分割と集約の多いアプリケーションの場合に適した構成である.

一方, CMA-DL は面積や電力オーバヘッドは小さ いがアプリケーションの実装は難しい. CMA 用に開 発されたコンパイラによる自動配置では演算を配置し きれず, プログラマによる演算配置の指定が必要とな る場合が多い.アプリケーション実装時,直結網だけ では伝搬しきれない途中変数は,その都度 PE の入力 をそのまま出力する演算を PE に割り当てて変数の中 継をする必要があり, PE アレイでの遅延の増加に繋 がる.簡単な画像処理アプリケーションでは大きな問 題は起こらなかったが,圧縮や暗号などのアプリケー ションでは,図7に示すようなデータの集約が大規模 で行われるため,途中変数の中継が頻出し,CMA-1 には実装できたが,CMA-DLでは変数の中継により PEの数が不足し実装が困難となる場合が多かった.直 結網は面積オーバーヘッドが小さいため,もっと多く の方向に接続することが出来るが,一般性が低く使用 率の極めて低い接続が増えるばかりであり,汎用性が 下がる.CMA-DLの構成は図4の様な直線的なデー タフローの多いアプリケーションに適した構成であり, 面積削減率,電力,構成情報量すべてにおいて大幅な 削減を達成したが,アプリケーションの実装という点 において柔軟性が著しく低く,直結網のみによる接続 網は CMA には不向きである.

CMA に演算を配置する上で最も混雑する頻度の高 い北方向への直結網をもつ CMA-NN, CMA-EN は, CMA-1 に比べアプリケーションの搭載は若干容易に なり,電力や面積,構成情報量をわずかに改善した. これらのハイブリッド型は,必要に応じて直結網の数 や方向を調整でき,面積オーバヘッドと配線の自由度 のバランスをとれるため,回路規模に応じてハード ウェア資源を調整できる万能型の構成である.

定数専用リンクを持つ CMA は,他の接続網の CMA と異なり,定数が SE を伝搬しないため配線の混雑が 緩和されており,1 セットの SE と2方向の直結網で 十分にアプリケーションの実装が可能であった.面積, 電力ともに他のハイブリッド型の接続網と比較して削 減ができている上に,前述の通り構成情報の削減率も 高く,アプリケーションの実装においても大きな障害 は認められなかった.

CMA-1 や CMA-EN, CMA-NN では PE アレイに 演算を配置した後に,SEを用いて定数を任意のPEに 供給し,最後に PE 間の接続を行う. PE 間の接続は, 隣接する PE 間の接続には直結網を用い, 遠い PE へ の接続や定数の伝搬に SE を用いるように配線素子を 使用していく. 定数リンクを持たない CMA-1, CMA-EN,CMA-NN の場合,定数の伝搬が横方向のリンク を1つ以上占領し,上方向のリンクも少なからず必要 とするため,特に図6,5に示すような場合,配線資 源の不足が起こりやすい. PE アレイの接続網は,定 数専用リンクが無い場合上方向のリンクが2つ以上必 要である. CMA-EN, CMA-NN では定数の伝搬によ り SE が混雑する方向に直結網を付加することでアプ リケーションの可用性を高めている.CMA-1 でアプ リケーションの実装が特に困難となったのが,図5の 様に PE を跨いだデータの伝搬が必要となった場合に / 既に定数の伝搬が SE を占領していた場合に途中変数 の伝搬が不可能となる場合である.このような場合, CMA-1 では定数の供給される場所を変更する,同じ 定数を別の場所からも PE アレイに入力して接続する といった手段で定数の伝搬による配線の混雑を緩和す る.定数専用リンクをもつ場合は,配線領域を純粋に 途中変数の伝搬のみに利用できる.

CMA-DL は柔軟性が極めて低く, CMA-3SE では 配線の自由度は高いが電力や面積オーバヘッドが大き く, CMA-DL や CMA-Const の様に定数リンクを用 いる事で PE の接続網の構成によらず構成情報量の削 減に繋がることが分かった.以上から, CMA アーキ テクチャに定数専用リンクを設けることがアプリケー ション搭載の可用性を高めることに繋がるとともに, 構成情報の削減に効果的であり, CMA の接続網に適 していることがわかった.

5. 結 論

本論文では低消費電力アクセラレータ CMA に於い て最適な PE 間の接続網を見つけるべく,様々な接続 網で構成される CMA を開発し,その遅延,面積,ア プリケーションの構成情報の量,アプリケーションを 動作させたときの消費電力を比較し,アプリケーショ ンの搭載の可用性から総合的に接続網を評価した.

面積,電力,構成情報の量だけで単純に評価した場 合,PEアレイの接続網は直結網による接続が最も優 れているが,CMAに搭載可能なアプリケーションが 限られるという弱点があった.CGDRPAであれば動 的再構成により直結網を活かしたアプリケーションの 搭載が可能であるが,CMAではPEアレイの動的な 再構成をしないため直結網のみで構成される接続網 との相性が極めて悪いということが判った.開発した 様々な接続網で構成されるCMAを遅延時間,面積, 電力,構成情報量から評価した結果CMAに最適な接 続網は,PEアレイに定数専用リンクを付加したもの であるということが判った.

1 セットの SE によるアイランドスタイルと,北方 向と東方向への2方向の直結網のハイブリッドで構成 される CMA-Const-H は,CMA-1 より22%少ない 面積で実装され,電力も CMA-1 と比較して23%削減 することに成功し,PE での遅延時間も30%削減する ことに成功した.これにより,CMA の更なる電力効 率の改善と省面積化を可能にする PE アレイの接続網 アーキテクチャと,PE の構成を示した.

謝辞 本研究は、科学技術振興機構「JST」の戦略的創造 研究推進事業「CREST」における研究領域「情報システム の超低消費電力化を目指した技術革新と統合化技術」の研究 課題「革新的電源制御による次世代超低電力高性能システム LSIの研究」による.

また、本チップ試作は東京大学大規模集積システム設計教 育研究センターを通し、株式会社半導体理工学研究センター、 (株) イー・シャトルおよび富士通株式会社の協力で行われた ものである.

参考文献

- 1) F.J.Veradas et.al.: Custom Implementation of the Coarse-Grained Reconfigurable ADRES architecture for multimedia Purposes, *Proc. IEEE Intl. Conf. on Field Programmable Logic* and Applications, (2005)
- 2) H.Singh et.al.: Morphosys: An Integrated Reconfigurable System for Data-Parallel and

Computation-Intensize Applications, *Trans. IEEE*, Vol. 49, No. 5,(2000)

- C. Ebeling et.al.: RaPiD -Reconfigurable Pipelined Datapat, Proc. IEEE Intl. Conf. on Field Programmable Logic and Applications, (1996)
- 4) H.Schmit et.al.: PipeRench: A virtualized programmable datapath in 0.18 micron technology, *Proc. IEEE Intl. Conf. on Custom Integrated Circuits*, (2002)
- 5) Y.Kurose, et.al.: A 90nm embedded dram single chip lsi with a 3d graphics, h.264 codec engine, and a reconfigurable processor, *Proc. IEEE A Symposium on High Performance Chips (Hot Chips XVI)*, (2004)
- 6) Panasonic: www.panasoniceurope.com.
- 7) M. Motomura et.al.: STP Engine, a C-based Programmable HW Core featuring Massively Parallel and Reconfigurable PE Array:its Architecture, Tool, and System Implications, *Proc. IEEE Symposium on Low-Power and High-Speed Chips (CoolChips XII)*, (2009)
- N.Ozaki, et.al.: Cool Mega-Array : Ultra Low Power Reconfigurable Accelerator Chips, *IEEE Micro*, Vol. 31, No. 6, NOV-DEC (2011)
- 9) N.Ozaki, et.al.: CMA-1:An Ultra Low-power Reconfigurable Accelerator, Proc. IEEE Intl. Conf. on Field Programmable Technology, (2011)
- M. Motomura, et.al.: A Dynamically Reconfigurable Processor Architecture, *Proc. Micro*processor Forum, OCT(2002)
- 注野田 賢伸,他:ディジタルメディア向け再構 成型プロセッサ FE-GA の概要, *Trans. IEICE*, Vol. 105, No. 451, pp.37–42, DEC(2005)
- 12) M.Kato, et.al.: A Study on Interconnection Networks of the Dynamically Reconfigurable Processor Array MuCCRA, Proc. IEEE Intl. Conf. on Field Programmable Technology, (2009)
- 小崎 信明,他:低電力アクセラレータ SLD-1 におけるアプリケーションプログラムの最適化, *Proc. IEICE RECONF*, May(2011)
- 14) Y.Saito, et.al.: A Real Chip Evaluation of MuCCRA-3: A Low Power Dynamically Reconfigurable Processor Array, Proc. IEEE Intl. Conf. on Engineering of Reconfigurable Systems and Algorithms, JUL(2009)
- 15) V.Tunbunheng, et.al.: RoMultiC: Fast and Simple Configuration Data Multicasting Scheme for Coarse Grain Reconfigurable Devices, Proc. IEEE Intl. Conf. on Field Programmable Technology, DEC(2005)