
資 料

日本工業規格(案) 2値論理素子記号について

情 報 処 理 学 会
論理回路記法 JIS 原案作成委員会

このたび2値論理素子記号の JIS 原案を作成したので、これを紹介する。

2値論理素子記号は、2値論理素子の系を図式表現する際に用いる記号であり、2値論理素子の系の取り扱いを容易にし、系に関する情報の伝達を能率化するものである。しかし、従来、種々の記号が使用され混乱を生じていたので、これを解決するために、日本工業標準調査会の委託により、この原案を作成した。

この原案の作成にあたっては、IEC（国際電気標準会議）の推薦規格案（IEC 3 A(CO)3）をもとに、つぎの基本方針を適用した。

- (1) 国際標準と矛盾せず、しかもなるべくそれと対応がつくよう文字、図形表現、全体の構成をまとめる。
- (2) 使用上の不都合、誤解のおこらぬ範囲内で利用上の自由度をもたせるよう配慮する。
- (3) 2値論理素子記号の最も基本的な記号のみを規定する。

この結果、IEC 推薦規格案で規定された記号のうちで基本的なものに日本の現状を加味して以下の JIS 原案となった。

日本工業規格(案)

2 値 論 理 素 子 記 号

Graphical Symbols for Binary Logic Elements

1. 適用範囲 この規格は、2値論理素子の図式表現のための論理記号および機能記号とそれらの用法について規定する。

備考 この規格は、原則として半導体回路を対象とし、パラメトロンには適用しない。また、アナログ装置およびハイブリッド装置に関するものは含まない。

2. 用語の意味 この規格に用いる主な用語の意味は、つぎのとおりとする。

- (1) 2値変数 2つの異なった値のうちいずれか一方の値をとる変数。
- (2) 変数の状態 2値変数の2つの値に対応した論理的な状態で、2つの異なった記号で表わされる。一般には、0と1の記号で表わす。以下の規定には、変数の状態0と1に電圧レベルを割当てるものとする。
- (3) 2値論理素子 入力量および出力量が2値変数を表わし、その出力は入力の変数関数で定義される素子。
- (4) 正論理 2値変数の状態1を高い電圧レベルで表わし、状態0を低い電圧レベルで表わす論理。
- (5) 負論理 2値変数の状態1を低い電圧レベルで表わし、状態0を高い電圧レベルで表わす論理。
- (6) 正極性 2値変数の状態が、0から1に変わるとき、電圧レベルがより高い方向に移行する極性。

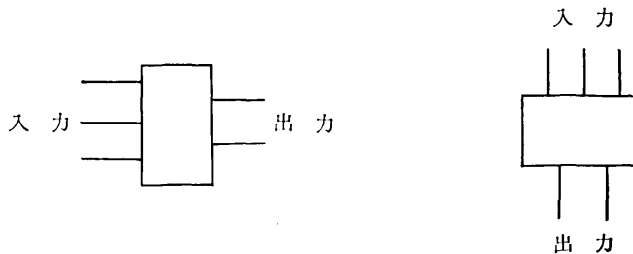
(7) 負極性 2値変数の状態が0から1に変わるとき、電圧レベルがより低い方向に移行する極性。

3. 2値論理素子記号の構成 2値論理素子記号は、つぎのもので構成する。

- (1) 論理素子一般記号 2値論理素子を表わす記号で、一般に長方形を用いる(4.1.1の1参照)。ただし、記号の大きさや縦横の比率は任意とする。
- (2) 機能識別記号 2値論理素子が備えている動作機能を表わす記号で、場合によっては数値のこともある(4.1.1の2および4.2の17参照)。
- (3) 入出力線 信号の入力および出力を示す記号で、論理素子一般記号の左右両側、または上下両側に示す(例参照)。入力数および出力数は、この規定の範囲内で任意とする。

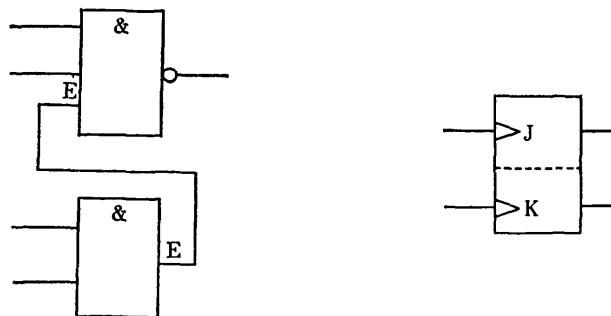
入出力線にのる情報の流れの方向は、原則として、左から右または上から下とする(4.1.1の4参照)。

例：入出力線



- (2) 入出力表示子 入出力線が備える性格をそれぞれ区別する記号で、対応する入力線または出力線と論理素子一般記号との接点の近辺、論理素子一般記号の内側、または外側に表示するものとする(例参照)。

例：入出力表示子

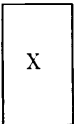
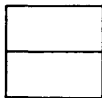
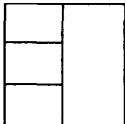


4. 2値論理素子記号 2値論理素子記号はつぎのとおりとする。

4.1 一般論理素子記号と構成法

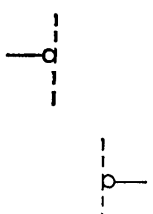
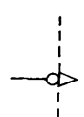
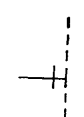
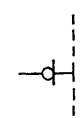
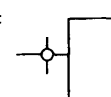
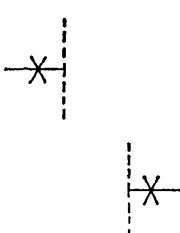
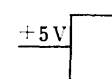
4.1.1 基本記号

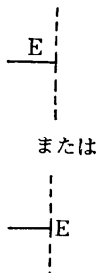
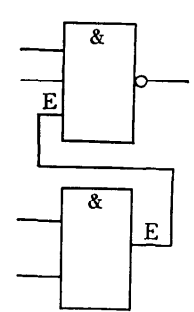
番号	記 号	名 前 ・ 規 定
1	または	論理素子一般記号 (Logic element—general symbol) 備考 縦横の比率は任意とする。

番号	記 号	名 前 ・ 規 定
2	 または 	機能識別記号の表示位置 (Position of the qualifying symbol for the function) 機能識別記号は、論理素子一般記号の内部で、上部または中央部に表示する。 付加情報 (Additional information) 論理素子の型式、機能、所在番地などいかなる情報も論理素子一般記号の内部に書き加えてもよい。ただし、機能識別記号の下に付加すること。
3	 	記号の組合わせ (Combination of symbols) 基本的な機能に関する記号は一緒にまとめてもよい。ただし、この場合は、つぎの規則による。 (1) 情報の流れの方向に、2つの記号に対して共通の線がある場合は、両者の間に論理的な結合はないものとする。 (2) 情報の流れの方向に対して垂直に、2つの記号に対して共通の線がある場合は、両者の間に論理否定を含まない一つの論理的な結合があるものとする。
4		情報の流れの方向 (Direction of information flow) 原則として、情報の流れの方向は、左から右、上から下とする。情報の流れの方向が不明確な場合は、情報を伝送する線に矢印をつけてその方向を示す。ただし、この矢印は、論理素子一般記号に隣接して置いてはならない。

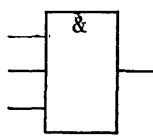
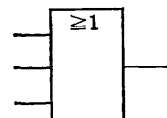
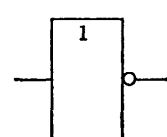
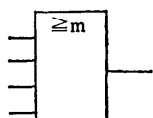
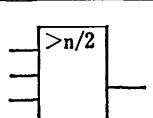
4.1.2 入出力記号

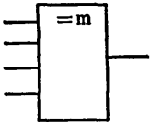
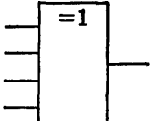
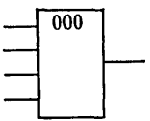
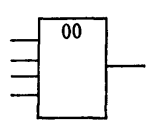
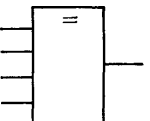
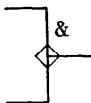
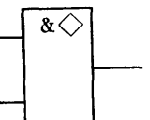
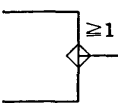
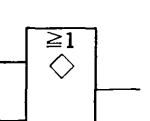
番号	記 号	名 前 ・ 規 定
5		スタティック入力 (Static input) 2値変数の状態0、1が、異なった2つの電圧レベルに対応する入力。
6		ダイナミック入力 (Dynamic input) スタティックな状態0からスタティックな状態1に移り変わることによって、ダイナミックな状態1を表わす。
7		極性表示子 (Polarity indicator) この記号は、極性を表わすことが必要な場合に用いるもので、状態1がより低い電圧レベルであることを示す。この記号がない場合は、状態1はより高い電圧レベルであることを示すものとする。 入力極性表示子 (Input polarity indicator) 出力極性表示子 (Output polarity indicator)

番号	記号	名前・規定
8		論理否定子 (Logic negation indicator) 入出力線と論理素子一般記号との接点に小さな円を書くことによって論理否定を表わす。なお、論理否定子は、事例のように表わしてもよいし円の中に入出力線が貫通してもよい。 入力論理否定子 (Input logic negation indicator) 例:  出力論理否定子 (Output logic negation indicator) 例: 
9		ダイナミック否定入力 (Negated dynamic input) スタティクな状態1からスタティクな状態0に移り変わることによって、ダイナミックな状態1を表わす。
10		抑止入力 (Inhibiting input) この入力が状態1であれば、論理素子の他の入力が、いかなる状態であっても、その出力は状態1にならない。この入力が状態0のとき、論理素子は機能識別記号どおりの意味をもつ。
11		抑止否定入力 (Negated inhibiting input) この入力が状態0であれば、論理素子の他の入力がいかなる状態であっても、その出力は状態1にならない。この入力が状態1のとき、論理素子は機能識別記号どおりの意味をもつ。なお、抑止否定入力は、事例のように表わしてもよい(例参照)。 例: 
12		固定情報線 (Line not carrying logic information) 固定した電圧レベルを送る線を表わす。なお、“×”は事例のように数字および文字に代えてもよい。 例:  固定入力情報線 (Input line not carrying logic information) 固定出力情報線 (Output line not carrying logic information)

番号	記 号	名 前 ・ 規 定
13		拡張入力 (Extension input) 拡張した回路の出力が接続される入力を表わす。ただし、変数の状態と電圧レベルとの関係を性格づける定義は通常、拡張入力には適用しない (例参照)。 なお、出力側の機能識別記号“E”は、まぎらわしくないときは省略してもよい。 例：拡張否定論理積 (4.2.1 の 26 参照) 

4.2 組合わせ論理素子記号

番号	記 号	名 前 ・ 規 定
14		論理積 (AND) 全ての入力が状態 1 のときのみ、出力は状態 1 になる。なお、機能識別記号“&”は、“A”に代えてもよい。
15		論理和 (OR) 一つまたはそれ以上の入力が状態 1 のとき、出力は状態 1 になる。なお、機能識別記号“≥1”は、“OR”またはまぎらわしくないかぎり“1”に代えてもよい。
16		否定 (NOT, Negater) 入力が状態 0 のときのみ、出力は状態 1 になる。
17		しきい値論理 (Logic threshold) 状態 1 の入力数が機能識別記号で示した数 (m) に等しくなるか、またはそれ以上になったときのみ、出力は状態 1 になる。ただし、m は入力の数よりも小さいものとする。
18		多数決論理 (Majority) 入力の絶対多数が状態 1 のときのみ、出力は状態 1 になる。ただし、“>n/2”は機能識別記号とする。

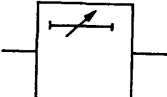
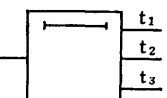
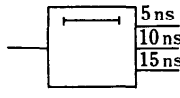
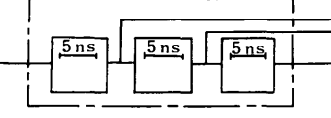
番号	記号	名前・規定
19		限定論理 (m and only m) 状態 1 の入力の数機能が機能識別記号で示した数 (m) に等しいときのみ、出力は状態 1 になる。ただし、m は入力の数よりも小さいものとする。
20		排他的論理和 (Exclusive OR) 状態 1 の入力数が 1 個のときのみ、出力は状態 1 になる。
21		奇数論理 (Imparity, Odd) 状態 1 の入力数が奇数個のときのみ、出力は状態 1 になる。なお、機能識別記号 "000" は、"$2n+1$" に代えてもよい。
22		偶数論理 (Parity, Even) 状態 1 の入力数が偶数個のときのみ、出力は状態 1 になる。なお、機能識別記号 "00" は、"$2n$" に代えてもよい。
23		一致論理 (Logic identity) 入力の全てが状態 1 のとき、あるいは、入力の全てが状態 0 のときのみ、出力は状態 1 になる。
24	または  	集約論理積 (Distributed AND connection, Dot AND) 複数の論理素子の出力を互に接続し、特別な論理素子を使用せずに、出力として論理積の機能が得られる。この場合、機能識別記号は出力線の任意の場所に表示してよいし、線はひし形の中にはいらなくてもよい。
25	または  	集約論理和 (Distributed OR connection, Dot OR) 複数の論理素子の出力を互に接続し、特別な論理素子を使用せずに、出力として論理和の機能が得られる。この場合、機能識別記号は出力線の任意の場所に表示してよいし、線はひし形の中にはいらなくてもよい。また、機能識別記号がない場合は、集約論理和と見なす。

4.2.1 組合わせ論理素子記号の例

番号	記 号	説 明
26		否定論理積 (NOT AND, NAND) の例 入力の全てが状態 1 のときのみ、出力は状態 0 になる。 論理否定子を使用する場合
		極性表示子を使用する場合 ただし、入力は負論理、出力は正論理である。
27		否定論理和 (NOT OR, NOR) の例 1 つ以上の入力が状態 1 であれば、出力は状態 0 になる。 論理否定子を使用する場合
		極性表示子を使用する場合 ただし、入力は負論理、出力は正論理である。

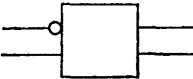
4.3 遅延素子記号

番号	記 号	名 前 ・ 規 定
28		遅延素子一般記号 (Delay element, general symbol)
29		固定遅延素子 (Delay element with delay time specified) 入力が状態 0 から状態 1 に遷移してから t_1 時間遅れて、出力の状態が同じような遷移をする。入力が状態 1 から状態 0 に遷移してから t_2 時間遅れて、出力の状態が同じような遷移をする (例 1 参照)。ただし、t_1 と t_2 が等しい場合は、遅延時間は一つ表示すればよい (例 2 参照)。 例 1 : 固定遅延素子の動作 例 2 : 固定遅延素子の動作 ($t_1 = t_2$ の場合)

番号	記号	名前・規定
30		可変遅延素子 (Variable delay element) 入力の状態が遷移してから、出力の状態が遷移するまでの時間が可変とする。
31		多段遅延素子 (Tapped delay element) 入力の状態が遷移してから、出力の状態が遷移するまでの時間が複数段に分かれているものとする (例参照)。 例:  

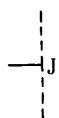
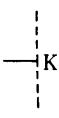
4.4 順序論理素子記号

4.4.1 基本記号

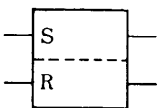
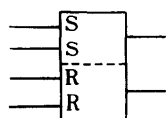
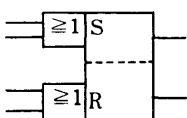
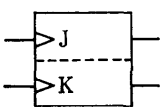
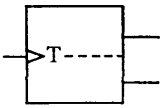
番号	記号	名前・規定
32		双安定素子一般記号 (Bistable element-general symbol) この場合の規定はつきによる。 (1) 情報は破線と平行に流れるものとする。 (2) 破線をはさんだ両側に表示された2つの出力は、相補関係にある。 (3) 入力の状態1をとれば、それと同一側に表示された出力が状態1をとる。 (4) 同じ種類の出力は記号の同じ側に表示する。 (5) 同じ種類の入力が複数個ある場合は、論理積や論理和のような記号と組み合わせてもよい。その記号がない場合は、論理和とみなす(38の例参照)。 (6) 破線の位置は、中央でなくてもよい。 (7) 破線は省略してもよいが、この場合は出力の極性を明記すること(例参照)。 例: 

4.4.2 入力記号

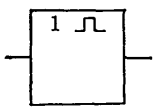
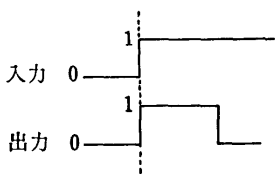
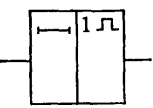
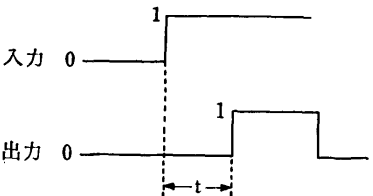
番号	記号	名前・規定
33		スタティックR入力 (Forcing static R input) R入力が状態1をとったとき、双安定素子は状態0になる。R入力が状態0にもどっても、双安定素子の状態に影響を与えない。
34		スタティックS入力 (Forcing static S input) S入力が状態1をとったとき、双安定素子は状態1になる。S入力が状態0にもどっても、双安定素子の状態に影響を与えない。

番号	記号	名前・規定
35		T入力 (T input) この入力が状態 1 をとるとに、双安定素子の状態が変わる。
36		J入力 (J input) S入力と同じであるが、 $J \cdot K = 1$ のとき、双安定素子は他の状態に移移する。
37		K入力 (K input) R入力と同じであるが、 $J \cdot K = 1$ のとき、双安定素子は他の状態に移移する。

4.4.3 順序論理素子記号の例

番号	記号	説明
38		RS 双安定素子 (RS bistable element) 2つの入力の状態が異なっている場合、状態 1 にある入力に対応する出力は、状態 1 になり、他の出力は状態 0 になる。その後、両入力が状態 0 になっても、出力はそのままの状態を保つ。両入力が共に状態 1 になった後、共に状態 0 に戻った場合は、この双安定素子の動作は不確定とする。 この場合、一つの双安定素子で、複数個の S 入力、および R 入力があってもよい (例参照)。 例：複数入力双安定素子の表示  または 
39		JK 双安定素子 (JK bistable element) この双安定素子の 2つの出力は、常に異った状態にある。一つの入力がダイナミックな状態 1 になると、これと同じ側の対応する出力が状態 1 になる。両入力が同時に状態 1 になると、この双安定素子の状態は変わる。両入力が共に状態 0 のときは、出力はそのままの状態を保つ。
40		T 双安定素子 (T bistable element, Binary divider, Complementing element) 入力がダイナミックな状態 1 をとるとに、出力の状態は変わる。入力が状態 0 のときは、出力はそのままの状態を保つ。

4.5 単安定素子記号

番号	記号	名 前 ・ 規 定
41		単安定素子 (Monostable element, Single shot) 入力が状態 1 になったとき, 出力も状態 1 になるが, 状態 1 を持続する時間は, 入力信号の持続時間に無関係である (例参照). 例: 単安定素子の動作 
24		遅延単安定素子 (Delayed monostable, Delayed single shot) 入力が状態 1 になってから, 時間 t だけ遅れて出力が状態 1 になる単安定素子である (例参照). 例: 遅延単安定素子の動作 

(昭和 47 年 6 月 1 日受付)