

Ramp 状入力波形対応 VLSI 配線遅延解析手法

鈴木 五郎^{†1} 三原 伸之^{†1}

Digital VLSI に関する配線 RC 等価回路遅延解析手法として、回路解析の代わりに Elmore 法に代表されるような伝達関数をベースにした遅延解析手法に関する研究がさかに行われている。本研究もその 1 つであり、gate の modeling としてよく用いられる effective capacitance を用いた gate modeler が出力する driver gate の ramp 状波形に対応可能な遅延解析手法を提案している。提案手法では Impulse 応答が Weibull 分布となること、つまり step 応答を前提にした従来の Weibull 型遅延解析手法を基本としている。しかし receiver gate 側での電圧波形を支配する伝達関数の極、いい換えると dominant pole を利用し、配線 RC 等価回路から見ると ramp 状入力波形に対応できるように従来手法の改良を行った。VLSI 実設計データを用いた評価を行い、従来の Weibull 型遅延解析手法と比べ、より優れた対 Spice 精度が実現できることを示した。

VLSI Interconnect Delay Analysis Method for Ramp Input Signal

GORO SUZUKI^{†1} and NOBUYUKI MIHARA^{†1}

Many methods for VLSI interconnect delay analysis based on the transfer function have been developed instead of differential equation base circuit analysis. This paper proposes transfer function base method named DPW. DPW employs conventional Weibull distribution method, but we modified it to cope with ramp form driver output signal calculated by popular effective capacitance base gate modeler. This proposal method yields very high accuracy compared with conventional Weibull distribution method. Experimental results are presented using industrial VLSI design data.

^{†1} 北九州市立大学国際環境工学部情報メディア工学科

Department of Information and Media Engineering, Faculty of Environmental Engineering, The University of Kitakyushu

1. はじめに

Deep sub-micron 化により、高精度を満足する新たな VLSI 配線 RC 等価回路遅延解析手法の開発が急務となっている。Impulse 応答として Gaussian 分布を前提とした Elmore 法¹⁾ は精度の限界があることから、Gamma 分布²⁾⁻⁷⁾ や Weibull 分布^{8),9)} を用いた遅延解析手法が提案されている。これらの解析手法は、Impulse 応答を積分した式、つまり step 応答の式を使用しており、配線 RC 回路の入力、いい換えると回路の前段に位置する driver gate の出力波形として step 波形を前提にした遅延解析法である。しかし、driver gate の出力波形はけっして step 波形とはならない。gate の modeling としてよく用いられる effective capacitance を用いた gate modeler²⁾ では、ramp 状の波形が出力される。この場合 step 応答ではなく ramp 波形応答を考えないと対 Spice 解析誤差が大きくなり、解析精度劣化の本質的な要因となる。

本論文では、ramp 波形応答を考慮した Weibull 型 RC 回路信号遅延解析手法 DPW (Dominant Pole Weibull) を提案し、その評価を行う。

2. 従来の Weibull 型信号遅延解析手法

まず、提案されている従来の遅延解析法 WED^{8),9)} を説明する。Weibull 分布を用いた impulse 応答および unit step 応答はそれぞれ式 (1) および式 (2) となる。ただし、両者とも電源電圧で正規化をしている。

$$\varphi'(t) = \alpha\beta^{-\alpha}t^{\alpha-1}e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad (1)$$

$$\varphi(t) = \int_0^t \varphi'(\tau)d\tau = \int_0^t \alpha\beta^{-\alpha}\tau^{\alpha-1}e^{-\left(\frac{\tau}{\beta}\right)^\alpha} d\tau = 1 - e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad (2)$$

正規化された impulse 応答は確率密度関数¹⁰⁾ と見なすことができるので、時刻の 1 乗と 2 乗の期待値を計算する。

$$\int_0^\infty t\varphi'(t)dt = \beta\Gamma\left(1 + \frac{1}{\alpha}\right) = \beta\Gamma(1 + \theta) \quad \text{where } \theta = \frac{1}{\alpha} \quad (3)$$

$$\int_0^\infty t^2\varphi'(t)dt = \beta^2\Gamma\left(1 + \frac{2}{\alpha}\right) = \beta^2\Gamma(1 + 2\theta) \quad (4)$$

式 (3) と式 (4) において、 $\Gamma(\cdot)$ は Gamma 関数を表している。また、driver gate の出力電圧と receiver gate 入力電圧を配線 RC 回路の入出と考えた電圧-電圧伝達関数 $T(s)$ の 1

次と 2 次回路 moment は式 (5) と式 (6) で与えられる .

$$T(s) = \int_0^\infty \varphi'(t)e^{-st} dt = \int_0^\infty \varphi'(t) \left\{ 1 - st + \frac{1}{2}s^2t^2 + \dots \right\} dt$$

$$= m_0 + m_1s + m_2s^2 + \dots$$

$$m_0 = 1$$

$$m_1 = - \int_0^\infty t\varphi'(t)dt = -e = -\beta\Gamma(1 + \theta) \tag{5}$$

$$m_2 = \frac{1}{2} \int_0^\infty t^2\varphi'(t)dt = \frac{1}{2}\beta^2\Gamma(1 + 2\theta) \tag{6}$$

ここで , $\frac{2m_2}{m_1^2} = \frac{\Gamma(1 + 2\theta)}{\{\Gamma(1 + \theta)\}^2}$ (7)

式 (7) の左辺の対数を x 軸にとり , y 軸に θ をとると , 片対数のグラフがほぼ直線になるという性質を使って解析対象 RC 回路 moment から $\theta = 1/\alpha$ を求め , $\Gamma(1 + \theta)$ が決まるので , 式 (5) から β を決定している . α および β が決定するので , 式 (2) を使い , receiver gate 入力が任意の電圧 V (V) に到達する時刻 T (s) を式 (8) で計算することができる . ただし , 電源電圧を V_{cc} (V) としている .

$$T = \beta \left\{ \ln \left(\frac{V_{cc}}{V_{cc} - V} \right) \right\}^{\frac{1}{\alpha}} \tag{8}$$

3. 提案する信号遅延解析手法

配線 RC 回路に関しての入力 , つまり driver gate の出力に立ち上がり時間 Tr (ps) (0 (V) から電源電圧 V_{cc} (V) まで到達するまでの時間) の ramp 波形が現れたとする . 配線 RC 回路の電圧-電圧伝達関数 $T(s)$ を用いると , step 応答 $V(t)$ は式 (9) で表現される . ここで , L^{-1} は逆 Laplace 変換を表す .

$$V(t) = L^{-1} \left\{ \frac{V_{cc}}{s} T(s) \right\} = V_{cc} \left\{ 1 - e^{-\left(\frac{t}{\beta}\right)^\alpha} \right\} \tag{9}$$

一方 , 図 1 に示した電源電圧 V_{cc} (V) , 立ち上がり時間 Tr (ps) の ramp 波形応答は式 (10) となる .

$$V(t) = L^{-1} \left\{ \frac{V_{cc}}{Tr} \frac{1}{s^2} T(s) \right\} = L^{-1} \left\{ \frac{V_{cc}}{Tr} \frac{e^{-sTr}}{s^2} T(s) \right\} \tag{10}$$

一般に , node 数 n の RC 回路に関する driver gate と receiver gate 間の電圧-電圧伝達

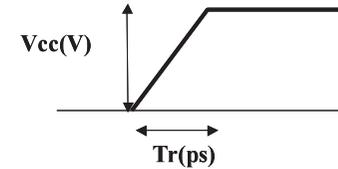


図 1 Driver gate ramp 状出力波形
Fig.1 Driver gate output ramp signal form.

表 1 伝達関数の極に関する分布例
Table 1 Transfer function pole distribution.

pole order		10^7	10^8	10^9	10^{10}	10^{11}	10^{12}	10^{13}	10^{14}
ladder	100	0	0	0	1	4	10	38	47
	500	0	1	1	5	17	51	191	234
	1000	0	1	4	10	32	104	381	468
tree	100	0	0	0	2	2	12	38	46
	500	0	0	2	4	18	52	190	234
	1000	0	2	2	10	32	104	384	466

関数 $T(s)$ は式 (11) に示す有理関数として表される .

$$T(s) = \frac{1}{D(s)} = \frac{1}{1 + d_1s + d_2s^2 + \dots + d_ns^n} \tag{11}$$

解析対象回路が RC 回路であることから , 特性多項式 $D(s)$ の根つまり極 s_1, \dots, s_n は次に示す 2 つの性質を持つ .

- (1) すべての極は負の実数である .
- (2) すべての極の次数は 1 位である²⁾ .

そこで , 式 (9) の逆 Laplace 変換を留数の和で表すと式 (12) となる . したがって , 式 (13) が成立する .

さて , ここで VLSI 配線 RC 回路に関する特性多項式 $D(s)$ の根つまり極の分布 (10 の何乗かを表す order と該当する極の数) に注目してみよう . 表 1 は 100 (nm) 製造 process を使用した 100 node RC 回路に関する極の分布例を示す . 評価に用いたのは , 抵抗値は 26.8 (Ω) , 容量値は 0.82 (fF) の素子を一對に持つ ladder 状および fan-out 数 4 の tree 状回路である . このように , 小さな order である極がわずかに存在し , より大きな order の極が大多数を占めることが分かる .

式 (12) から分かるように, step 応答 $V(t)$ の式は特性多項式 $D(s)$ の極が自然対数底 e の肩にかかる指数関数項に関する和となる. 絶対値が最小である極 dominant pole s_1 が肩にかかる指数関数項は, 他の指数関数項と比べてその値が 0 に収束する速度が遅い. この性質を利用すると,

$$V(t) = L^{-1} \left\{ \frac{V_{cc}}{s} T(s) \right\} = L^{-1} \left\{ \frac{V_{cc}}{s} \frac{1}{D(s)} \right\} \\ = \text{Res}_{s=0} \left\{ \frac{V_{cc}}{s} \frac{e^{st}}{D(s)} \right\} + \sum_{i=1}^n \text{Res}_{s=s_i} \left\{ \frac{V_{cc}}{s} \frac{e^{st}}{D(s)} \right\} \quad (12)$$

$$= V_{cc} \frac{e^{st}}{D(s)} \Big|_{s=0} + V_{cc} \sum_{i=1}^n \left\{ \frac{1}{s} \frac{e^{st}}{D(s)} (s - s_i) \Big|_{s=s_i} \right\} \\ = V_{cc} \left\{ 1 - e^{-\left(\frac{t}{\beta}\right)^\alpha} \right\} \\ \sum_{i=1}^n \left\{ \frac{1}{s} \frac{e^{st}}{D(s)} (s - s_i) \Big|_{s=s_i} \right\} = -e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad (13)$$

$$\text{where } 0 > s_1 > \dots > s_n \quad s_1 : \text{dominant pole} \quad (14)$$

$$\sum_{i=1}^n \frac{e^{st}}{sD(s)} (s - s_i) \Big|_{s=s_i} \approx \frac{e^{st}}{sD(s)} (s - s_1) \Big|_{s=s_1} \quad (15)$$

$$\frac{e^{st}}{sD(s)} (s - s_1) \Big|_{s=s_1} \approx -e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad (16)$$

dominant pole s_1 を使って式 (13) は式 (15) のように近似することができ, 式 (16) の近似が成立する. 特性多項式 $D(s)$ は, 解析対象 RC 回路に関する状態方程式 (17) の容量値行列 C と抵抗値行列 G を用いると式 (18) で表現される. したがって, 特性多項式 $D(s)$ の根つまり極は行列 $(-C^{-1}G)$ の固有値に相当するので, その総和は行列の Trace を使って式 (19) で表現される¹¹⁾.

$$CX = -GX + Bi \quad O = bX \quad (17)$$

X : node voltage, i : input signal, O : output signal

$$T(s) = \frac{1}{D(s)} = b(Cs + G)^{-1}B = b \frac{\text{adj}(Cs + G)}{\det(Cs + G)} B$$

where $\det(Cs + G) = \det\{C(Is + C^{-1}G)\}$

$$= \det C \det(Is + C^{-1}G) = -\det C \det\{-C^{-1}G - Is\}$$

where I : identity matrix

$$D(s) = -\det\{-C^{-1}G - Es\} \quad (18)$$

$$\sum_{i=1}^n s_i = \text{Trace}(-C^{-1}G) \quad (19)$$

また, 行列 $(-C^{-1}G)$ に関する逆行列の固有値は, 行列 $(-C^{-1}G)$ の固有値の逆数となる¹¹⁾ ことから, 極の逆数の和は式 (20) で表される.

$$\sum_{i=1}^n \frac{1}{s_i} = \text{Trace}\{(-C^{-1}G)^{-1}\} = \text{Trace}(-G^{-1}C) \quad (20)$$

そこで, 式 (21) を導くことができる.

$$\sum_{i=1}^n \frac{1}{s_i} = \text{Trace}(-G^{-1}C) \approx \frac{1}{s_1} \quad (21)$$

立ち上がり時間 Tr の ramp 波形応答は式 (10) であったが, 式 (12) と同様に逆 Laplace 変換を留数の和で表す. 式 (10) の第 1 項を $V_1(t)$, 第 2 項を $V_2(t)$ とおくと, 第 1 項 $V_1(t)$ は式 (22) となり, 式 (16) を使うと式 (23) が導ける.

$$V_1(t) = L^{-1} \left\{ \frac{V_{cc}}{Tr} \frac{1}{s^2 D(s)} \right\} \quad (22)$$

$$= \frac{V_{cc}}{Tr} \text{Res}_{s=0} \left\{ \frac{e^{st}}{s^2 D(s)} \right\} + \frac{V_{cc}}{Tr} \sum_{i=1}^n \text{Res}_{s=s_i} \left\{ \frac{e^{st}}{s^2 D(s)} \right\} \\ = \frac{V_{cc}}{Tr} \frac{te^{st}D(s) - e^{st}D'(s)}{D^2(s)} \Big|_{s=0} + \frac{V_{cc}}{Tr} \sum_{i=1}^n \frac{e^{st}}{s^2 D(s)} (s - s_i) \Big|_{s=s_i} \\ = \frac{V_{cc}}{Tr} t - \frac{V_{cc}}{Tr} d_1 - K_1 e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad K_1 = \frac{V_{cc}}{Tr} \frac{1}{s_1} \quad (23)$$

$$\frac{V_{cc}}{Tr} \sum_{i=1}^n \frac{e^{st}}{s^2 D(s)} (s - s_i) \Big|_{s=s_i} \approx \frac{V_{cc}}{Tr} \frac{e^{st}}{s^2 D(s)} (s - s_1) \Big|_{s=s_1} \\ = \frac{V_{cc}}{Tr} \frac{1}{s} \frac{e^{st}}{sD(s)} (s - s_1) \Big|_{s=s_1} \approx \frac{V_{cc}}{Tr} \frac{1}{s_1} \left(-e^{-\left(\frac{t}{\beta}\right)^\alpha} \right)$$

同様に第 2 項 $V_2(t)$ は式 (24) となり, 式 (16) を使うと式 (25) を導くことができる.

$$V_2(t) = L^{-1} \left\{ \frac{V_{cc}}{Tr} \frac{e^{-sTr}}{s^2 D(s)} \right\} \quad (24)$$

$$= \frac{V_{cc}}{Tr} \text{Res}_{s=0} \left\{ \frac{e^{s(t-Tr)}}{s^2 D(s)} \right\} + \frac{V_{cc}}{Tr} \sum_{i=1}^n \text{Res}_{s=s_i} \left\{ \frac{e^{s(t-Tr)}}{s^2 D(s)} \right\}$$

$$= \frac{V_{cc}}{Tr} \frac{(t-Tr)e^{s(t-Tr)}D(s) - e^{s(t-Tr)}D'(s)}{D^2(s)} \Big|_{s=0} + \frac{V_{cc}}{Tr} \sum_{i=1}^n \frac{e^{s(t-Tr)}}{s^2 D(s)} (s-s_i) \Big|_{s=s_i}$$

$$= \frac{V_{cc}}{Tr} t - \frac{V_{cc}}{Tr} Tr - \frac{V_{cc}}{Tr} d_1 - K_2 e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad K_2 = \frac{V_{cc}}{Tr} \frac{1}{s_1} e^{-s_1 Tr} \quad (25)$$

$$f(0) = 1 \quad f'(0) = d_1$$

$$\frac{V_{cc}}{Tr} \sum_{i=1}^n \frac{e^{s(t-Tr)}}{s^2 D(s)} (s-s_i) \Big|_{s=s_i} \approx \frac{V_{cc}}{Tr} \frac{1}{s} \frac{e^{s(t-Tr)}}{sD(s)} (s-s_1) \Big|_{s=s_1}$$

$$= \frac{V_{cc}}{Tr} \frac{1}{s_1} e^{-s_1 Tr} \left(-e^{-\left(\frac{t}{\beta}\right)^\alpha} \right) \approx -K_2 e^{-\left(\frac{t}{\beta}\right)^\alpha}$$

以上まとめると, driver gate から立ち上がり時間 Tr の ramp 状波形が出力された場合, receiver gate 入力の電圧 $V(t)$ は式 (26) で表すことができる.

$$V(t) = V_1(t) - V_2(t) \approx V_{cc} + (K_2 - K_1) e^{-\left(\frac{t}{\beta}\right)^\alpha} \quad (26)$$

したがって, receiver gate 入力が任意の電圧 V に到達する時刻 T は式 (27) で計算することができる. 立ち下がり ramp 入力波形の場合も, 同様の筋道で式 (27) に相当する式が導ける.

$$T = \beta \left\{ \ln \left(\frac{K_1 - K_2}{V_{cc} - V} \right) \right\}^{\frac{1}{\alpha}} \quad (27)$$

4. 提案する信号遅延解析手法における解析手順

提案する信号遅延計算法を CAD tool ととらえ, receiver gate 入力の電圧が V (V) になる時刻 T を計算する手順を以下にまとめる.

(S1) Spice net list より, 解析対象 RC 回路の状態方程式に関する係数行列 C, G を作成する.

(S2) 行列 $(-G^{-1}C)$ の Trace を計算する.

(S3) Trace の値から, s_1, K_1 , および K_2 を次式で計算する.

$$s_1 \approx \frac{1}{\text{Trace}} \quad K_1 = \frac{V_{cc}}{Tr} \frac{1}{s_1} \quad K_2 = \frac{V_{cc}}{Tr} \frac{1}{s_1} e^{-s_1 Tr}$$

(S4) 電圧-電圧伝達関数 $T(s)$ に関する 1 次と 2 次回路 moment を次式で計算する.

$$m_1 = -b(-G^{-1}C)(-G^{-1}B)$$

$$m_2 = -b(-G^{-1}C)^2(-G^{-1}B)$$

(S5) 2 章で述べた従来手法より, α および β の値を求める.

(S6) $T = \beta \left\{ \ln \left(\frac{K_1 - K_2}{V_{cc} - V} \right) \right\}^{\frac{1}{\alpha}}$ より, 時刻 T を求める.

5. 提案する信号遅延解析手法の評価

Effective capacitance を用いた gate modeler²⁾ を使用して driver gate の出力波形を計算しているため, driver gate から ramp 状波形が出力されるものとして評価を行った. driver gate 出力波形の立ち上がり時間 Tr を変化させた場合の対 Spice 解析誤差を表 2 に示す. 立ち上がり時間 Tr が大きくなると従来手法 WED に対して提案手法 DPW の解析精度が非常に良くなるのが分かる. 評価に用いた回路は抵抗値 26.8 (Ω), 対接地容量値 0.82 (fF) の素子を一對に持つ ladder 状回路を使用した. 解析誤差は式 (28) を用いて計算している. この表では遅延時間の代表として 20%遅延, 50%遅延, および 80%遅延に注目

表 2 Driver gate 出力波形立ち上がり時間と解析誤差

Table 2 Analysis error rate vs. input signal Tr .

Tr(ps)	WED error (%)			DPW error (%)		
	20%	50%	80%	20%	50%	80%
10	28.6	3.3	2.2	15.8	2.3	4.8
20	37.4	9.4	1.0	13.7	1.8	4.2
30	45.2	15.5	4.2	12.0	1.3	3.7
40	52.1	21.7	7.8	10.5	0.7	3.0
50	58.1	27.8	11.6	9.0	0.2	2.2
80	72.6	46.6	23.8	4.1	2.4	0.3
100	80.1	58.8	332.6	0.3	4.2	2.0

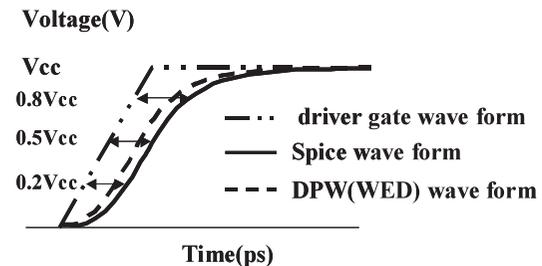


表 3 解析対象回路規模と解析誤差

Table 3 Analysis error rate vs. RC circuit size.

node #	Elmore error[%]	WED error [%]			DPW error [%]			
		20%	50%	80%	20%	50%	80%	
ladder	50	145.3	133.0	168.4	102.3	59.9	14.1	97.9
	100	18.7	72.6	46.6	23.8	4.1	2.4	0.3
	200	18.6	38.3	10.2	1.6	14.6	1.1	3.6
	300	24.1	30.0	4.8	0.9	18.7	0.2	3.2
	400	24.3	28.4	4.6	0.4	21.9	1.8	1.7
tree 2 fanout	500	22.5	29.3	6.4	0.9	25.1	4.6	0.1
	400	21.4	29.7	6.7	0.4	19.0	2.1	1.6
	800	20.8	27.9	7.6	2.0	25.1	6.4	1.5
tree 3 fanout	1000	17.2	31.5	11.2	4.9	29.8	10.5	4.5
	400	27.8	31.3	9.1	3.4	17.3	3.2	0.7
	800	29.6	23.4	7.2	3.8	19.7	5.7	3.1
tree 4 fanout	1000	20.4	26.0	14.4	17.0	23.7	14.4	17.0
	400	10.8	52.6	22.2	9.0	35.9	13.3	4.9
	800	27.1	28.9	6.0	0.8	23.8	3.9	0.2
1000	27.8	26.7	5.3	0.8	23.4	3.9	0.8	

しているが、それぞれ driver gate の出力電圧が V_{cc} の 20%, 50%, 80% になった時刻を基準にし、receiver gate の入力端子における電圧が V_{cc} の 20%, 50%, 80% に達するまでの時間で定義している。

$$\text{error} \triangleq \frac{\text{DPW(WED)} - \text{Spice}}{\text{Spice}} \times 100 (\%) \tag{28}$$

表 2 において、立ち上がり時間 T_r が小さくなると DPW は WED の対 Spice 解析誤差に近づくが、式 (27) において T_r を小さくすると式 (8) に近づくことで説明できる。

次に対 Spice 解析誤差の解析対象回路 node 数依存性に関する評価結果の例を表 3 に示す。Ladder 状回路に加え fan-out 数 2 から fan-out 数 4 までの tree 状回路を使用した。Driver gate から立ち上がり時間 80 (ps) の ramp 状波形が出力された場合の例である。ここで、node 数の最大値や fan-out 数の最大値はある半導体企業の実設計データから決定している。

50%遅延の平均値に注目すると、DPW: 5.8 (%), WED: 22.0 (%) および Elmore: 38.0 (%) であり、DPW がより高精度な解析を実現できていることが分かる。表 3 の ladder 100 node に関して、評価に用いた回路図を図 2 に示す。またこの回路についての立ち上がり波形応答を図 3 に、立ち下がり波形応答を図 4 に示す。Spice, WED, DPE を用いて解析した波形

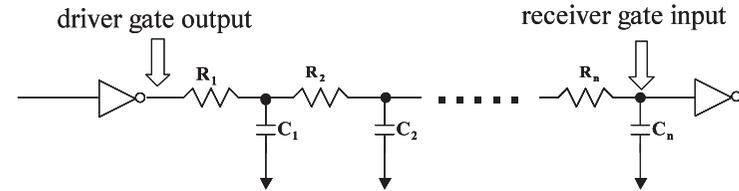


図 2 100 node ladder 評価回路
Fig. 2 100 node ladder evaluation circuit.

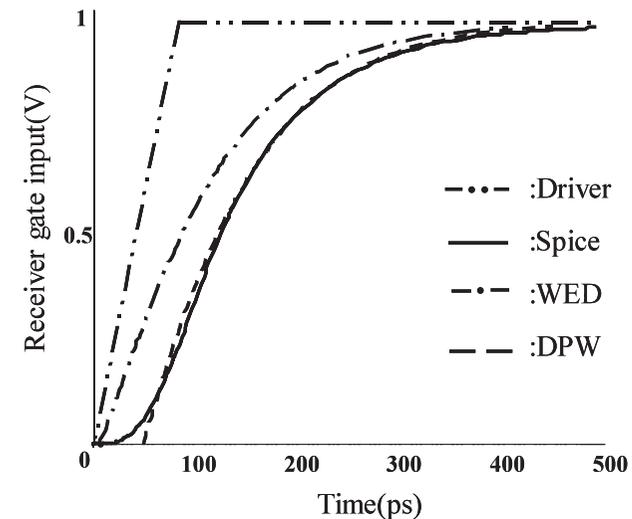


図 3 Receiver gate における出力立ち上がり波形応答
Fig. 3 Rising signal response at receiver gate.

を重ねて表示している。図 3 および図 4 に対応した 20%遅延時間, 50%遅延時間, 80%遅延時間の絶対値を表 4 および表 5 に示す。1 章で述べたように、WED は driver gate の出力波形が step 状になることを前提にしているため、ramp 状の波形では大きな解析誤差を生じていることが分かる。

表 3 に掲げた回路に関する DPW の処理時間は WED と比較してほとんど増加がなかった。たとえば、ladder 500 では、Matlab[®] Ver.7 を用いて作成・実行した DPW, WED とともに 2 (GHz) Windows XP[®] の PC で CPU 時間 0.0047 (s) であった。

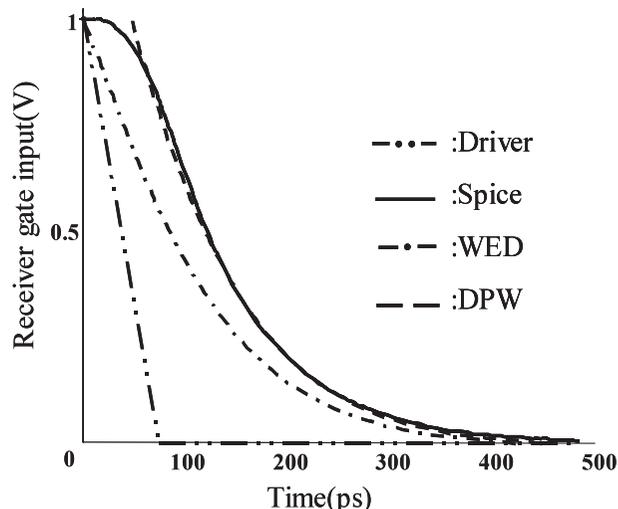


図 4 Receiver gate における出力立ち下がり波形応答
Fig. 4 Falling signal response at receiver gate.

表 4 立ち上がり波形遅延時間
Table 4 Rising signal delay time.

Spice(ps)			WED(ps)			DPW(ps)		
20%	50%	80%	20%	50%	80%	20%	50%	80%
79.8	126.9	209.8	33.5	86.4	175.1	77.2	124.9	209.3

表 5 立ち下がり波形遅延時間
Table 5 Falling signal delay time.

Spice(ps)			WED(ps)			DPW(ps)		
20%	50%	80%	20%	50%	80%	20%	50%	80%
209.6	126.9	79.8	175.1	86.5	33.5	209.3	124.9	77.2

6. おわりに

ramp 波形応答を考慮した Weibull 型 RC 回路信号遅延解析手法 DPW (Dominant Pole

Weibull) を提案し, その評価を行った. より傾きの小さい ramp 入力波形に関して, 従来手法 WED に比べ良好な解析精度を得ることができた. また実設計データを用いた評価では, 立ち上がり時間 80 (ps) の ramp 入力波形に関して, 従来手法では対 Spice 解析誤差平均 22.0 (%) に対して 5.8 (%) の誤差を実現することができた.

今回提案した DPW と Effective capacitance を用いた gate modeler を組み合わせた STA (Static Timing Analysis) tool を構築することが今後の課題である.

参 考 文 献

- 1) Elmore, W.C.: The transient response of damped linear networks with particular regard to wideband amplifiers, *Journal of Applied Physics*, Vol.19, No.1, pp.55-63 (1948).
- 2) Celik, M., Pileggi, L. and Odabasioglu, A.: *IC Interconnect analysis*, Kluwer Academic Publishers (2002).
- 3) Lin, T., Acar, E. and Pileggi, L.: h-ganmm an RC delay metric based on a gamma distribution approximation of the homogeneous response, *IEEE/ACM Proc. IC-CAD*, pp.19-24 (1998).
- 4) Kay, R. and Pileggi, L.: PRIMO: Probability Interpretation of Moments for Delay Calculation, *IEEE/ACM Proc. DAC*, pp.463-468 (1998).
- 5) Tutuianu, B., Dartu, F. and Pileggi, L.: An Explicit RC-Circuit Delay Approximation Based on the First Three Moments of the Impulse Response, *IEEE/ACM Proc. DAC*, pp.611-616 (1998).
- 6) 三輪 仁, 鈴木五郎: 非線形ルックアップテーブル簡略化による遅延解析の高精度・高速化手法, *電子情報通信学会論文誌 A*, Vol.J91-A, No.4, pp.513-516 (2008).
- 7) Rubinstein, J., Penfield, P. and Horwitz, M.A.: Signal delay in RC tree networks, *IEEE Trans. CAD of Integrated Circuits and Systems*, Vol.CAD-2, No.3, pp.202-211 (1983).
- 8) Liu, F., Kashyap, C. and Alpert, C.: A Delay Metric for RC Circuits based on the Weibull Distribution, *IEEE/ACM Proc. ICCAD*, pp.620-624 (2002).
- 9) Amin, C.S., Dartu, F. and Ismail, Y.I.: Weibull-Based Analytical Waveform Model, *IEEE Trans. CAD of Integrated Circuits and Systems*, Vol.24, pp.1156-1168 (2005).
- 10) Degroot, M.H. and Schervish, M.J.: *Probability and Statistics*, Addison Wesley Publishers (2002).
- 11) 児玉慎三, 須田信英: システム制御のためのマトリックス理論, コロナ社 (1978).

(平成 23 年 4 月 21 日受付)

(平成 23 年 6 月 3 日採録)



鈴木 五郎 (正会員)

1975 年慶應義塾大学理工学部電子工学科卒業。1993 年同大学工学博士。1975 年日立製作所入社。日立研究所，大みか工場，システム LSI 事業部（現（株）ルネサスエレクトロニクス）勤務を経て，現在，北九州市立大学情報メディア工学科教授。回路モデリング，回路縮約，回路モーメント，回路解析エンジン等シグナルインテグリティ解析に関する研究，および

ECC や論理 BIST アーキテクチャ等高信頼性デジタルシステム設計に関する研究に従事。



三原 伸之

2011 年北九州市立大学情報メディア工学科卒業。現在，同大学院修士課程在学中。回路モーメントを利用したシグナルインテグリティ解析に関する研究に従事。