

解説

マイクロコンピュータのアーキテクチャとシステム構成*

相 磯 秀 夫**

1. はじめに

論理回路の集積化が始まったのは 1960 年の初頭、最初のマイクロプロセッサといわれるインテル社の MCS-4 開発が 1971 年であるから、半導体技術は僅か 10 年の間に LSI 化という著しい進歩を遂げたことになる。一般に半導体技術は大量生産の上に成立つ技術であり、初期のマイクロプロセッサは構造が比較的単純で、しかも需要が多い電卓や端末制御装置のために開発されてきた。この第一世代は実装の高密度化を主目標にした時代であり、プロセッサの機能としては極めて単純な演算処理が中心であったが、1974 年頃には実装の高密度化にも見通しがつきはじめ、次第に性能の改善を追求する傾向が表われてきた。実際に現在のミニコンピュータの LSI 化を意識したものもあり、マイクロプロセッサは高速化、高性能化をも開発目標に加えた第 2 世代に入ったといえる。ここでは最近のマイクロプロセッサを取りまくアーキテクチャならびにシステム構成について総括するが、現状の半導体技術では両者に対する要望を十分吸収するだけの余裕はなく、LSI の限界を見ることができる。

なお、ここでいうマイクロプロセッサとは従来のコンピュータの中央処理装置 (CPU) に相当する部分、またはその中の演算制御部を LSI 化したものを指し、マイクロプロセッサの周囲にメモリおよび外部機器のための入出力制御回路を接続し、曲りなりにもコンピュータとして機能するものをマイクロコンピュータと総称する。また、マイクロプロセッサまたはマイクロコンピュータを複数台結合したシステムをマルチ・マイクロプロセッサ・システム、またはマルチ・マイクロコンピュータ・システムと呼ぶことにしたい。更に、ここでいうアーキテクチャは Amdahl ら¹⁾が定義したほど厳密でなく、かなり広義に解釈しているこ

とをお断りしておく。また、文中 () 内に示したマイクロプロセッサは記述に関連した代表例を示したものである。

2. 半導体技術とアーキテクチャ

マイクロプロセッサは最高レベルの半導体技術を結集した成果であり、その特徴は開発時における技術レベルを的確に反映している^{2),3)}。アーキテクチャの観点から眺めても、半導体技術から大きな制約を受けているのが実状で、むしろ半導体技術を理解することなしによいアーキテクチャを設定することは不可能である。一般に LSI 化の目的は、(i) 高密度集積化で小型化する、(ii) 大量生産で安価にする、(iii) 信頼性を高める、(iv) 使い易くすること、にあり、更に最近では (v) 高性能化をも含めようとしている。

開発初期の、いわゆる第 1 世代のマイクロプロセッサを見るとその多くは適用分野を設定した上で開発しており、上述の (i) ~ (iii) の目的はかなり達成されているが、(iv)、(v) に関しては全く不満足なものが多い。1974 年中期頃からの第 2 世代のマイクロプロセッサはミニコンピュータを指向した汎用的な機能を備えたものもあり、第 1 世代の欠点をかなり改善しているが、これらの改善は次に述べる半導体技術から与えられた制約との妥協の産物といえる。現在のマイクロプロセッサに課せられた一般的な制約を列挙すれば、

- (1) 製品の歩留りを上げ、低価格にするためにチップ面積が大きくとれず、チップ当りの集積回路数、外部へのピン数、内部バスの数・構造が制限される。論理回路数をおさえることは論理機能の単純化をまねくか、あるいはビット・スライスまたはマルチ・チップにせざるを得なくなる。その結果、処理速度の低下、チップ間情報転送の著しい遅延をもたらす、内部ゲートの高速性を活かせなくなる。ピン数を制限する理由はピンのボンディング個所がチップ面積を決

* Microcomputer Architecture and System Structure by Hideo AISO (Faculty of Engineering, Keio University)

** 慶応義塾大学工学部

めてしまうこと、漂遊容量などによる電気的特性が高速化を阻害すること、極端に多いピンをもつ LSI テスタの開発が進んでいないことなどにある。アーキテクチャから見れば、ピン数が少ないことはシステムの拡張性・融通性がとばしいことを意味し、望ましいことではない。高速 16 ビット CPU に対しては 100~150 ピンが必要といわれている⁴⁾。

チップ上において情報転送用のバスが占める面積を無視することはできない。演算処理から見て最も望ましい 3 バス (2 ソース・バス, 1 デスティネーション・バス) 構成をとると占有面積は 30% 以上に達するという報告がある。結局, バスを時分割使用する 2 バスあるいは 1 バス構成をとることが多くなる。その結果処理速度が低下する。

- (2) 歩留りと実装密度との釣合いから、近い将来における最大集積密度は 1 チップ当り 5,000 ゲート程度と予想されるが、この程度では強力な論理機能を含めることはできないばかりか、誤動作検出・訂正機能を考慮する余裕が全くない。LSI は部分的な修復が不可能であるという性格からも冗長技術に対する考え方を変える必要もでてくる。
- (3) 現在の半導体デバイスは高密度集積化と低電力消費化の点で MOS 型、高速化の点でバイポーラ型デバイスが用いられているが、前者では十分な高速性は望めない。また、後者では放熱の観点から大きな集積化は困難になっている。したがって、MOS 型デバイスでは現在のミニコンピュータ程度の CPU のモノリシック化は可能であるが、比較的低速を余儀なくされている。一方、バイポーラ型デバイスでは発熱の問題からビット・スライスあるいは機能分割方式をとらざるを得ないのが現状である。
- (4) 製品検査の観点からも将来は大きな問題が出てきそうである。まず、ピン数の多い LSI 素子を検査するテスタの開発に多額の費用がかかることが予想される。現在は電卓用の 40 ピン程度の LSI 素子のために標準的なテスタが開発されており、最大ピン数はむしろテスタの機能から決められていると見られる。論理回路の集積密度が大きくなるにつれ、含まれる論理機能も複雑になり、製品授受の段階でのテストに

長時間を要することになる。

一般に複雑な論理回路を効率よくテストするためには論理回路の設計あるいは開発の段階から意識的に準備しておくことが大切であるが、LSI においては新しい問題であり、集積密度や機能などにも大きな影響を与えることになる。

- (5) 大量生産を前提とする半導体技術の性格から、開発は必然的に標準的なものに限られ、機能を追求した特殊なものは対象にならない。また、標準化の傾向は利用者が増えるほど助長されると考えられ、新しいものが開発しづらくなる。

などの点であろう。このようにマイクロプロセッサの開発においては半導体技術からの制約の方が厳しく、結局その制約と使い易さとの間でいかに妥協をとるかがアーキテクチャ設定の最大の課題になっている。

このような制約を考えても、近い将来のマイクロプロセッサとして 1 チップ当りの集積実装密度 5,000 ゲート、ピン数 100、基本命令処理時間 200 ns 程度のものは開発できると期待されている。したがって、現在のミニコンピュータの CPU は LSI 化できる見通しであり、この辺がミニコンピュータとの接点になると見られる。その結果、ミニコンピュータ自身はより高速・高性能化の方向をたどると考えられ、高速浮動小数点演算や高性能な入出力制御、あるいは高レベル言語処理に適した諸機能が要求される応用分野でその存在価値が認められることになろう。

なお、大型コンピュータの構成要素の LSI 化においては若干異なった問題があることを指摘しておきたい。大型機では当然のことながら Schottky TTL あるいは ECL のバイポーラ素子による LSI 化が要求されるが、比較的放熱機構が完備されている環境からバイポーラ素子といえども数千ゲートの高密度集積化も考えられる。しかしながら、特に複雑な制御系における設計のフィールド・チェンジ、多数の LSI 素子の実装経験の不足を無視することができず、これらの損失を恐れて集積密度をあまり大きくとらないのが実状と思われる。このような意味では開発前の論理シミュレーションがなんらかの方法で徹底的にできることがマイクロコンピュータの特徴にもなっている。

3. 構成要素とそのアーキテクチャ

現在のマイクロコンピュータは開発技術から見て、命令語やオペランド処理を行い、全体の制御を司る、

いわゆるマイクロプロセッサ(CPU), RAM (Random Access Read/Write Memory) や ROM (Read Only Memory) による主メモリおよび制御メモリ, 周辺機器などの制御を行う入出力制御機構の3つのモジュールに大別することができる。以下, それぞれについてアーキテクチャの観点から動向を簡単に展望する^{2), 5), 6)}。

3.1 マイクロプロセッサ

LSI 化技術⁷⁾: マイクロプロセッサの特徴はLSI化の手法によって大きく左右される。LSI 化において重要な条件は高速性, 低電力消費, 高集積密度, 高歩留りのほか, ユーザの立場から外部インタフェースの信号の種類(ピン数)および電圧電流レベル, 電源の種類などである。

一般に高集積密度・低速素子として MOS, 高速素子としてバイポーラ技術が常識になっている。初期のマイクロプロセッサでは製造が簡単で, しかも高集積密度が保証される p-MOS であったが (Intel MCS-4), その後, 高速で TTL と同一信号レベルになりうる + 電源を用いる n-MOS が主流になっている (Intel 8080, Motorola 6800, 日電 μ PD 7530)。最近では両者を巧みに組み合わせた単一低電源, 低電力消費, 動作特性のよい C-MOS (Intel 4040, RCA COSMAC), その上にスイッチ効率や電力消費を改善した ED (Enhance-Depletion) 形, 数 ns のスイッチング速度をもつ DSA (Diffusion Self-Aligned) 形 MOS へと発展している。更にこれらの高速 MOS をサファイヤまたはスピネル基板の上に実現する SOS (Silicon On Sapphire) 形 MOS の開発に期待がかけられているが, 価格, 技術の安定性などに問題があり, 本格的な実用化はこれからである。一方, バイポーラ高速マイクロプロセッサ (Intel 3002, MMI 6701) は低電力消費 Schottky TTL が多用されているが, 最近では ECL 技術が用いられるようになった (Motorola M 10800 シリーズ⁸⁾)。いずれの技術も, 特に後者は高速スイッチング回路を実現するが, 電力消費が大きく, 集積密度が小さい欠点がある。この電力消費と集積密度の問題を解決する技術として, 最近では IIL (Integrated Injection Logic) が注目を集めている (TI SBP 0400⁹⁾)。この技術は高速性に多少難点はあるものの, 設計・開発の段階では MOS 技術と共通する部分が多く, 集積密度は n-MOS 程度が期待でき, 電力消費を小さくすることも可能で, バイポーラ LSI 技術として主流を占めるものと予想される。

語長: マイクロプロセッサが一時に処理する情報単

位(語長)は適用分野を意識して, 2ビット, 4ビット, 8ビット, 12ビット, 16ビットに分類することができる。このうち4ビット MOS 系は単純な機能でまにあう電子会計機や端末装置の制御のために開発されたものであるが, 需要が多いということから将来は適用分野ごとの特注設計になる可能性がある。一方, バイポーラで2ビットおよび4ビット・プロセッサは放熱などの点からビット・スライスをとった演算論理モジュールであることが多く, 縦続接続することによってより大きな語長として取り扱えるように, 桁上げ・状態情報の高速伝播が考慮されている。この種のプロセッサは現在集積密度の関係から制御モジュールが独立しているものが多い。

一般に 16ビット・マイクロプロセッサ (General Instrument CP-1600, 日電 μ COM-16, パナファコム L-16A, TOSBAC-40L プロセッサ) はミニコンピュータの構成要素として開発したもので, 比較的高速で機能も高く, エミュレーションや既存の応用プログラムを効率的に処理するような配慮がなされている。マイクロプロセッサの中で中心的役割を果たしているのは8ビット並列処理プロセッサであり, 広範な応用分野で標準的な存在になろうとしている。

内部構造: プロセッサは演算論理ユニット (ALU) およびレジスタを中心に命令語・オペランド処理制御ユニット, メモリ・入出力インタフェース, タイミング制御ユニットなどから構成されているが, チップ上での実現は集積密度とのかね合いで適当な組み合わせで行われる。ALU は単純な加算器が中心で, これに8~16個の汎用レジスタ・ファイルをもつものが増えている。また, 制御スタックがレジスタまたはメモリの一部に構成できるようになりつつあるが, このような多レジスタ方式はプログラミングの面からも望ましく, 常識化するものと思われる。ALU とレジスタ間の相互接続は機能の融通性および構造の標準化といった観点からバス構造をとることが多いが, 最近のチップ内配線技術の進歩で3バス方式をとる傾向にある。

機能: 半導体技術からの制約が機能に与える影響は大きい。集積密度の限界は演算論理機能を限定し, バス構造の単純化は処理速度の低下を, ピン数の制限は外部モジュール間とのアドレス・データ・制御に関する情報授受の方式を簡単にし, システムの拡張性・融通性を悪くしている。一般に具備している命令は16~100種類程度であり, 2進加減算・基本論理演算を

中核として極めて単純な機能である。演算命令に関しては、乗除算や浮動小数点演算機構などをハードウェアでもっているものは見受けられないが、乗除算や2進10進変換処理を効率よく行うための補助命令を設けたもの(電総研 ACE¹⁰⁾、10進演算補助命令をもつもの(パナファコム L-16A)があり、10進演算命令をハードウェアでもつ計画もある(Motorola 10800)その他の命令としては分岐やビット処理機能の貧弱さが目立つが、最近開発されるマイクロプロセッサにはマスク操作や直接的にビット処理を行う命令を含める傾向にある(Signetics 2650, 三洋電機 MCP-3000¹¹⁾)。また、エミュレーションのために可変長データの取り扱いを重視し、アクセスされたデータをハードウェアで16~32ビット自動的にアライメントする試みもある(電総研 ACE)。

既存のマイクロプロセッサの命令は全般的に極めて単純なものが多く、最適な体系になっているとはいえない。新しい半導体技術に頼るだけでなく、アーキテクチャの面からも性能向上を図る余地が残っている。このような意味では、ミニコンピュータ指向の16ビット1チップ・マイクロプロセッサパナファコムであるL-16Aの開発に際して典型的な応用を徹底的に解析し、従来のマイクロプロセッサに欠ける機能を命令として設定し、性能改善に成功しているのが注目される¹²⁾。一般に、マイクロコンピュータの構成において、マイクロプロセッサが占める価格の割合は10~20%であることを考えれば、マイクロプロセッサの命令はメモリ容量や周辺回路の節約、プログラム・ステップおよび実行ステップの短縮、実行速度の向上といった観点から改めて見直す必要があることを示唆している。

アドレス修飾の機能もプログラミングの面から見ると重要なものであり、最近ではミニコンピュータと同じようなアドレス方式をとる傾向にあるが、アドレス空間としては4~16k語の制御用マイクロコンピュータと64k語以上をアドレス可能なミニコンピュータのものとに分かれるものと思われる。また、マルチプロセッサ構成を意識して、簡単なセグメンテーション方式を提案した例もある(電総研 ACE)。

制御方式: 初期のマイクロプロセッサにおける命令語処理は大部分いわゆる配線論理(wired Logic)によるものであるが、最近ではマイクロプログラム制御方式をとるものが増えてきた。その理由はマイクロプログラム論理によって、(i)内部論理構造が標準化でき

る。(ii)複雑な制御ユニットが単純になり、設計が容易になる、(iii)ROM構造の方がランダム・ロジックよりチップの使用効率が著しくよくLSI化に適している。(iv)ユーザの応用分野に適したファームウェア作りが可能で、しかも機能の融通性を保証できる、(v)エミュレーションが可能になる、ことにある。特にLSIにとってはマイクロプログラミング方式が内部構造の標準化の有用な手段になることが魅力となっている。したがって性能を追求し、アーキテクチャが比較的固定的なプロセッサは敢えて配線論理によっているものがある(パナファコム L-16A)。一方、マイクロプログラム論理を採用していても、その機能をユーザに積極的に公開していないものも多い。ユーザには通常の機械命令が与えられ、その命令チップに内蔵した固定のマイクロプログラムで解釈実行する方式である(東芝 TLCS-12)。ユーザがマイクロプログラミング方式の良さを利用できるようにした、いわゆるユーザ・マイクロプログラミング方式も普及してきた。特に機能の融通性が要求される16ビット系(NS IMP-16, 日電 μ COM-16, 三洋 MCP-16)やビット・スライス方式のパイポーラ・マイクロプロセッサ(Intel 3002, MMI 6701)は8~40ビット程度のマイクロ命令をユーザに公開するのが常識化しつつある。なかでもビット・スライス系でよく見られるように、チップ外にユーザが適当な形でマイクロプログラム制御ユニットを設計できるようになっているものは、応用によっては大変都合がよい場合がある。しかしながら、高速性を確保するためにはマイクロ命令供給用の特別なインタフェースの設定、したがってピン数の増加が必要となる。また、マイクロプログラム開発の生産性もユーザにとっては大きな難題となっている。

命令語の処理は一般に逐次制御が普通であるが、命令語の読み出しおよび実行ステップをパイプライン処理し、高速化を図るものも出てきた(Intel 3000)。これなども制御ユニットと演算ユニットが独立したチップ上に実現されており、しかもパッケージ単位の機能が比較的小さいのでピン数に余裕があるために具体化が容易になっている。

一般に現在のマイクロ命令の欠点はビット処理や分岐機能が貧弱なことである。特にマイクロプロセッサにおける単純な命令体系ではその欠点が目立ち、エミュレーションにおいてマイクロ命令の処理が能率よくできないという問題が表面化してくる。このため最近ではMLP 900の“Language Board”¹³⁾に対応するプ

プログラム可能なロジック・アレイ, PLA (Programmable Logic Array)¹⁴⁾の実用化が進んでいる(日電 μ COM-16)。一般の PLA は一種の ROM と見做すこともでき、複数ビットの判断結果に対応する状態 (n-way の分岐) を 1 ステップで得る組み合わせ論理機構である。制御機構を簡単にするためにも大きな役割を果たすと考えられ、将来は多用されるものと予想される。

割り込み機構: 初期のマイクロプロセッサでは割り込み機構を全くもたないか (Intel MCS-4)、あってもオンチップ上では単一レベルで (Intel 8080)、ハードウェアは最小限度のものしかなく、プログラム・カウンタのスタックへの退避、スタックポインタの更新、特定番地への飛越し程度のことしか行わないのが普通である。しかしながら、マイクロプロセッサの応用分野が開かれるに伴って、高度な割り込み機構を備える傾向が出てきた。3 レベルの優先割り込み処理が可能なもの (Rockwell International PPS-8) や 8 レベルの割り込みを受け付け対応する割り込みアドレスを発生する機構 (Intel 3214) が開発されている。また、従来のコンピュータの概念と同じようにプログラム状態語 PSW をハードウェアでもち、割り込み時に自動的に切替える方式をとったものもあり (東芝 TLCS-12、パナファコム L-16A)、割り込みをマイクロ命令レベルで許すものも開発中である (電総研 ACE)。いずれにしても、割り込み機構はプロセッサの性能に大きな影響を与えるので、制御スタックを併用して次第に高度な機能をもつようになってきた。

新しい構成要素: 今迄のマイクロプロセッサはミニコンピュータなどと殆んど同じ考え方に基づいて構成されているが、最近新しい動きがいくつか見受けられる。一つは前述の PLA の機能を拡張して、それ自身に制御装置としての機能をもたせる試みである。図-1 はその原理的な構造を示したものである。エミュレーションの効率化に役立つ PLA は AND 論理と OR 論理の部分だけで構成されているが、各論理部をプログラムで可変にすることによって、入力に対する任意の組み合わせ積和論理を作り出すものである。これに対して、出力の一部をフリップ・フロップ群に記憶させ、その出力を入力側にフィードバックし、いわゆる順序論理とすれば、これだけで万能制御モジュールになる可能性が出てくる。このような考え方の具体化は既に進められており (IBM 7441 Buffered Terminal Control Unit)¹⁵⁾、小規模で局所的に存在する制御回

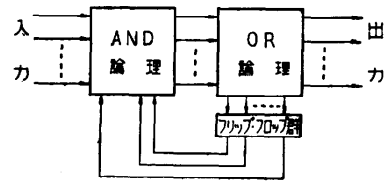


図-1 PLA の構造

路として適している¹⁶⁾。通常のディスクリートな集積回路によるランダム制御回路と冗長の多い汎用マイクロプロセッサ制御装置とのギャップをうめる構成要素として重要になると思われる。

もう一つはレジスタ転送レベルのマクロな機能を構成要素として LSI 化する試みである。その代表的な例が Fairchild MACROLOGIC¹⁷⁾である。MACROLOGIC は Schottky TTL による 4 ビット・スライスの高速 LSI モジュールで、(i) 8 種類の基本演算論理機能と 8 個のレジスタから成る ALRS (Arithmetic Logic Register Stack)、(ii) 15 レベルの制御スタック、P-Stack (Program Stack)、(iii) シフト機能、マスク操作、定数 (0, ± 1 , -2) 操作に関する 30 種類の機能を有するモジュール、DPS (Data Path Switch)、(iv) 加算器を中心に 16 種類のメモリ・アドレス計算処理を行う DAR (Data Access Register)、および (v) 一種の PLA の役割を果たす R-stack の 5 種類に分かれている。これらのモジュールを組み合わせることで適当なプロセッサを構成することができる。特定のコンピュータのエミュレーションや特殊なシステムを効率よく実現する上には便利である。半導体技術の制約を効率的な機能モジュールの中に吸収した例といえる。

3.2 主メモリ

マイクロコンピュータ・アーキテクチャから見て、メモリ・モジュールに要求される事項は、(i) 動作速度・データ読み出し/書き込み幅・信号レベルのインタフェースなどが他のモジュールと釣合いがとれること、(ii) 低価格であること、(iii) 情報の不揮発性を要求される場合があること、(iv) 消費電力が小さいこと、(v) 小型・軽量、などであろう。メモリ素子としては当然半導体メモリである。最近の傾向では高速・小容量なものはバイポーラ、中速・中容量には n-MOS、低速・大容量には p-MOS の素子が用いられているようである。一般にはマイクロプロセッサの動作速度ならびに信号レベルなどから素子を選択するが、用途によってもメモリの種類を変えることがあ

る。通常レジスタ・ファイルには高速スタティック RAM, 主メモリには中速ダイナミック RAM または ROM, マイクロプログラム用制御メモリには ROM または PROM が多用されている。

目的によっては情報の不揮発性が重要になり ROM または PROM が RAM の代りに用いられる。ROM には製造工程でマスクに情報を書込む(再書き込み不可能な) Mask ROM とユーザがフィールドでオフライン的に情報を書込める PROM (Programmable ROM) とがある。PROM にはユーザがフューズを溶断したり PN 接合を破壊することによって情報を書き込む(再書き込み不可能な)ものと紫外線または電氣的に書き込み内容の消去が可能で、改めて情報を書込める EA-ROM (Erasable and Alterative ROM) と呼ばれるものがある。共に特別な書き込み装置が必要であるが、ユーザが手軽に情報が書け、しかも情報の不揮発性が保証される EAROM が広く普及している。

ユーザにとって特に重要なことはメモリの低価格性である。その理由はマイクロコンピュータ・システムにおけるメモリの価格占有率が著しく大きいからである。通常メモリの価格は集積密度(ビット/チップ)が大きいほど安くなるから、価格も半導体技術の進歩にかかっているといえる。1960 年初頭の集積回路化から現在に至るまでの集積密度の推移を調べると 1~1.5 年ごとに 2 倍の改善がなされているといわれる (Moore-Eklund の法則¹⁸⁾)。実際に Intel が 1972 年に 1 k ビット/チップの MOS ダイナミック RAM を開発してから順調に毎年 2 倍ずつ集積密度の改善が達成されており、1976 年には Four Phase 社などが 16 k ビット/チップの n-MOS RAM を実用化すると発表している¹⁹⁾。仮にこの技術進歩が持続するとすれば、1980 年には 128 k ビット/チップのメモリ素子が現在の 1/10 位の価格で得られると予測している^{18), 20)}。

マイクロコンピュータの主メモリは一般に小容量であるが、何よりも使い易いことが肝要である。このためマイクロプロセッサの語長に合った出力ビットをもつ素子やスタティック方式のものが好んで用いられる傾向にある。将来はシフトレジスタや CCD (Charge Coupled Device) などがその特徴を活かして使用されると思われるが、特に CCD は小型ディスクに替わるものとして期待が寄せられている²¹⁾。

3.3 入出力制御機構

今までのマイクロコンピュータの最大の欠点は割込み機構を含む入出力制御機構の貧弱さにある。特に第

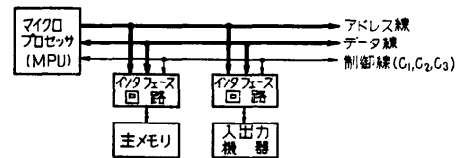


図-2 外部装置の接続

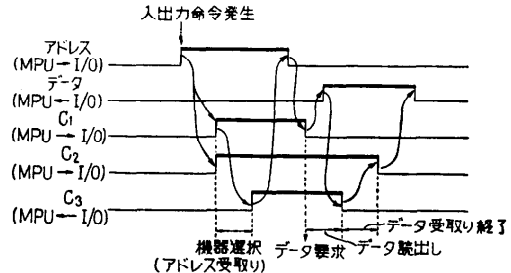


図-3 入出力転送制御の一例
(入力動作・非同期的の場合)

1 世代のものでは、マイクロプロセッサはデータの授受を行うレジスタを外部インタフェースとして備えている程度で、多くの場合はユーザ自身が外部に入出力制御機構を作るのが普通であった。最近では機器やタイミング制御の指定などできるようになり、データの授受が容易に行えるようなインタフェース機能を持ち、機器が簡単に接続できる各種 LSI ファミリー素子、あるいは汎用インタフェース素子が開発されている^{22), 23), 24)}。

データ転送方式: マイクロプロセッサ開発頭初はマイクロプロセッサの制御の下で、プロセッサ内のレジスタと入出力機器の間でデータ転送を行う、いわゆるプログラム制御チャンネルが一般的であったが、最近では主メモリと入出力機器間で直接データ転送を行う直接メモリ・アクセス (DMA)・チャンネルを LSI チップで備えるのが普及してきた (パナファコム L-16A)。

図-2 に示すように、マイクロプロセッサからはデータ線、アドレス線、および数本の制御線が外部インタフェースとして準備されており、図-3 に一例を示すように方式でデータの授受を行う。

DMA チャンネルの場合はアドレス線およびデータ線の競合を避けるために入出力機器側からのバス使用要求、マイクロプロセッサ側からのバス使用許可に関する制御線を更に設ける必要が出てくる。また、ブロック転送を可能にするために、転送語カウンタ、アドレス・レジスタ、データ・バッファをインタフェース回路の中にもたなければならぬ。DMA チャンネルの役

割は、(i)機器を選択し、転送データの先頭アドレスと転送語数を記録する、(ii)マイクロプロセッサからの起動命令を解読する、(iii)1語転送ごとにアドレスおよび転送語カウンタを更新する、(iv)所定の語数転送が終わったときマイクロプロセッサに割込みをかけ入出力動作を終了させることである。マイクロプロセッサが入出力機器を起動する命令は2種類ある。一つは一般の入出力命令であり、他は入出力機器にメモリ・アドレスを割当て、メモリ参照命令で行う方式である(東芝 TLCS-12)。

入出力インタフェース回路：ユーザが簡単に入出力機器を接続できるように、各メーカは種々の入出力機器のインタフェース回路を開発している。インタフェース回路の開発には2つの流れがある。一つは代表的な機器それぞれ固有のインタフェース回路を提供する方向であり、他はユーザがプログラムによってそれぞれの機器インタフェースに合わせることができ汎用インタフェースの開発である。特に後者の出現はユーザにとって大変便利な存在であり、今後の発展が注目されている。汎用インタフェース回路として有名なものは Rockwell International 10696 PDC (Parallel Data Controller), Motorola 6820 PIA (Peripheral Interface Adapter), Intel 8255 PPI (Programmable Peripheral Interface) などである。図-4 は Motorola 6820 PIA の構成を示したものである。PIA は A, B 2 チャンネルを備えているが、入力/出力いずれのチャンネルにも指定できる。内部のレジスタ(6個)は全てマイクロプロセッサのアドレス空間内でアクセスできる。制御レジスタ(CR)は動作モードを定義し、データ・ディレクション・レジスタ(DDR)は周辺インタフェースが入力用か出力用かを指定する。したがって、入出力機器を起動する前に PIA をイニシャライズする必要がある。データ転送は入出力制御線ならびに割込み要求線を解読しながらマイクロプロセッサの制御の下で行う。

将来の方向：入出力機器の多様性ならびにマルチ・プロセッサ・システム構成などを考えると、将来は共通バス制御回路²⁵⁾や汎用入出力プロセッサ²⁶⁾などが開発される可能性もある。マイクロコンピュータの特色の一つは便利な入出力制御機構に集約されるとみてよいであろう。

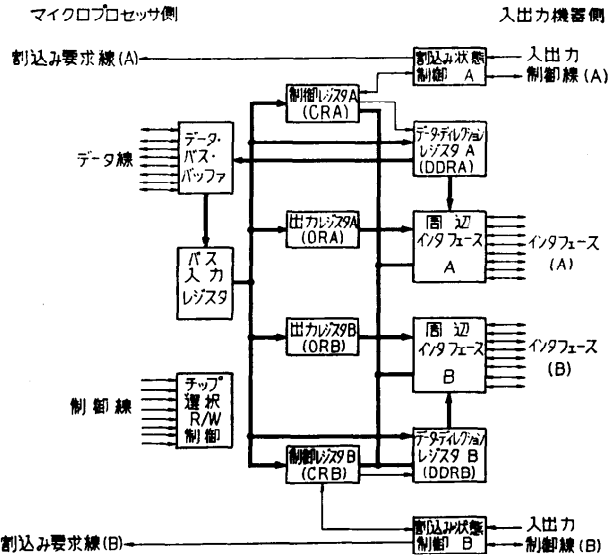


図-4 Motorola 6820 PIA の構成

4. マルチ・マイクロプロセッサ・システム

単体のマイクロプロセッサを中核としたユニプロセッサ・システムは半導体メーカが提供するモジュールを結合して容易に構成することができる。一般に1台のマイクロプロセッサがもつ機能は極めて単純であり、これだけの機能では自から応用分野に限界が出てくる。ところが最近、複数台のマイクロプロセッサを複合化し、より高度なデータ処理を行わせる、いわゆるマルチプロセッサ・システムの研究が盛んになっている²⁷⁾。現に米国 IMS 社は 512 台の Intel 8080A マルチプロセッサ・システム (IMSAI Hypercube IV)²⁸⁾ で IBM System/370 と同程度のコンピュータを開発する計画であり、Tandem 社も大規模な高信頼性システム Tandem 16 System²⁹⁾ を開発中といわれる。

4.1 システムの狙いと応用分野

マルチ・マイクロプロセッサ・システムが研究される背景には、

- (1) マイクロプロセッサは単純な機能ながら非常に安価で、Grosch の法則が成立たず、むしろマルチプロセッサ構成にしたほうが価格性能比が向上する。ただし最適台数は応用によって異なる。
- (2) 1台を多目的に用いずに、専用に使ったほうがオーバーヘッドが少なく、処理効率上がる。
- (3) システムの拡張性が容易で、ユーザの応用に

対し最適システムを構成し易い、

(4) 単純な機能でも多数のプロセッサで並列処理を行えば、高速処理可能な応用分野がある。

(5) ハードウェア資源を共用することもでき、システムのアベイラビリティが向上する。したがって、フェイル・ソフトなシステムが実現容易になる、

などの理由があるからと思われる。

マルチ・マイクロプロセッサ・システムが

明らかに適していると思われる応用例を具体的に列挙すれば、

(i) 演算処理：マトリクス、ベクトル、信号処理、関数計算などの並列処理、

(ii) 非数値処理：論理メモリ、探索、分類などの連想処理、データ・ベース管理などファイル処理、

(iii) 入出力機器制御：端末のインテリジェント化、パターン認識の前後処理、通信回線・バス制御など、

(iv) シミュレーション：連続系シミュレータなど、

(v) 高レベル・コンピュータ：高信頼性、機能分散、高レベル言語処理を指向したシステムなど、

が考えられる。

4.2 システムの実例

マルチ・マイクロプロセッサ・システムの研究は緒についたばかりで、実用化した例はあまり見受けられない。その理由はマイクロプロセッサの開発は日が浅く、マルチプロセッサ構成に要求される機能を十分吸収していないこと、機能が単純すぎて、複合化しても大きな、複雑な仕事ができる見通しが立たないことにある。したがって、特定の応用に対しては開発が進んでおり、しかも成果も上っているが、汎用システムの開発は少ない。また、その効果も明確につかめていない³⁰⁾。以下に、国内におけるいくつかの実例を紹介する。

連続系シミュレータ：常微分方程式で表わされる連続系は従来アナログ・コンピュータ（アナコン）で解かれることが多かったが、解の精度、動作の安定性、方程式の制約などに問題があった。慶大ではアナコンの演算増幅器をマイクロプロセッサで置換し、アナコンのもつ欠点を解決することを試み、KCSS (Keio Continuous System Simulator)³¹⁾を開発中である。図-5は演算要素(PU)の構成を示しているが、2台の

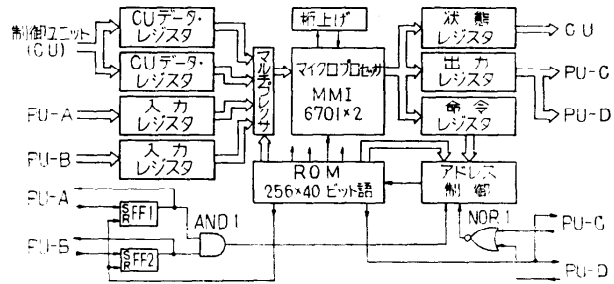


図-5 KCSS のプロセッサ・ユニット (PU)

MMI 6701 を中心に入出力データを保持するレジスタ、マイクロプログラムメモリ、PU間の同期をとるためのフリップ・フロップ群などから成る。ROMの中には4則演算、積分、非線形関数発生ルーチンその他若干の制御ルーチンが含まれているが、その選択はアドレス制御装置によって行われる。これをアナコンにおける演算要素と全く同じように使い、与えられた微分方程式のセット・アップ・ダイアグラムどおりに接続すればディジタル的に解が得られる。マイクロプロセッサを利用したためにアナコンのもつ欠点は全て解決でき、その上ディジタルの良さを十分発揮できる。ディジタルの欠点である低速性は高階微分方程式を1階連立微分方程式に変換し、並列処理を行わせることによって解決を図っている。図-6はPUへのタスクの割当てをより効果的に行うためにミニコンの制御下にマルチプロセッサ構成にしたものである。現在、0.1%精度の正弦波を約3kHzで発生することができる見通しがあるが、演算アルゴリズムやシステム構成を工夫すれば更に性能が改善できる。KCSSは主メモリの競合はなく、PU間の同期だけが問題になる最も単純なマルチプロセッサ・システムである。

プロセス制御システム：図-7(次頁参照)は東芝がTLCS-12シリーズを用いてプロセス制御のために開発した実験システムである³²⁾。プロセッサはそれぞれ固有のローカル・メモリをもち、主メモリを共有して

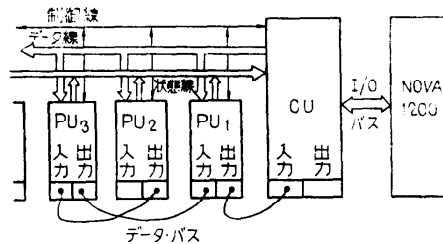


図-6 KCSS の構成

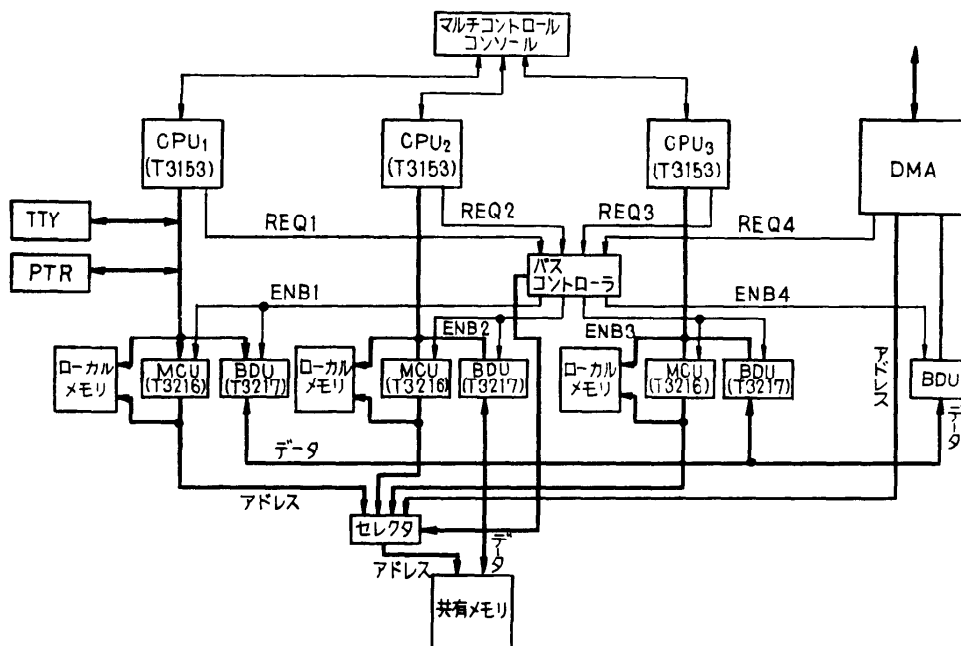


図-7 東芝 TLCS-12 によるマルチプロセッサ・システム

いる。バス・コントローラには Test and Set 命令の機能が含まれており、CPU からのバス使用要求を監視している。メモリ使用要求がくるとメモリ制御ユニット、MCU と双方向バス・ドライバ BPU に信号を送って、適当な CPU に対し共通バスの使用権を与える。このときバス使用優先順位はラウンド・ロビン方式である。代表的なプログラムで実験した結果、全体のシステム・スループットは単体の CPU に対して CPU 2 台のとき 180~185%、CPU 3 台で 240~250% と報告されている。

汎用システム：日電では MICS (Multi-Microprocessor System) と呼ばれるマルチ・マイクロプロセッサ・システムを開発中である³³⁾。マイクロプロセッサは 1 語 16 ビットのものを仮定しており、図-8 (次頁参照) に示すように、ジョブ処理とファイル・メモリの管理に専用している。プロセッサとメモリ間の転送はメモリ・バス MB を、またタスクの起動やプロセッサ間通信は交信バス CB を用い、バスの制御はアービタ AR が行う。アドレス方式はジョブ・プロセッサごとに 32k 語のアドレス空間をもち、これを 1k 語/ページ単位の 64k 語実メモリに変換する仮想メモリ方式を採用している。ページングの管理はページ検出回路が行う。一方、ジョブ・プロセッサはマイ

クロプロセッサ Proc、アドレス変換器 AT、マルチプロセッサ交信アダプタ MCA から構成されるが、AT は 32×8 ビット語の高速バイポーラ連想メモリから成るアドレス変換装置、MCA はそれ自身にマイクロプロセッサを含んでいて、入出力制御、プロセッサ間通信、リソース割当て、初期化などを司る。ファイル・メモリは容量 2.9 MB、平均アクセス時間 70 ms のディスク・メモリである。このシステムでは 4~8 台のプロセッサ構成が適当と予想されている。

コンピュータ・モジュール：任意のディジタル・システムを論理的にも物理的にも統一したモジュールを組み合わせて実現しようとする研究が注目されている。カーネギ・メロン大学のコンピュータ・モジュール³⁴⁾、電総研の ACE³⁵⁾ などがその例である。これらはモジュールを PMS レベルで設定し、任意に結合するようにインタフェースを設計したものである。ACE では共通バス (C-バス) を介してモジュールを有機的に、かつ効率的に結合する方式をとっている。このためシステム構成に柔軟性が保証される。他のモジュールとしてはプロセッサ・モジュール、メモリ・モジュール、入出力モジュールが考えられている。図-9 (次頁参照) は ACE モジュールによるシステム構成例である。このようなシステムは LSI 技術の発

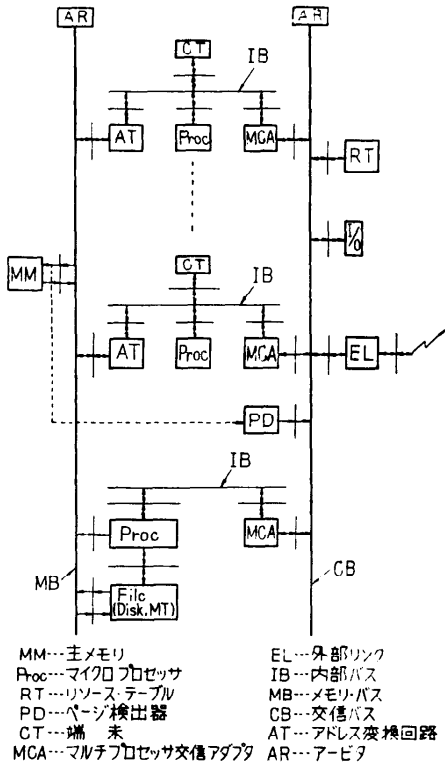


図-8 MICS の構成

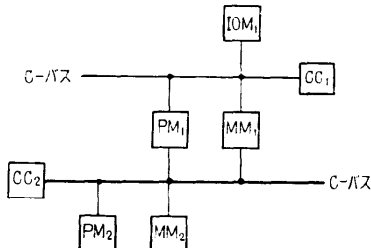


図-9 ACE モジュールによるシステム構成例

達なくしては実現不可能と思われるが、モジュール間結合において機能的な融通性はあるものの、ハードウェアの複雑さや処理効率などに問題があるが、実用的なシステムを開発する計画もある (EPOS-1)³⁶⁾。また上述のような難点を避ける意味で、モジュールを個々の機能レベルに下げて現実的な実現を考えているものもある³⁷⁾。

4.3 システム構成の問題点

現在市販されているマイクロプロセッサを用いてマルチプロセッサ・システムを実現する場合、さまざまな技術的な問題点に遭遇する。それは今までのマイク

ロプロセッサの多くは単体で用いる応用を指向して開発され、マルチプロセッサ構成のための配慮が十分なされていないこと、それを実現するための、半導体技術のサポートが伴わないこと、応用によって最適システム構成が異なり、しかも新しい方式が要求されることなどが原因と思われる。以下に、マルチプロセッサ構成における問題点のいくつかを簡単に列挙しておく。

マイクロプロセッサの機能：最も重要なものはプロセス間の同期をとるための基本的な機能である。例えば、動作停止、応答確認方式のポート制御、状態情報制御、割り込みなどに関する機能である。また、主メモリ共用や並列動作のために、“Test and Set” 命令、あるいは基本的な P-V 操作機能がハードウェア・レベルで準備されることが望まれる。

ローカル・メモリと主メモリ：データ処理の効率を上げるために、各プロセッサは固有のローカル・メモリを設けるのが普通である。この場合、主メモリを含むグローバル・アドレスとローカル・アドレス空間を能率よく取り扱う論理的なアドレス方式ならびに物理的な変換機構が問題になる。また、主メモリの競合による性能低下を避けるために、主メモリの分割、キャッシュ・メモリの使用などが考えられるが、特にキャッシュ・メモリを採用した場合の共用データの更新を矛盾なく行う方式を確立することが重要な課題である (電総研 ACE)。

プロセッサ間結合方式：プロセッサを結合する方式¹⁶⁾はマルチプロセッサ構成の性格を最もよく表わし、システムの性能および拡張性に大きな影響を与える。したがって、応用に最も適した方式を選ぶことが肝要であるが、均等なバス使用権を与える転送効率のよいバス制御モジュールの開発が必要とされている。また、マイクロプロセッサに見合った簡単に融通性のあるプロセス間通信方式の確立も大切である。

割り込み：結合するプロセッサの台数が非常に大きい場合の割り込みのかけ方は新しい問題の一つである。直接的に相互に割り込みをかけるか、割り込み処理専用のプロセッサを設けるか、あるいはプロセス間通信方式に全てをまかすか、種々の方法が考えられるが、割り込み処理の効率はシステム全体のスループットに大きな影響を与えるので、それぞれの応用の立場で慎重にその方式を設定する必要がある。

故障検出と再構成：アベイラビリティの向上はマルチプロセッサ・システムにおける一つの重要な目標である。このためには、各モジュールの故障を検出する

ための相互診断技術と故障検出に伴う自動回復あるいは修復機構のあり方を検討する必要がある。マイクロプロセッサのハードウェアに制約が多いだけに難かしい問題といえる。

その他：ハードウェアのみならずアルゴリズムやソフトウェアの観点からもマルチプロセッサ・システムの適応性を十分考えてみる必要がある。問題に含まれる並列性の検出、並列処理のためのリソースの割付け、制御の分散・統合など問題処理に関する新しい発想と研究が必要とされている。また、目的に適したシステム構成のためのオペレーティング・システムの開発も重要な課題である。換言すれば、ソフトウェアの生産性を上げるための種々のサポート・システムの開発がマルチプロセッサ・システムの普及に大きな重みをもつことになる。

5. おわりに

マイクロプロセッサはこれからの電子技術の革新の担い手だといわれている。それだけに他の産業に与える波及効果も大きく、衆目の的となっている。現在のマイクロプロセッサがもつ機能は殆んど半導体技術によって決まるといってよく、将来 LSI 技術がいかに発展するかはマイクロプロセッサの未来像がかかっている。半導体技術を理解することなく、マイクロプロセッサの特性を論ずることは意味がないが、少なくともアーキテクチャの観点からは今までのマイクロプロセッサはまだ不満足な面が多い。LSI 技術が今まだ定着せず、アーキテクチャまで改善の余地がないのが現状であろうが、LSI の特徴を活かしたアーキテクチャのあり方を検討することは急務であろう。マイクロプロセッサの潜在的な能力を発揮させるという意味からは、マルチ・マイクロプロセッサ・システム構成がユーザにとって本命のように思われる。超 LSI 技術の上にこれらの機能を盛込んだ新しい世代の高性能マイクロコンピュータの開発に大きな期待が寄せられている。

参 考 文 献

- 1) G. M. Amdahl et al: Architecture of the IBM System/360, IBM J. R. & D., 8, 2, pp. 87~101 (April, 1964).
- 2) 相磯秀夫: マイクロコンピュータとそのアーキテクチャ, エレクトロニクス, 20, 6, pp. 570~573 (昭和 50 年 6 月).
- 3) 元岡達: マイクロコンピュータの将来方向をさぐる——概要, 昭和 50 年電気四学連合大会講演論文集, 287, (昭和 50 年 10 月).
- 4) D. R. Allison et al: Tutorial Text on Microcomputers, AFIPS and IPSJ, (Aug., 1975).
- 5) マイクロコンピュータに関する調査報告書 (基礎調査編), 日本電子工業振興協会 (昭和 50 年 3 月).
- 6) 石井治他: マイクロプロセッサ——設計のための予備的検討, パターン情報処理システム調査研究報告 (昭和 48 年 10 月).
- 7) 垂井康夫他: マイクロコンピュータとそのデバイス・テクノロジー, エレクトロニクス, 20, 6, pp. 573~578 (昭和 50 年 6 月).
- 8) General Information-M10800 Bipolar Microprocessor Program, Motorola, (1975).
- 9) 西田畑耕他: I²L マイクロプロセッサ SBP0400, エレクトロニクス, 20, 6, pp. 618~627 (昭和 50 年 6 月).
- 10) 飯塚肇他: ACE, マイクロプロセッサ・ユニットのアーキテクチャ, 情報処理学会計算機アーキテクチャ研究会資料 74-3 (昭和 49 年 10 月).
- 11) 工藤隆良他: マイクロプログラマブル・プロセッサの開発, 情報処理学会計算機アーキテクチャ研究会資料 18-2 (昭和 50 年 11 月).
- 12) 都村友紀: 16 ビット 1 チップ・マイクロコンピュータ PANAFACOM L-16A のアーキテクチャについて, 情報処理学会計算機アーキテクチャ研究会資料 18-1 (昭和 50 年 11 月).
- 13) H. W. Lawson et al: Functional Characteristics of a Multilingual Processor, IEEE Trans. C-20, 7, pp. 732~742 (July, 1971).
- 14) R. E. Sawyer et al (Ed.): Texas Instruments Electronics Series MOS/LSI Design and Application, McGraw-Hill Book Co., (1972).
- 15) H. Flesher et al: An Introduction to Array Logic, IBM J. Res. & Develop, pp. 98~109 (Mar., 1975). (他 2 件)
- 16) C. A. Mead: ESP, A Distributed Architecture LSI Machine, Digest of Papers, Compcon 74 Fall, pp. 195~197 (Sep., 1974).
- 17) K. Rallapalli et al: MACROLOGIC-Versatile Functional Blocks for High Performance Digital Systems. Proc. NCC, pp. 67~73 (1975).
- 18) I. Lee: LSI Microprocessors and Microprograms for User-Oriented Machines, Conference Record of the 7th Annual Workshop on Microprogramming, (Sept., 1974).
- 19) 日経エレクトロニクス—海外技術速報, 123, pp. 136 (昭和 50 年 12 月).
- 20) 垂井康夫: 超 LSI におけるデバイスの考察, 第 16 回情報処理学会全国大会招待講演 (昭和 50 年 11 月).
- 21) R. R. Martin et al: Electronic Disks in 1980's, Computer, 8, 2, pp. 24~30 (Feb., 1975).
- 22) G. Sawyer: Tools and Techniques of Microprocessor Data Transfer, Proc. NCC, pp. 15~

- 20 (1975).
- 23) H. Falk: Linking Microprocessors to the Real World, IEEE Spectrum, pp. 59~67 (Sept., 1974).
- 24) 佐々木彬夫: 格段にインタフェースが進歩した最近のマイクロコンピュータ, 日経エレクトロニクス, 113, pp. 63~75 (昭和50年7月).
- 25) 飯塚肇他: モジュール型複合計算機 ACE, 情報処理学会計算機アーキテクチャ研究会資料 74-4 (昭和49年10月).
- 26) 浪本敬二: 入出力インタフェース機能の拡張, 昭和50年電気四学会連合大会講演論文集, 290 (昭和50年10月).
- 27) B.C. Searle et al: Tutorial-Microprocessors Application in Multiple processor Systems, Computer, 8, 10, pp. 22~30 (Oct., 1975).
- 28) 日経エレクトロニクス—海外技術速報, 121, pp. 93 (昭和50年11月).
- 29) TANDEM 16 System Introduction, TANDEM Computer Inc.,
- 30) 桑原啓治: マイクロコンピュータ複合システムの動向を探る, 日経エレクトロニクス, 117, pp. 50~67 (昭和50年9月).
- 31) E. Yura et al: An Approach to Parallel Processing for Continuous Dynamic System Simulation With Microprocessors, Proc. UJ-CC, pp. 172~177 (Aug., 1975).
- 32) 松本吉弘他: マイクロコンピュータによるプロセス制御用複合システム, 東芝レビュー, 30, 1, pp. 24~33 (昭和50年1月).
- 33) K. Ohmori et al: MICS-A Multi-microprocessor system, Proc. IFIP Congress 74, pp. 98~102 (1974).
- 34) S.H. Fuller et al: Computer Module-An Architecture for Large Digital Modules, Proc. 1st Annual Symp. on Computer Architecture, pp. 231~237 (1973).
- 35) 飯塚肇他: モジュール型複合計算機 ACE, 情報処理学会計算機アーキテクチャ研究会資料 74-4 (昭和49年10月).
- 36) 田丸啓吉他: 実験用ポリプロセッサ・システム EPOS-1 について, 情報処理学会計算機アーキテクチャ研究会資料 19 (昭和51年1月).
- 37) 所真理雄: コンピューティング・モジュール, 昭和50年電気四学会連合大会講演論文集, 292 (昭和50年10月).

(昭和51年2月12日受付)