

講座

コンピュータの設計自動化(3)*

倉地 正**

6. 実装設計

設計の終了した論理を具体的なハードウェアとして実現するため実装単位に組立てるのが実装設計の目的である。実装方式は各メーカにより独特な方法が採用されそれぞれの特徴があるが、一般に架、バックパネル、プリント板、IC パッケージといった多段階の構成がとられている。なお、最近の新しい計算機では従来のデュアルインライン型 IC パッケージに比べピンの間隔をせばめ集積度を高めた LSI パッケージを採用した方式⁵¹⁾や LSI チップを多層セラミック基板上に配置した LSI 高密度パッケージ方式⁵²⁾等従来に比べ飛躍的に実装密度を高めた方式を採用した例もある。これらに関する DA システムはまだ発表されていないが、原理的には従来のプリント板実装方式と類似の手法が用いられていると考えられる。

実装設計は DA システムの複雑さを軽減するため通常いくつかの設計段階に分けて処理が行われ、それぞれについて種々の方式が考案され実用されている。最初の段階は全体の論理を下位の実装単位例えばプリント板や LSI 単位に分ける論理分割であり、その後ゲートを IC チップ単位にまとめる割付処理、下位のモジュールを上位のモジュールの上に位置決定する配置処理、プリント板上での配線経路を決定するボタン決定処理、バックパネル上での個別布線の経路を決定する配線処理が行われる。以下これらの具体的アルゴリズムについて説明を行う。

6.1 論理分割

論理回路を実装単位(IC カード、LSI チップ等)に分ける論理分割は種々の実装上の制約を守りながら実装コスト(通常実装単位の個数または外部接続線数)を最少にするよう行われる。考慮される実装上の制約は

(1) 搭載部品(素子)の最大面積または部品個数

(2) 最大入出力ピン数

(3) 発熱量、線長等の回路規則

などである。

論理分割の初期の実用的手法に Max. Conjunction Min. Disjunction アプローチ⁵³⁾によるものがある。これは実装単位内では部品間の接続線をできるだけ多くし、実装単位間の接続線数を最少にするようグループにまとめてゆく方法である。変形としてマトリックス上での素子とネットの入替をする方法⁵⁴⁾がある。また複数の素子をクラスタとしてまとめ、その入替を通じて外部接続線数を減らす方法⁵⁵⁾もある。

一方ピンリミットの傾向が強い実装法においては同一素子を多重に実装単位に割付ける事により実装単位数を減らし得る可能性がある。図-14 において実装単位(モジュール)の最大入出力ピン数が4、最大素子数が4の場合、(a)の回路の素子 B 4 をモジュール1と2に重複して割付けたため(b)のように2個のモジュールが必要になる。Russo はこの重複を許す分割を Mapping、許さない分割を Partitioning と定義し、設計者の指定した Initiate Net ((a)の×印)を基準にして、機能グループ作成とグループ割付の2段階の処理で Mapping/Partitioning のいずれも

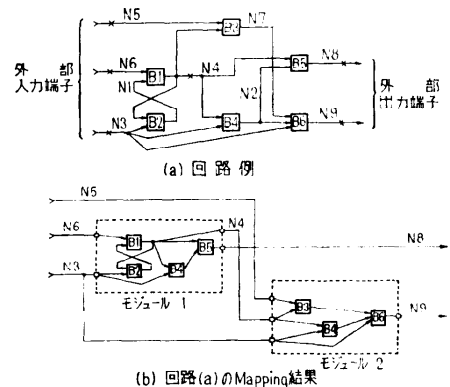


図-14 Mapping による論理分割⁵⁶⁾

* Design Automation of Computers by Tadashi KURACHI (Computer Hardware Development Dept., Ome works, Tokyo Shibaura Electric Co., Ltd.)

** 東京芝浦電気(株)青梅工場ハードウェア開発部

可能な発見的方法⁶⁶⁾を発表した。

SSI* が主体で全体を均一に扱えた場合には自動論理分割が有効であったが、MSI や LSI が主体になってくると前述の(3)の回路規則も複雑になり簡単な処理では分割しにくくなってきた。診断容易性のためには機能単位で分割してあることが望ましく、またトップダウンの手法で機能モジュール単位に設計を進めることが能率の点からも好ましいため、最近は入手による分割が主流のようである。LSI 化が更に進み素子のコストが相対的に下ると再び自動論理分割が重要になると思われる。

6.2 ゲート割付

論理分割とゲート割付はかなり類似した作業であるが、前者が分割単位中の論理を自由に選び得るのに対し後者はあらかじめ定めた論理のファミリーへ対応付けするという違いがある。

割付作業の場合第1ステップとして IC のファミリーの選択が行われる。ゲートの包含関係を考慮してプログラムで行うこともあるが、通常設計は使用 IC の種別を意識して行われるので人手指定の場合も多い。

次に IC 中に複数のゲート(回路)を含む場合その組み合わせを決めるゲート割付が行われる。ゲート割付は論理分割の場合と同様 **Max Conjunction-Min. Disjunction** 法¹⁾によるものが多い。この方法は同一 IC ファミリーごとに

- (1) IC 中のゲートを1つ選びそこに割付対象回路のゲートを1つ割付ける。
- (2) 同一 IC 中の未割付のゲートを1つ選び、それに外部回路のゲートの内、割付済のゲートと最も結線数が多く、未割付回路と最も結線数の少ないゲートを割付ける。
- (3) 以上の処理を全ゲートの割付が終るまで繰り返す。

という手法により行われる。結合度の強いゲート対を順に複数の IC に仮割付しその中で結合度最高の IC を本割付したり⁵⁷⁾、直接接続だけでなく、入出力コネクタや別の IC を経由している間接接続⁵⁸⁾を考慮した変形もある。

上述の方法は核になるゲートを中心として割付を進めるため、**組立法**とも呼ばれるが、最初全ゲートを独立のグループと考え、可能な限りグループをまとめてゆく**クラスタ法**⁵⁹⁾もある。

回路接続及び使用 IC ライブラリの条件をベクトル

表現し、優先順序関係を利用してゲート割付とピン割付を同時に行う方法もあり、対象回路の方は簡単な接続から、ライブラリの方は複雑な回路から優先的に割付を行うと成功し易いことが示されている⁶⁰⁾。

6.3 配 置

配置問題は LSI チップの内部でのセルの配置、プリント板上での IC パッケージの配置、バックパネル上でのプリント板の配置等の形で現れるが、 $N \leq M$ のとき N 個の部品を目的関数を最小にするように M 個の場所へ最適配置するという形に抽象化できる。配置の目的はプリント配線をやり易くするかまたは総配線長を短くすることにあるが、前者を直接表現する関数は見つかっておらず、定性的には配線長が短くなればボタン配線も引き易いと考えられるので、目的関数として総配線長を採用しているアルゴリズムが多い。具体的なプリント板の形状が定まった場合には場所により配線が引き易い部分と引きにくい部分があるので、それを反映した目的関数を採用した例もある⁶¹⁾。

配置処理は通常部品の配置が決っていない段階で行う初期配置フェーズと部品の入替により配置を改善する繰り返し改良フェーズの二段階に分けて行われる。次に配置処理の主要なアルゴリズムについて説明する。

6.3.1 組立法

組立法は初期配置フェーズのアルゴリズムであり、コネクタピンまたは人手配置部品を核としてそれと最も関係の深い部品を1個選び出し、既配置の部品との配線が最も短くなる位置へ配置する処理を全ての部品が配置されるまで繰り返すことにより行われる。結合度の要素としては配線の数を採用する場合が多いが、未配置の部品への接続がある場合には結合度を弱めるようにした例⁶²⁾もある。未配置の部品 i を空場所 j へ置いたときの既配置の部品への線長の総和 N_{ij} を i, j の全ての組み合わせについて求めておき、 $N_{pi} = \max_j (\min (N_{ij}))$ となるような部品 p を場所 q へ配置する処理を繰り返した例¹⁾もある。

この他初期配置としてランダム配置(例えば部品の番号順)を採用した例もあるが、組立法の方が 6.3.2 以後に述べる各種の繰り返し改良法に比べ能率が良いので、部品数が多い場合には好ましいことが報告されている⁶³⁾。

6.3.2 Steinberg のアルゴリズム⁶⁴⁾

既配置の部品の中から互いに接続関係のない部品の組(unconnected set)を取り出し、これらを初期配置

* Small Scale Integration

のときの空場所及び部品を取り除いた後に総配線を最小にするように割付けの問題は、対象の部品間に接続がないため個々の部品を単独に空場所に割付けた場合の和 (linear assignment) として解くことができる。これを次々に別の組に適用するのが Steinberg の方法であるが、これでは直接結ばれている部品間の入替による改善がないため、Rutman⁶⁵⁾ による改良案が考案された。

6.3.3 Pairwise Interchange 法¹⁾

任意の部品間の入替を試みて総配線長が短縮されたらその入替を採用する処理を網羅的に行う方法である。プログラムは簡単であるが、時間がかかる欠点がある。

6.3.4 Neighbourhood Interchange 法

上記の方法の時間がかかる欠点を取り除くために隣接した部品間のみで入替を試みる方法である。部品数が 150 以下位の規模では割合能率が良いことが報告されている⁶³⁾。

6.3.5 Force Vector 法⁶³⁾

選択した部品 (A) からそれに接続されている部品までの Vector 距離の平均を計算し、その目標点の ϵ -近傍中の部品 (B) についても Force Vector を計算する。その目標点が A の ϵ -近傍にある時のみ A と B の入替を試み総配線長が短縮されれば、それを採用する (図-15 参照)。この方法が種々の規模の対象に対し実験され、他のアルゴリズムと比較された結果、大きな対象において非常に能率が良いことが報告されている。

6.3.6 グラフカット法¹⁶⁾

初期配置されたプリント板を二等分するような線を設け、その両側の部品の間で分割線を横切る配線の数を減らすような入替を行う方法である。第 1 回の入替が終了すると更に分割された部分に分割線を設け入替を繰り返す。図-16 の例で示すように第 1 回目の入替で部品 3 と 6, 11 と 13 が入替られ最初 6 本の配線が左右を分ける分割線を横切っていたのが 2 本に減少し

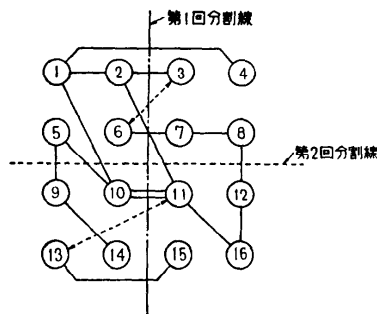


図-16 グラフカット法

ている。

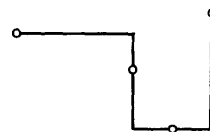
6.4 バタン決定

配置が終了すると配線経路決定 (Routing) の段階に入るが、まずいくつかの予備的な処理が行われる。

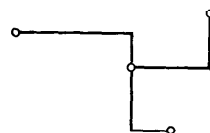
その第一はそれぞれの信号線 (Net) に含まれるピンを結ぶ具体的な接続線の組に分解するピンペア決定処理である。これはボタンに関する各種制約条件によって異なるが通常

- (a) 一筆書結線 (Travelling Salesman 問題)
- (b) 分岐結線 (Minimum Spanning Tree)
- (c) 途中分岐結線 (Steiner's Tree)

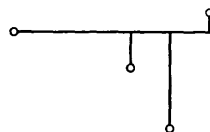
のいずれかの手法による。(図-17 参照)



(a) 一筆書結線



(b) 分岐結線



(c) 途中分岐結線

図-17 ピンペア決定手法

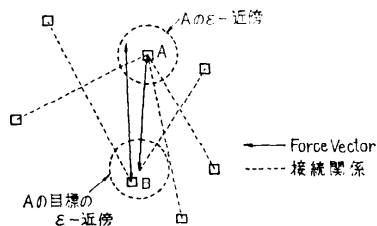


図-15 Force vector 法

第二の処理は層決定の処理である。プリント板の種類により(1) IC のピン以外にはスルーホールを許さない方式、(2)あらかじめ決った位置に固定的にスルーホールを設ける方式、(3)任意の場所にスルーホールを許す方式がある。(1)は配線密度の余り高くはないプリント板に使われ通常ピンペアの傾斜をもとにして傾斜の角度の似たものを同じ層になるようにする⁶⁷⁾。論理用のプリント板は配線密度が高いので層ごとにX方向またはY方向の配線に限定する(2)または(3)のX-Y テクニックが採用されることが多い。(2)は多層プリント板で電源・アース層を品種によらず固定化でき製造コストを引き下げうる利点がある。

第三の処理は結線順序の決定である。次に述べる各種の径路決定アルゴリズムの多くは一度径路を決めると後で移動を許さない方法が多いので、後で配線する線の邪魔になりにくい順序が望ましい。このため自由度の少ないものから選ぶのが良いが、径路を決める前に求めるのはなかなか難しい。通常採用される基準は

- (a) 配線長の短いものから
- (b) 予想配線密度の高い場所の短いものから
- (c) ピンペアの作る矩形の中に含まれる他のピン数の少ないものから (Rectangle 法)⁶⁷⁾

等がある。

配線径路を決定する方法には各種の方法があるが、大別すると図-18 のように分類できる。まず大きくアルゴリズムに従い径路を求める方式と経験的に有効と思われる径路を順番に試みる Heuristic 方式に分けることができる。アルゴリズム方式は更に配線パターンイメージを最小格子にメモリに対応させて記憶するセルイメージ方式と線分の始点、屈曲点、終点のみを記憶するリスト方式とに分れる。後者は一般に所用メモリ容量が少なくかつ高速である。次に各方法の具体的な説明を行う。

6.4.1 迷 路 法

Moore⁶⁸⁾及び Lee⁶⁹⁾により開発された迷路法は始点から波状に探索を開始し、終点まで達するかまたはそれ以上波が広がる余地がなくなるまで探索を進める。終点に達すると今度は逆向きに始点に戻る径路を求め

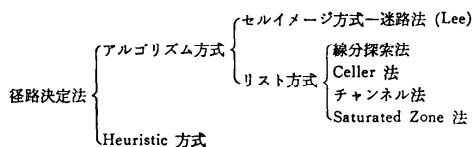


図-18 径路決定法の分類

る追跡フェーズを実施する。この方法は結線可能な径路があれば必ず探し出すが、大きな記憶エリアと長い計算時間を必要とするので種々の改良法が提案されている。速度を早めるためには波状に探索の波を広げる替りに一方向に可能なだけ伸ばすベクトル探索法があり⁷⁰⁾、速度が倍になる。また波の伝搬状況を記憶するのに始点からの距離の替りに5種類(3ビット)の方向を示す記号を用いることにより、メモリ容量を数分の一以下に減らす方法も提案されている⁶⁷⁾。

6.4.2 線分探索法 (Line Search 法)⁷⁰⁾

線分探索法ではパターンイメージは発生した線分をその両端の座標を組にしてテーブルに記憶する。結線経路は図-19 に示す通り結線すべき始点と終点から直接引けるレベル1の線を作り、以後レベル $i-1$ ($i \geq 2$)の線から直角に引けるレベル i の線を接続が完成するかまたは新しい線を引く余地がなくなるまで続ける方式である。この方式は屈曲の少ない径路を優先的に求める傾向があり、メモリ容量、処理時間共迷路法より優れている。

6.4.3 Celler 法⁷¹⁾

基本格子の交点ごとにメモリに対応させる迷路法のメモリ容量が多い欠点を改良するため4本のピンにかこまれた Octagon と称する領域ごとにその辺を横切る配線を記憶しチェックする方式で、探索の間配線が固定化されない利点を持つ。

6.4.4 チャネル法^{72)~75)}

多層基板の場合は主として経済的な理由から固定スルーホール方式を採用する場合が多い。この場合にスルーホール列に囲まれたX軸/Y軸方向の領域をチャネルと称し、配線処理の間チャネル内のトラックは固定せず配線容量の許す範囲内で追加してゆく方法である。配線のトラックへの割付けはラインサーチ法または比較的簡単なあらかじめ決った径路を試みる方法で行われる。バックパネル等ピン配列及びスルーホールの構造が規則的で配線量が多い基板に有効である。

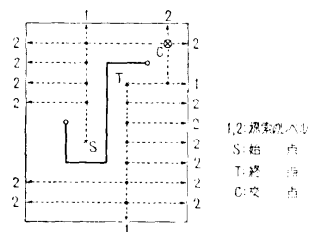


図-19 線分探索法

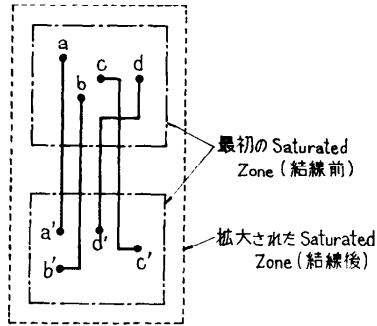


図-20 飽和領域法

6.4.5 飽和領域法 (Saturated Zone 法)⁷⁶⁾

この方法は結線されるべき2点を含まない Saturated Zone と呼ばれる小領域を選び、隣接する小領域間の結線を各結線ごとに複数候補を選びそれらの最適割当を行って Saturated Zone を拡大し全体に拡げる方法である。この方法は配線順序の影響によるブロックをとり除いていること、複数経路を考慮しているにもかかわらず対象領域を限定することにより処理時間が短いことに特色がある。(図-20 参照)。

6.4.6 発見法

迷路法等は存在する経路は必ず見つけ出すという利点はあるが計算機時間が多くかかり、また実際のプリント板では大部分の配線が比較簡単な経路で配線可能なので、多くの実用システムにおいてはまずあらかじめ定めてある数種類の経路による結線を試みて処理時間を短縮している場合が多い。一例⁷⁷⁾によれば全体の配線の90%が発見法により50%の時間で出来たと報告されている。

迷路法のような一般的手法を使っているがコスト関数を導入して簡単なパターンから選ぶようにしたり、探索の範囲を限定してスピードを早めた例⁷⁸⁾もある。

6.5 布線設計

個別配線の経路を決定する布線設計は最も古くから行われている設計自動化の対象であるが、今日もバックパネル、ワイヤラップ板等で実用に使われている。布線設計においてはピンの長さの制約により2レベルから4レベル程度しか配線出来ぬこと、分岐配線による反射を防ぐこと、設計変更に備えて1レベル位余裕を残しておきたいこと等の理由により一筆書配線が多く用いられる。一筆書の厳密解を求めるのは Travelling Salesman 法により可能であるが時間がかかるため近似解法を

用いる場合が多い。

近似解法としてはまず接続すべき N 点の任意の2点を結ぶ配線の内最短のものを選び、その両端から最も近い点へ次々と配線を延ばしてゆく方法が採用される。

分岐配線を許す場合の厳密解は Minimum Spanning Tree を求める方法で得られるが、近似解法は一筆書の場合両端を延ばすのに対し、配線レベルの許容範囲内で既配線の任意の点と結ぶことにより求められる。

個別配線用の DA 処理ではより線のグランド線の自動割付も重要なテーマである。これは信号線の終端ピンから一定距離の枠(ウィンドウ)内にある最も近い接地点を求める処理である。

7. 製造・検査の自動化

電子計算機の論理は非常に複雑であり量も多い。その構成要素の製造は少量・多品種の要素が強く製造上のミスは後の試験工程で多大の工数を必要とするため、DA システムと直結した製造・検査の自動化が促進されて来た。

図-21 にプリント板実装方式の計算機の DA と製造・検査工程の関係を示す。各種の制御テープ、資料等は DA システムのデータベースから自動的に作成され矛盾が生じないように配慮されている。またこれらをオンライン接続したシステムもある。

7.1 自動作画

プリント基板または多層バックパネルは通常 NC 制御の自動作画機により暗室中でフォトヘッドでフィルムに直接作画したマスクを用いて作られる。最近の自動作画機はミニコンにより制御されるものが多く、文字や曲線を自動発生させるので、DA プログラムに

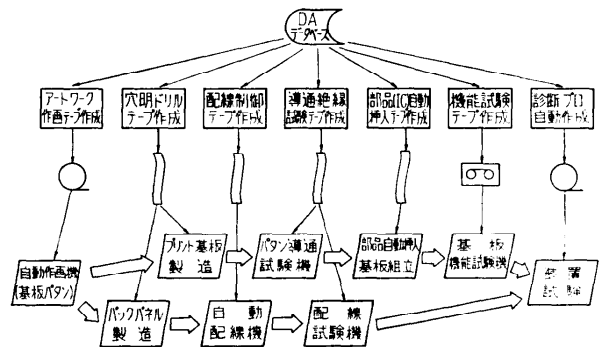


図-21 DA システムと製造・試験工程

対する負担は少なくなっている。作画される線幅を一定にするための速度及び露光時間の制御もミニコンの重要な役目である。

作画テープ作成用の DA プログラムの機能は

- 作画順序のソート
- めりつぶし面の分解
- 作画命令への変換

等がある。自動作画機のヘッドの移動速度は余り早くないので作画時間短縮のため、近い座標から順に選ぶソートの処理が重要である。全領域を同時にソートすると計算機時間が長くなるのでいくつかの小さな領域に分割してソートするのが実用的である。

7.2 自動穴あけ

部品挿入用または信号線の層間接続用のスルーホールに使う穴は数値制御による自動穴あけ機により作られる。制御用紙テープはドリル径選択用命令と穴あけ座標を与える簡単なもので、自動作画の場合と同様時間を短縮するため座標でソートされる場合が多い。基板を重ね合わせ多軸のドリルを使用して処理時間を短縮している場合には部品位置、スルーホール位置を共通化することが大切である。

7.3 自動配線

バックパネル等に対する配線作業は全自動配線機、半自動配線機、配線指示機等を使って行われる。線材を自動的に切断し独立に動く2つのラッピングヘッドにより配線する全自動配線機は単線しか処理出来ないが1時間当たり1,000本以上の配線が可能である。

半自動配線機はあらかじめ数十種の標準寸法に切断してホッパーにセットした線材の種類をランプで表示し、NC 制御装置でラッピング位置決めを行った後、人手でラッピングを行うものである。処理能力は全自動の場合の数分の一であるが、より線も扱える事と装置が安い特徴がある。同一の制御装置で2台のステーションを同期して動かし経済化を計った例もある。

配線表読み取りを自動化するため紙テープから線材及び座標を読み取りランプ及び表示機で表示するようにした例もある。配線の読み落としや読み取りミスを防ぐのに効果がある。

自動配線のために必要な DA 処理には

- 配線レベルの決定
- 作業性を考慮した配線順序の決定

等があり、更に全自動配線機の場合には

- 配線密度を平滑化するための径路決定
- ヘッド及びドレッシングフィngerの動きを考慮

した配線パターンタイプの決定が必要である。

7.4 IC 自動挿入

IC の挿入も NC 制御によりホッパーから IC の種類の選択と挿入とを自動化したものと、紙テープによって種類及び位置をランプ表示し人手作業の能率化とミス減少を目的とした簡易型とがある。

前者の場合にも機械的移動を最少限にし処理時間を短縮するためのソーティングが大切である。

7.5 配線検査

プリント板やバックパネル等は部品を搭載する前に誤配線やパタンの切断、ブリッジ等を検出するため導通試験及び絶縁試験が行われる。絶縁試験は残りの全配線とのテストが必要であり時間がかかるが、対象ピンよりアドレスの小さい全てのピンをリレーで接続し一操作で絶縁テストを可能にした DIT-MCO 社のテストは高速である。配線の故障モードを指摘するためのテスト方法も発表されている⁷⁹⁾。

LSI チップを搭載する高密度 LSI パッケージ用の多層セラミック基板では構造が微細なため従来の方法による導通・絶縁試験は困難である。そこでミニコン制御により接触針を移動させ配線パタンの電気容量を測定してそれを線長等の関数として計算した基準値と比較することにより検査する方式が報告されている^{80), 81)}。

7.6 機能検査

IC を搭載した後のプリント基板に対しては機能試験が行われるが、次に述べるような各種の方法がある。

- 挿入テスト
- 比較テスト
- 専用テスト方式
- 計算機制御テスト
- 特殊テスト方式

挿入テストは既に正しく動作する事が確認された機器に被検ボードを挿入してテストする方式で特殊な装置を必要としないが、大型計算機の場合には高価になり、能率もよくない。タイミングや入出力電圧等が微妙な端末機器等で使われている。

比較テストは既に正しい事が確認されたボードと被検ボードに乱数発生機等から入力を与え出力信号を比較して試験する方式である。検査データ及び出力値データを作る必要はないが複雑な順序回路に対しては十分な検査とはなりにくい。

専用テストでは通常紙テープやカセットテープ等の媒体から入力値及び正解出力値を与えて検査する方式で検査診断データ作成プログラムを使って高品質の検査が可能である。診断辞書を用いる故障素子の局所化も広く採用されている。外部入出力端子の他に全ての IC ピンの状態を同時に接触針で読み取れるようにしたテストもあり、診断分解率を高めている⁸²⁾。

専用テストの制御部をミニコン等で置き換えた計算機制御のテストも広く使われている。テストデータや診断辞書の管理の簡単化、繰り返しテストの実行等の利点がある。

メモリボード等に対してはテストに要する入力パターン数が多いためプログラムで規則的に入力を発生させながらテストを実行する計算機制御の特殊テストが採用される。

参 考 文 献

- 1)~16) 6月号 掲載
- 17)~50) 7月号 掲載
- 51) 矢田, 平栗他: M190の回路実装技術, 日経エレクトロニクス, 1975. 12. 15号, pp. 107~118
- 52) 田中, 溝口他: ACOS シリーズ 77 TOSBAC システム 800/900, 東芝レビュー, Vol. 31, pp. 969~973 (1976)
- 53) C.H. Haspel: The Automatic Packaging of Computer Circuitry, 1965 IEE International Conv. Rec., Vol. 13, Part 3, pp. 4~20
- 54) 元岡, 淡路: 論理分割自動化の一手法, S49年度電子通信学会全国大会, p. 1805 (1974)
- 55) 石賀, 小沢他: 論理分割の一方法——クラスタ入替法, S50年度電子通信学会全国大会, p. 411
- 56) R.L. Russo et al.: A Heuristic Procedure for the Partitioning and Mapping of Computer Logic Gates, IEEE Trans. on Comp., Vol. C-20, pp. 1455~1462 (1971)
- 57) 北村, 多田他: 論理パッケージ内の IC 割付と配置の自動化, 電子通信学会電子計算機研究会資料 EC 69-24 (1969)
- 58) 田中, 田淵他: 計算機による割付・配置設計の一方式, S49年度電子通信学会全国大会, p. 1806 (1974)
- 59) 坂井, 上田他: IC 割付アルゴリズムの一方法とその評価, S51年度電子通信学会全国大会, p. 6-142 (1976)
- 60) 木谷, 内藤他: IC ピン割付の一手法, 情報処理学会設計自動化研究会資料 DA 26-3 (1975)
- 61) C.F. Shupe: Automatic Component Placement in the NOMAD System, 12th DA Conf. Proc., pp. 162~172 (1975)
- 62) D.G. Schweikert: A 2-Dimensional Placement Algorithm for the Layout of Electrical Circuit, 13th DA Conf. Proc., pp. 408~416 (1976)
- 63) M. Hanan et al.: Some Experimental Result on Placement Techniques, 13th DA Conf. Proc., pp. 214~224 (1976)
- 64) L. Steinberg: The Backboard Wiring Problem, SIAM Review, Vol. 3-1, pp. 37~50 (1961)
- 65) R.A. Rutman: An Algorithm for Placement of Interconnected Elements Based on Minimum Wire Length, Proc. SJCC, pp. 477~491 (1964)
- 66) D.C. Schmidt et al.: An Interactive Algorithm for Placement and Assignment of Integrated Circuit, 12th DA Conf. Proc., pp. 361~368 (1975)
- 67) S. Akers: Modification of Lee's Path Connection Algorithm, IEEE Trans. on EC, pp. 346~365 (1961)
- 68) E. Moore: Shortest Path Through a Maze, Harvard Univ. Press, Vol. 30, pp. 285~292 (1959)
- 69) C. Lee: An Algorithm for Path. Connections and Its Applications, IRE Trans. on EC, pp. 346~365 (1961)
- 70) K. Mikami, K. Tabuchi: A Computer Program for Optimal Routing of Printed Circuit Conductors, IFIPS Proc., pp. 1475~1478 (1968)
- 71) R. Hitchcock: Celler Wiring and the Celler Modeling Technique, Proc. 6th DA Workshop pp. 25~41 (1969)
- 72) A. Hashimoto, J. Stevens.: Wire Routing by Optimizing Channel Assignment within Large Apertures, Proc. 6th DA Workshop, pp. 155~169 (1969)
- 73) L. Mah, L. Steinberg: Topologic Class Routing for Printed Circuit Boards, Proc. 9th DA Workshop, pp. 80~93 (1972)
- 74) J.C. Foster: A Router for Multilayer Printed Wiring Backplanes, Proc. 10th DA Workshop, pp. 44~47 (1973)
- 75) 塚本, 伊藤他: 配線設計システム汎用化の一手法, 情報処理学会設計自動化研究会資料 DA 26-2 (1975)
- 76) W. Wu, D.C. Schmidt: A New Routing Algorithm for Two-sided Boards with Floating Vias, 13th DA Conf. Proc., pp. 151~160 (1976)
- 77) I. Aramaki et al.: Automation of Etching-Pattern Layout, CACM, Vol. 14, pp. 720~730 (1971)
- 78) B.D. Heller, R.S. Fisher: An Organizational Approach to Routing Printed Circuit Boards, 13th DA Conf. Proc., pp. 168~171 (1976)
- 79) Y. Koga, I. Sasaki: Theoretical Analysis and a Test Method for Automatic Wiring Check,

Proc. USA-Japan DA Symposium '75, pp. 41
~50 (1975)

- 80) 土井, 岩田他: 多層印刷基板のキャパシタンス
測定による導通, 絶縁試験装置, 昭和51年度電子
通信学会総合全国大会, p. 8-232

- 81) 稲生, 遠藤他: キャパシタンス測定によるパタ
ーン導通検査システム, 昭和51年度情報処理学会

第17回全国大会, pp. 555~556

- 82) 山田, 若槻他: 全 IC ピン・アクセス論理パッ
ケージ試験機によるパッケージ試験システム, 電
子通信学会電子計算機研究会資料 EC 74-76
(1974, 11)

(昭和52年1月25日受付)