

## 誘導結合による3次元積層チップおよび転送技術の提案

佐々木 大輔<sup>†1</sup> 松谷 宏紀<sup>†2</sup> 竹 康宏<sup>†1</sup>  
小野 友己<sup>†1</sup> 西山 幸徳<sup>†1</sup>  
黒田 忠広<sup>†1</sup> 天野 英晴<sup>†1</sup>

誘導結合によるチップ間ワイヤレス接続技術は、製造後にチップを重ねて実装することで、三次元積層が可能であり、その高い柔軟性と転送性能が注目されている。この三次元転送技術を有効に利用するためには、積層されたチップのコア間で容易にデータを転送を行う方式を確立する必要がある。本報告では、ワイヤレス誘導結合を用いて、チップ間でコミュニケーションを行う手法として、垂直パルプフローを利用したNoC型とバス型を用いた方法を提案する。さらに、2種類の通信方式を搭載したプロトタイプチップを実装し、それぞれの手法による性能、面積、消費電力の違いを測定する。シミュレーションによる評価の結果、プロトタイプチップは200MHzで動作し、誘導結合部分は4GHz超のクロック伝送、4Gbps超のデータ伝送を実現する。最大消費電力は約40mWとなった。垂直パルプフローを用いたデータ転送では隣接チップにパケット転送をする際には高いスループットとなるが、パケット混雑時にスループットが小さくなることを示し、また、バス型においてはどのチップに転送するときにもスループットが一定であることを示す。

### Proposal for A 3-D stacked chip and transfer technology by inductive coupling

DAISUKE SASAKI,<sup>†1</sup> HIROKI MATSUTANI,<sup>†2</sup>  
YASUHIRO TAKE,<sup>†1</sup> YUKI ONO,<sup>†1</sup> YUKINORI NISHIYAMA,<sup>†1</sup>  
TADAHIRO KURODA<sup>†1</sup> and HIDEHARU AMANO<sup>†1</sup>

Wireless chip-interconnect using inductive coupling receives an attention with its high degree of flexibility and communication performance. In order to make the best use of the technology, the communication method between cores on different tiers must be established. Here, two methods: 3-D NoC with bubble flow control and 3-D bus interconnection are proposed. A prototype chip including above two methods are designed and implemented with e-shuttle's 65nm CMOS process. Simulation results appear that the wireless interconnect

supports 4GHz data transfer rate. and both bus and NoC work at 200MHz clock. The maximum power consumption is 40mW.

#### 1. はじめに

半導体技術の進歩にともない、多数の Intellectual Property (IP) コアを1チップ上に実装できるようになった。このような System-on-a-Chip (SoC) では、IP コアを単一チップ上に集積するため高効率なシステムが期待できるものの、チップの開発コストが高騰している昨今、少量多品種の製品ごとに SoC を新規開発することはコスト面から困難になりつつある。そこで注目されているのが System-in-Package (SiP) である。SiP では、個別に開発されたチップを同士をパッケージ内で接続することで柔軟にシステムを構築できる。とりわけ、チップ同士を垂直方向に積層する3次元積層は、最長配線の短縮、クリティカルパス遅延の短縮、リピータバッファの削減、消費電力の削減などのメリットが期待される。

これまでに様々な3次元積層技術が実用化されてきた。その中でもワイヤレス(誘導結合)によるチップの3次元積層は、出来合いのチップ同士を非接触で接続できるため、パッケージ内のチップの追加、削除、入れ替えを柔軟に行うことができる。

本研究では、IP コアとしてメモリ、CPU、再構成可能プロセッサなどが載ったチップをいくつか用意しておき、アプリケーションに必要な機能を持ったチップを組み合わせることで SiP を実現できるようにする。そのために、まず、図1のような IP コア間のパケット転送ネットワーク (Network-on-Chip, NoC) を構築し、次に、このような NoC をワイヤレスを用いて複数枚積層することで図2に示すチップ内・間パケット転送ネットワークへと拡張する。

3次元ワイヤレス NoC が実現できれば、生チップを自由に重ねることで、ビルディングブロック型に LSI システムを構築していくことが可能となる。これにより、メモリ、CPU、アクセラレータ等、様々な機能を持ったチップを単体で作って、これらを用途に応じて組み合わせることで、様々な性能や機能を持ったシステムを構築することができ、今まで目的用途別に開発してきた SoC の開発費用を大幅に節約可能である。また、電源の問題が解決でき

<sup>†1</sup> 慶應義塾大学 理工学部

Faculty of science and Technology, Keio University

<sup>†2</sup> 東京大学大学院 情報理工学系研究科

Graduate School of Information Science and Technology, The University of Tokyo

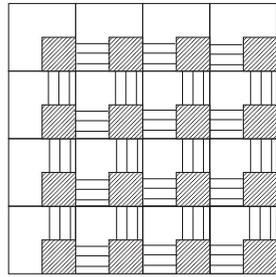


図 1 Network-on-Chip (NoC)

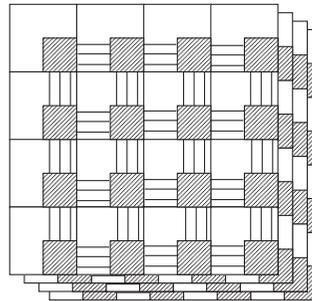


図 2 3次元 NoC

れば、非接触型の LSI カードの抜き差しで、システムの変更が可能になり、必要に応じてカードを集めることで性能を上げることができ、効率的な LSI チップの運用が可能となる。また、これらの LSI カードは、製品の寿命を超えて再利用することができることから、環境への貢献は大きい。

本提案ではコアとワイヤレス通信を担う誘導結合のインダクタとを繋げ、コアが直接インダクタを制御することができる手法を確立し、チップを積層するだけでチップ同士のコミュニケーションができるようにする。今回は通信手法として垂直バブルフローを利用した NoC 型とバス型を用いた方法の 2 つを搭載したプロトタイプチップを実装し、それぞれの手法による性能、面積、消費電力の違いを測定する。

本論文の構成は次のとおりである。2 章にて 3 次元積層技術を紹介し、誘導結合方式のメリットを述べる。3 章にて垂直バブルフローを利用した NoC 型とバス型を用いた方法の 2 つの通信方式を提案する。4 章にて試作チップの実装方法と最終レイアウト図を示す。5 章にてレイアウト後のシミュレーションおよび面積評価などを示す。6 章にてまとめと今後の課題について論じる。

## 2. 3次元積層技術

積層されたチップ間の結合網には有線方式とワイヤレス方式の 2 つが考えられる。有線方式には図 3 で示したようなマイクロバンプ<sup>1)</sup>と図 4 のようなスルーシリコンビア<sup>2)</sup>を用いた接続方式があり、無線方式としては図 5 のような容量結合<sup>3)</sup>と、図 6 のような誘導結合<sup>4)</sup>を用いた接続方式がある。マイクロバンプやスルーシリコンビアといった有線方式では直接チップ間に結合網を構成するため、チップ試作後にチップの積層枚数を変更すること

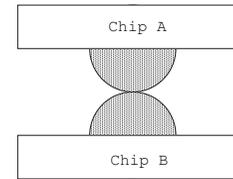


図 3 マイクロバンプ方式

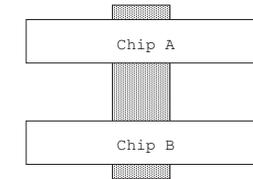


図 4 スルーシリコンビア方式

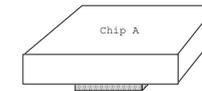


図 5 容量結合方式

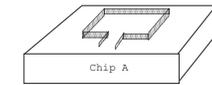


図 6 誘導結合方式

は困難である。また無線方式の容量結合では、非常に短い距離でのみ通信しか行うことができない上、チップの上面向士でしか通信を行えないため積層可能なチップ数は 2 チップに制限され拡張性に乏しい。しかし、誘導結合方式では誘導結合は磁界を利用したデータ転送を行い、積層されたチップ間で上下方向に通信を行うことができるため、容量結合とは違い複数のチップを積層することが可能であり、物理的にチップ間を接続する必要がなく新たに積層するチップ数を自由に変更することができる。こういったことから今回の提案ではチップ間の接続方式に誘導結合を用いた。

## 3. Cube チップの設計

### 3.1 全体のアーキテクチャ

各チップは、コア、ルータ、誘導結合インターフェイス（垂直バブルフロー型、共有バス型）を持つ。チップの概要を図 7 に示す。図中の TX は送信モジュール、RX は受信モジュールである。コアの左右にあるのが垂直バブルフロー用の誘導結合インターフェイス（左側が Uplink、右側が Downlink）であり、コアの下部にあるのが共有バス用の誘導結合インターフェイスである。垂直バブルフローと共有バスの各通信はモードを切り替えおこなう。各チップは初期化時にチップ番号が割り振られる。

図 8,9 はチップを 4 枚重ねた際のパッケージの断面図を示す。図 8 は垂直バブルフローの

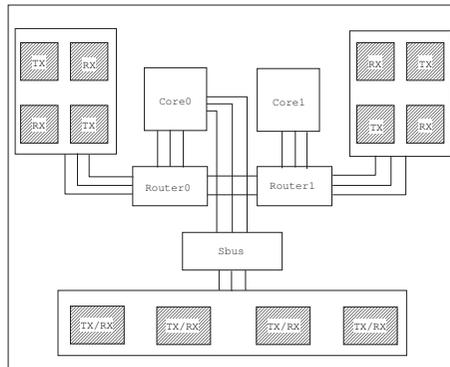


図 7 チップの概要

誘導結合部分の様子であり、図 9 は共有バスの誘導結合部分の様子である。

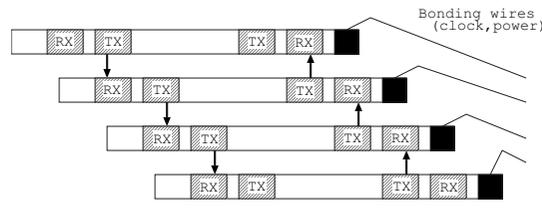


図 8 垂直パルプフローの誘導結合

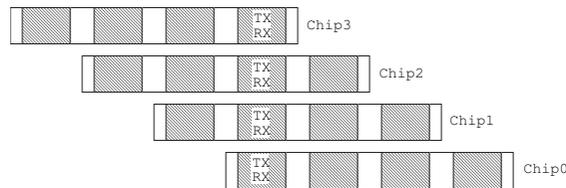


図 9 共有バスの誘導結合

図 8,9 のように隣接するチップの TX, RX が垂直に重なるようにチップを横方向にずらしながら積層する。また、チップへのクロックおよび電力はボンディングワイヤーで供給す

る。ボンディングワイヤーはチップをずらすことで生じた空きスペースを利用する。

### 3.2 コアのアーキテクチャ

検証用のコアとして、パケット生成器とパケットカウンタを実装する。コアはチップ外とルータに接続される。データ (フリット) 幅は 32-bit とし、1 パケットはヘッダを含め 5 フリットから成る。パケットは垂直パルプフローモード時にはルータへ、共有バスモードの時には sbus へと渡される。パケット生成器は、チップ外から与えられる Inject 信号がアサートされたときにパケットを 1 個生成し、ルータに転送する。パケットカウンタは受信したパケットの数を記憶する。受信パケット数は Value 信号を介してチップ外からモニタできるようにする。

### 3.3 ルータのアーキテクチャ

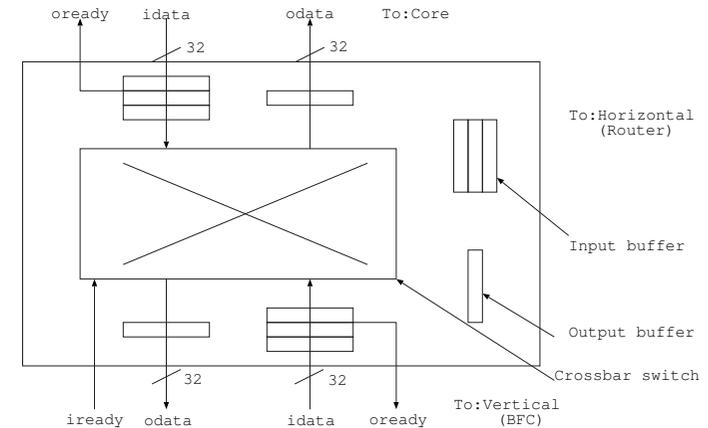


図 10 ルータのアーキテクチャ

図 10 にルータのアーキテクチャを示す。各ルータはコア、隣接ルータ、誘導結合インターフェイスと接続するために 32-bit の入出力ポートを 3 つ持つ。ルータ中央にクロスバースイッチとアービタを持ち、各入力ポートには 16 フリット分の入力バッファ、各出力ポートには 1 フリット分の出力バッファを持つ。ルータに入力されたパケットは、入力バッファでバッファリングされ、宛先アドレスに応じた出力ポートが割り当てられる。その後、クロスバースイッチを通過して、出力バッファで一度ラッチされた後、コア、隣接ルータ、誘導結

合インターフェイスのいずれかへ転送される

本ルータでは、誘導結合インタフェイスとルータ間のフロー制御のために、垂直バブルフロー制御を用いる。パケット転送ネットワークでは、パケット同士のデッドロックは最も深刻な問題であり、デッドロック回避のために仮想チャネルを用いる方法が一般的であるが、積層できる平面 NoC の形状に制約が生じてしまう。

バブルフロー制御<sup>5)</sup> は、仮想チャネルを用いずにデッドロックを回避することができる手法である。図 8 のような循環構造（リング）を持つネットワークにおいて、ルータがバッファを使いきらない限りブロッキングによるデッドロックは起きない。つまり、すべてのルータにおいてバッファを使いきらないように常に 1 パケット分の空き（バブル）を残しておくようにフロー制御することで、デッドロックを回避できる。具体的にはある循環構造（リング）に関するパケット転送に以下の 3 つのルールを課す。

- 転送ルール 1： リング内のパケット転送の場合、転送先ルータに 1 パケット分の空きバッファがあれば前進できる。
- 転送ルール 2： リング外のルータおよびコアからリング内へのパケット注入は、転送先ルータの入力ポートに 2 パケット分の空きバッファがある場合のみ転送を許可する。
- 転送ルール 3： リング内からリング外のルータおよびコアへのパケット出力の場合、転送先ルータの入力ポートに 1 パケット分の空きバッファがある場合のみ転送を許可する。出力できない場合はリング内を直進する、つまり、リングをもう一周回ることになる。

ワイヤレス 3 次元 NoC の場合、製造時の段階では、どのような形状の平面 NoC が積層されるか予想できないが、バブルフロー制御はトポロジ非依存であるため、このような状況でチップ間のデッドロックを防ぐために有用である。

### 3.4 sbus のアーキテクチャ

sbus は共有バスモード時にフロー制御する。この sbus はチップ上の 1 つのコアのみ通信を行うことができる。これは共有バスを利用したときの垂直方向の通信における性能、消費電力を測定するためである。Shared-bus は時分割通信をおこなう。受信するときにはパケットを受け取り、自分宛のパケットなのかをチェックし、そうであればコアにパケットを渡す。新たなパケットを送信したいときには自分のタイムスケール時にのみ送ることができる。各タイムスケールは 8 クロックの長さであり、1 クロック目と 8 クロック目はパケットを転送できない。これは違うチップ同士のパケット転送が競合しないようにする配慮であ

る。また、誘導結合はタイムスケールごとに TX・RX を切り替えながら動作する。タイムスケールは割り当てられたチップ番号によって決定する。あるチップが自分のタイムスケールになったときには誘導結合インターフェイスは TX となり、自分のタイムスケール以外ときには RX となる。図 11 は各タイムスケールごとの誘導結合インターフェイスの様子である。これを見て分かる通り送信時に TX は全ての RX にパケットを転送する。

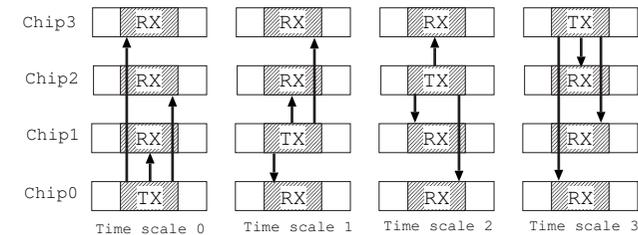


図 11 各タイムスケールの誘導結合の様子

## 4. Cube チップの実装

今回の実装で使用したプロセスは Fujitsu 65nm であり、設計したチップサイズは 2.1mm 角である。また、論理合成をする際には Design Compiler を使用し、コアなどの各モジュールの配置配線、TOP 階層の設計には IC Compiler を使用した。作成した GDS は icfb で DRC, LVS, ANT をチェックした。

図 12 は試作チップの最終レイアウト図である。チップ上部中央に、コア、ルータ、sbus コントローラを実装し、チップ上部左右に NoC 型垂直通信のためのインダクタ、チップ下部に共有バス型通信のためのインダクタを配置した。

## 5. 評価

### 5.1 転送スループット

4 章で実装した Cube チップを Cadence NC-Verilog を用いてシミュレーションした。コア部分はレイアウト後の Verilog ネットリストを用い、インダクタ部分は等価な Verilog モデルを用いた。4 層積層を想定した遅延付きシミュレーションの結果、コア部分は 200MHz で動作した。

次に NoC 型通信とバス型通信に対し、ユニフォームトラフィックと隣接トラフィックを

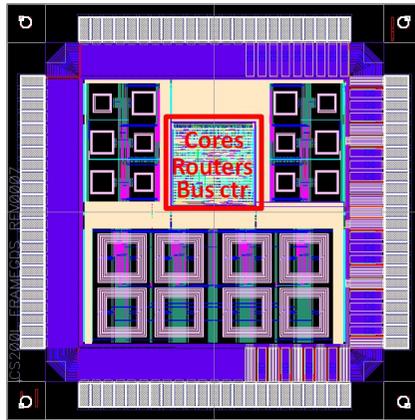


図 12 最終レイアウト図

与え、ネットワークの最大スループットを測定した。ユニフォームトラフィックは各コアがランダムに選んだコアへパケットを転送する。隣接トラフィックは各コアの隣接チップ（真上もしくは真下）のコアへパケットを転送する。NoC型とバス型におけるスループットは下の表 5.1 である。NoC 型では通信のパターンによってスループットが変化するが、バス型のスループットは常に一定である。

表 1 各通信におけるスループット

通信方法	ユニフォームトラフィック [flit/cycle/core]	隣接トラフィック [flit/cycle/core]
NoC 型	0.226	0.832
バス型	0.156	0.156

バス型で 4 枚積層の場合、自分のタイムスロットは 1/4 の確率でやってくる。各タイムスロットは 8 サイクルで、そのうち 5 サイクルをフリット転送に使える（バスの利用率は 5/8 である）。つまり想定されるスループット性能は

$$\frac{1}{4} * \frac{5}{8} = 0.15625 [\text{flit/cycle/core}]$$

である。これはレイアウト後のシミュレーションの結果とも完全に一致し、設計通りに動作していることを示す。

NoC 型の隣接トラフィックの場合、ホップ数は常に 1 であるから、リンクの利用率が 100% のときスループットは 1.00 [flit/cycle/core] になる。シミュレーション結果では 0.226 [flit/cycle/core] であるから、リンク利用率は 83.2% と非常に高いことが分かる。

NoC 型のユニフォームトラフィックの場合、平均ホップ数は  $4 = (1+2+3+4+5+6+7)/7$  だから、リンクの利用率が 100% のときのスループットは 0.25 [flit/cycle/core] になる。シミュレーション結果では 0.226 [flit/cycle/core] であるから、リンク利用率は 90% と非常に高いことが分かる。以上より、NoC 型では垂直バブルフロー制御によって非常に高いリンク利用率を実現できたと言える。

### 5.2 ハードウェア量

チップのコア内部のゲート数を調べたものが表 2 で、円グラフで示したのが図 13 である。これを見ると Router0, 1 がコア内部の約 95% を占めていることがわかる。コア面積の大半を占める Router の面積内訳は表 3 で、円グラフで示したのが図 14 である。ここで cb はクロスバスイッチ、inputc は入力モジュール、outputc は出力モジュールである。Router0 内部で入力モジュール inputc0 ~ 2 が 90% 以上を占めていることが分かる。入力モジュールには 16 個の入力バッファがあり、出力モジュールには 1 個の出力バッファがある。このことからルータの面積は入力バッファが大部分を占めていることが分かる。

表 2 各モジュールのゲート数

モジュール	ゲート数 [キロゲート]
Core0	1.07
Core1	1.07
Router0	34.60
Router1	34.58
sbus	0.71
Other	1.52
Total	73.54

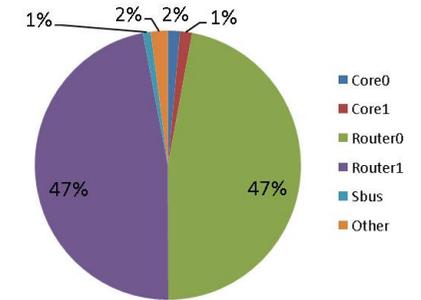


図 13 各モジュールのゲート数の円グラフ

### 5.3 誘導結合の消費電力

図 15, 16 はそれぞれ誘導結合部分のポストレイアウトシミュレーションの結果と誘導結合部分の電流値のシミュレーションである。

表 3 各モジュールのゲート数

モジュール	ゲート数 [キロゲート]
cb	0.58
inputc0	10.88
inputc1	10.89
inputc2	10.87
outputc0	0.44
outputc1	0.44
outputc2	0.44

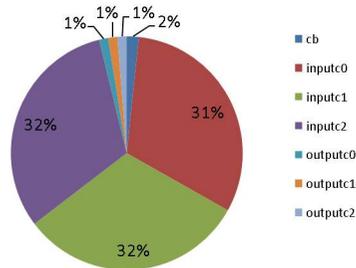


図 14 Router0 内部のゲート数の円グラフ

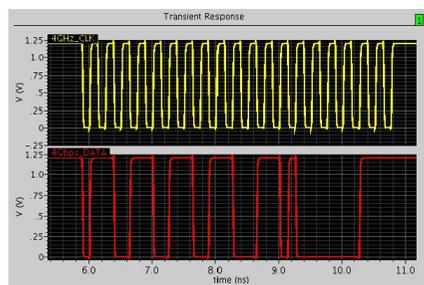


図 15 誘導結合部分のポストレイアウトシミュレーション

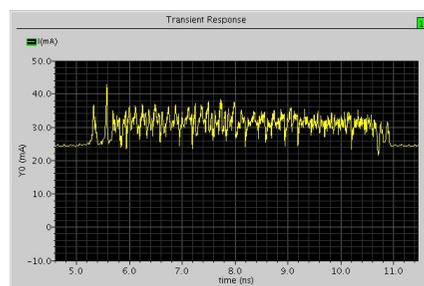


図 16 誘導結合部分の電流値シミュレーション

誘導結合部分で 4GHz 超クロック伝送と 4Gbps 超データ伝送を確認し、NoC ルータに対する入出力信号タイミングも正しいことを確認した。また、図 16 から誘導結合 1 チャンネルあたりの最大動作消費電力が約 40mW であることを確認した。このことからコア自身がインダクタを制御しても正常に動いていることが分かる。

## 6. まとめと今後の課題

通信方式の違いを表 5.1 から読み取ると、隣接するチップにパケットを転送する際には、垂直バブルフロー形式の方がスループットが出ているが、パケット数が増えるとスループットが低下することが分かる。逆に、Shared-bus 形式は混雑時など関係なく一定のスループットでパケットを転送することが分かる。これは時分割通信による効果であると考えられる。また、今回の実装ではシミュレーション上ではあるがチップ間のワイヤレス通信ができてい

ることが分かった。今後は実チップでのシミュレーションを通して、性能、消費電力を測定していくが必要になってくる。また、電源の供給をボンディングワイヤーではなく、ワイヤレスで供給する研究も進めていく必要があると考えられる。

## 謝 辞

本研究は株式会社半導体理工学センター、平成 21 年度「次世代回路アーキテクチャ技術開発事業」の一貫として、東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター・(株)イー・シャトルおよび富士通株式会社・シノプシス株式会社・日本ケイデンス株式会社・メンター株式会社の協力で行なわれた。

## 参 考 文 献

- 1) T.Ezaki, K.Kondo, H.Ozaki, N.Sasaki, H.Yonemura, M.Kitano, S.Tanaka and T.Hirayama: "A 160Gb/s Interface Design Configuration for Multichip LSI", Proceedings of the International Solid-State Circuits Conference (ISSCC'04), pp. 140-141 (2004).
- 2) J.Burns, L.McIlrath, C.Keast, C.Lewis, A.Loomis, K.Warner and P.Wyatt: "Three-Dimensional Integrated Circuits for Low-Power, High-Bandwidth Systems on a Chip", Proceedings of the International Solid-State Circuits Conference (ISSCC'01), pp. 268-269 (2001).
- 3) K.Kanada, D.D.Antonio, K.Ishida, H.Kawaguchi, T.Kuroda and T.Sakurai: "1.27Gb/s/pin 3mW/pin Wireless Superconnect (WSC) Interface Scheme", Proceedings of the International Solid-State Circuits Conference (ISSCC'03), pp. 186-189 (2003).
- 4) D.Mizoguchi, Y.B.Yusof, N.Miura, T.Sakurai and T.Kuroda: "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Inter-Chip Signaling (IIS)", Proceedings of the International Solid-State Circuits Conference (ISSCC'04), pp. 142-151 (2004).
- 5) V.Puente, R.Beivide, J.A. Gregorio, J.M. Prellas, J.Duato and C.Izu: "Adaptive Bubble Router: A Design to Improve Performance in Torus Networks", Proceedings of the International Conference on Parallel Processing (ICPP'99), pp. 58-67 (1999).