

投票高々 1 衝突化手法を用いた小面積画素並列 ハフ変換回路の設計

中村 一博^{†1} 高木 一義^{†1} 高木 直史^{†2}

本稿では、計算順序に柔軟性を有する認識系処理向けの VLSI アーキテクチャ設計手法の確立に向け、一つの設計最適化の事例として、投票高々 1 衝突化手法を用いた直線検出のための小面積画素並列ハフ変換回路の設計について述べる。画像サイズ 1920×1080 用の 16 並列ハフ変換回路において、角度並列のハフ変換回路と比較し 97.5 % の面積削減が確認でき、その動作周波数は 172.4 [MHz]、遅延の増加は 3.6 % であった。また、投票無衝突化法を用いた画素並列ハフ変換回路に比べ、省メモリ・小面積であることも確認できた。

Memory Efficient Pixel-parallel Hough Transform Circuit Using Collision-at-most-one and Localized Voting Space Access

KAZUHIRO NAKAMURA,^{†1} KAZUYOSHI TAKAGI^{†1}
and NAOFUMI TAKAGI^{†2}

Hough transform detects lines in a image by majority vote. $W \times H \times \Theta$ votes are carried out to detect lines, where the image size is $W \times H$ pixels and Θ is angular resolution of detecting lines. In this paper, we present a method, collision-at-most-one, for pixel-parallel Hough transform circuits using localized voting space access. We also demonstrate a VLSI architecture that supports it. The circuit has small registers in the circuit than the θ -parallel circuit and the conventional pixel-parallel circuit using collision-free and localized voting space access. We have evaluated the proposed circuit by comparing clock cycles, register size, area and delay. From a VLSI architectural viewpoint, a comparison shows the efficiency of the proposed method and architecture through efficient use of vote memory. Compared with θ -parallel Hough transform circuit for 1920×1080 image, pixel-parallel Hough transform circuit for the image has 2.5 % area and 103.6 % delay. The proposed pixel-parallel Hough transform circuit is memory efficient and has small area.

1. はじめに

近年、認識系の処理が様々な分野で行われるようになってきている。ロボットや監視カメラ、デジタル家電、カーナビゲーション/ITS システムにおける、音声や人、物の認識や、創薬・タンパク質の機能予測における、モチーフ探索などの認識処理もその一つである。認識処理の更なる普及、求められる処理の複雑化・高度化に伴い、今後、認識系の処理を効率よく行うデジタル回路を設計する機会がますます増えるものと考えられる。我々の経験上、(a) 回路内に必要なメモリ量の削減や、(b) PE(Processing Element) のデータ待ちアイドル時間の削減、(c) 再利用可能な計算結果の効率的な再利用などが、計算量の大きい認識系の処理を行う高速・省メモリ・小面積な論理回路を設計する上で重要である。ハードウェア化されることを特に意識していない一般の認識処理アルゴリズムの場合、設計者がハードウェア化の際に上記 (a), (b), (c) のような工夫を短期間で行うことは容易ではない。そこで、認識系の処理を行う高速・省メモリ・小面積な VLSI アーキテクチャ設計をサポートする設計手法の確立を目指した研究を行っている。

本稿では、計算順序に柔軟性を有する認識系処理回路の効率的な設計手法の確立に向け、一つの設計最適化の事例として、直線検出のためのハフ変換¹⁾を行う回路の設計について述べる。ハフ変換はその投票処理において計算順序に柔軟性を有している。

ハフ変換アルゴリズムをハードウェア化するとき、計算精度を落とさずにハードウェア化したハフ変換回路について、角度並列型のハフ変換回路は多くのメモリを必要とすることが知られている²⁾⁻⁴⁾。角度並列ハフ変換回路と比較し、投票空間アクセスの局所化と投票無衝突化手法を用いた画素並列型のハフ変換回路は、省メモリ・小面積であることが知られている^{2),3)}。

本稿では、ハフ変換回路の更なる小メモリ・小面積化を可能にする投票高々 1 衝突化手法を提案し、投票空間アクセスの局所化と投票高々 1 衝突化手法を用いた小メモリ・小面積な画素並列ハフ変換回路の VLSI アーキテクチャを提案する。

入力画像のサイズと回路の並列数を指定すると提案手法に基づくハフ変換回路の Verilog

^{†1} 名古屋大学
Nagoya University

^{†2} 京都大学
Kyoto University

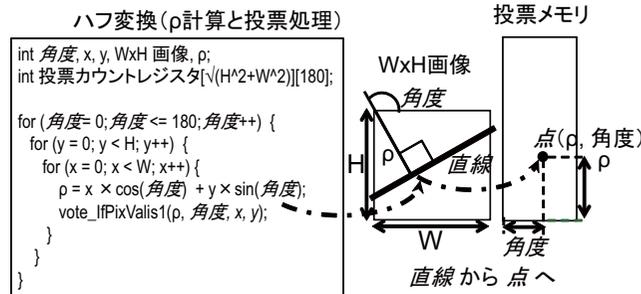


Fig. 1 ハフ変換の投票処理アルゴリズムの概要.

HDL 記述を自動生成するプログラムを作成し、24 種類の回路について論理合成後の回路面積と遅延について評価を行ったところ、画像サイズ 1920 × 1080 用の 16 並列ハフ変換回路において、角度並列のハフ変換回路と比較し 97.5 % の面積削減が確認でき、その動作周波数は 172.4 [MHz]、遅延の増加は 3.6 % であった。

以降 2 では直線検出のためのハフ変換回路、3 に高々 1 衝突手法とそれを用いた画素並列ハフ変換回路、4 に詳細設計に基づく評価結果を示す。

2. ハフ変換回路

2.1 直線検出のためのハフ変換

ハフ変換¹⁾ は 2 値画像中にある直線を単純な投票処理の繰り返しにより検出する手法である。W × H 画像中の x 軸とのなす角が $\theta + \pi/2$ の直線 l についての投票処理は、点 $p = (x, y)$, $0 \leq x \leq W$, $0 \leq y \leq H$ について、(i) 原点と点 p を通る直線 l との距離

$$\rho = x \cos \theta + y \sin \theta \quad (1)$$

を求める計算と、(ii) 点 p の画素値が 1 なら ρ と θ をインデックスとする投票カウントレジスタアレイ $[\rho][\theta]$ の値を 1 カウントアップする投票から成る。最終的にカウント値が最大の直線 (ρ, θ) が、画像中に存在する直線として検出される。図 1 に、検出対象の直線の角度の分解能が 1 の場合の、ハフ変換の投票処理アルゴリズムの概要を示す。擬似コード中の `vote_IfPixValis1(ρ, 角度, x, y)` は点 (x, y) の画素値が 1 なら ρ と角度をインデックスとする投票カウントレジスタアレイ $[\rho][\theta]$ の値を 1 カウントアップする、投票メモリへの投票を表している。

2.2 角度並列ハフ変換回路と画素並列ハフ変換回路

画素 $p = (x, y)$ を固定し複数の角度 $\theta_0, \theta_1, \dots, \theta_{N-1}$ についての計算、すなわち

$\rho_0, \rho_1, \dots, \rho_{N-1}$ を同時に求め、N 個の投票を並列に行うハフ変換回路を N 並列の角度並列ハフ変換回路という。また、角度 θ の値を固定し複数の画素 $p_0 = (x_0, y_0), p_1 = (x_1, y_1), \dots, p_{N-1} = (x_{N-1}, y_{N-1})$ についての投票処理を並列に行うハフ変換回路を N 並列の画素並列ハフ変換回路という。式 (1) に基づき ρ の値を計算する PE(Processing Element) は、角度並列ハフ変換回路も画素並列ハフ変換回路も同一の PE を用いる。回路で使用される PE の数も N 並列の角度並列ハフ変換回路と N 並列の画素並列ハフ変換回路では N 個で同じである。

角度並列ハフ変換回路については、投票カウントレジスタの値を 1 カウントアップする投票空間アクセスにおいて、アクセスするインデックス (ρ, θ) のレンジが広いため、画素並列ハフ変換回路に比べ回路内に必要な投票カウントレジスタアレイの要素数、メモリ量が大きい。

画素並列ハフ変換回路においては、式 (1) に基づく $\rho_0, \rho_1, \dots, \rho_{N-1}$ の計算を N 並列で行った後、複数の投票が同じインデックス値を持つ投票カウントレジスタアレイ $[\rho][\theta]$ に最大 N 個、集中する可能性がある。最悪の計算状況では、この投票の衝突は毎クロック連続で発生する。この投票の衝突を、いかに小さなハードウェアで解消するかが、並列数の大きい高速・小面積な画素並列ハフ変換回路を構成する上で重要な問題である。

3. 投票高々 1 衝突手法を用いた小面積画素並列ハフ変換回路

これまでに、省メモリ・小面積な画素並列ハフ変換回路を構成する方法として投票空間アクセスの局所化と投票無衝突化法を用いた VLSI アーキテクチャが提案されている^{2),3)}。本節では、それらの手法の概要を述べるとともに、投票無衝突化法以上の省メモリ化・小面積化を可能にする投票高々 1 衝突化法を提案し、それに基づく VLSI アーキテクチャを示す。

3.1 画素並列ハフ変換回路における投票空間アクセスの局所化と投票無衝突化法^{2),3)}

本手法では、 $N \times N$ 矩形領域が画像走査に用いられ、W × H 画像が斜めに、検出対象の直線 l に沿って走査される。投票処理は、 $N \times N$ 矩形領域内の N 個の画素 $p_0 = (x_0, y_0), p_1 = (x_1, y_1), \dots, p_{N-1} = (x_{N-1}, y_{N-1})$ に対し N 画素並列で行われる。本手法においては、並列化の方向は選択的であり、水平方向または垂直方向の中から投票の衝突がより少なくなる方向が角度 θ に応じて適切に選択される。水平方向の並列化では y を固定し x 座標の異なる N 個の画素について、垂直方向の並列化では x を固定し y 座標の異なる N 個の画素について N 並列の計算を行う。式 (1) に基づく N 並列の ρ の計算 $\rho_0, \rho_1, \dots, \rho_{N-1}$ は、それぞれ 0.5 距離精度で行われ 2^{-1} の桁まで求められ

る。得られた 0.5 距離精度の ρ の値 $\rho_0, \rho_1, \dots, \rho_{N-1}$ と角度 θ の組をそれぞれインデックスとし、0or1-up 投票カウントレジスタアレイ $[\rho(0.5 \text{ 距離精度})][\theta]$ の値を、対応する点 $p_0 = (x_0, y_0), p_1 = (x_1, y_1), \dots, p_{N-1} = (x_{N-1}, y_{N-1})$ の画素値が 1 なら各々 1 カウントアップする N 並列投票が行われる。

本手法では、 $N \times N$ 矩形領域内の画素についての N 並列計算において並列化方向を適切に選択すること、 ρ の値を 0.5 距離精度で計算すること、0.5 距離精度インデックスの 0or1-up 投票カウントレジスタアレイの使用により、投票衝突の発生を無くしている。

3.2 画素並列ハフ変換回路における投票高々 1 衝突化法

投票高々 1 衝突化法は、 N 並列 ρ 計算直後の投票における衝突の発生を 1 以下にするもので、投票の衝突が高々 1 つ発生する可能性がある、整数距離精度での ρ 計算、整数距離精度インデックスの 0or1or2-up 投票カウントレジスタアレイを使用するという点が、投票無衝突化法^{2),3)}と異なっている。衝突が発生したときは、0or1or2-up 投票カウントレジスタアレイによりカウント値を 2up することで解消する。

投票高々 1 衝突化法でも、画像走査用の窓である $N \times N$ 矩形領域を用いて $W \times H$ 画像を斜めに、検出対象の直線 l に沿って走査する点、投票処理が $N \times N$ 矩形領域内の N 個の画素に対し並列に行われ投票の衝突がより少なくなる方向を角度 θ の値に応じて選択する点については、投票無衝突化法^{2),3)}と同じである。

投票高々 1 衝突化法では、式 (1) に基づく ρ の計算 $\rho_0, \rho_1, \dots, \rho_{N-1}$ は、それぞれ整数距離精度で行われ 2^0 の桁まで求められる。得られた整数距離精度の ρ の値 $\rho_0, \rho_1, \dots, \rho_{N-1}$ と角度 θ の組をそれぞれインデックスとし、0or1or2-up 投票カウントレジスタアレイ $[\rho(\text{整数距離精度})][\theta]$ の値を、対応する点 $p_0 = (x_0, y_0), p_1 = (x_1, y_1), \dots, p_{N-1} = (x_{N-1}, y_{N-1})$ の画素値が 1 なら各々カウントアップする N 並列投票が行われる。

本手法においては、投票の衝突は発生しても高々 1 個であり、それは式 (1) に基づく ρ の計算 $\rho_0, \rho_1, \dots, \rho_{N-1}$ における隣接する計算結果、 ρ_i, ρ_{i+1} 間でのみ発生する。

3.3 投票高々 1 衝突化手法を用いた小面積画素並列ハフ変換回路の詳細設計

本節では、3.1, 3.2 で述べた画素並列ハフ変換回路への入力を保持する外部メモリとして、一般的なランダムアクセスメモリ(ただし 1 語 N -bit 以上)の使用を想定し、その場合でも PE のデータ待ちアイドル時間が発生しない 3 ステージのパイプライン構成を示す。

図 2 に、 $W \times H$ 画像が斜めに、走査のガイド役を担う検出対象と同じ角度の直線 l_1, l_2, \dots, l_8 に沿って、 $N \times N$ 矩形領域により走査される様子を示す。図中の 1, 2, ..., 20 の順に $N \times N$ 矩形領域が移動し $W \times H$ 画像が走査される。画素並列ハフ変換回路は、この順番

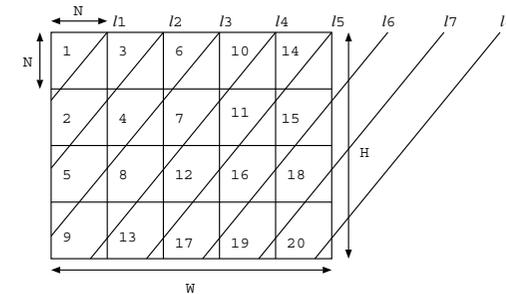


Fig. 2 投票高々 1 衝突化および投票無衝突化における投票空間アクセスの局所化。

に従い、外部メモリにアクセスし画素値を参照する必要がある。また、画素並列ハフ変換回路においては、式 (1) を N 並列で計算するとき、角度 θ の値に応じて並列化の方向が水平方向と垂直方向の中から選ばれる。回路内の N 個の全ての PE がデータ待ちのアイドル状態になることなく、毎クロック計算を続けるためには、 N 個の画素値を水平方向にも垂直方向にも 1 クロックサイクルで読み出せる必要がある。

図 3 に、水平/垂直方向の選択的画素値読出し可能な画素の先読みバッファを導入した画素並列ハフ変換回路の構成の概要を示す。FIFO in と FIFO out は画素の先読みバッファの N -bit 入出力信号を表す。先読みバッファは、 N サイクル後の計算で必要となる $N \times N$ 矩形領域内の画素値をあらかじめ格納しておくバッファであり、バッファにデータを格納しながら、バッファからデータを読み出すために、読み書き可能な同一機能の $N \times N$ -bit シフトレジスタ 2 個から構成される。それぞれ、水平/垂直方向に選択的にデータをシフトする機能を有する。

パイプラインの第 1 ステージでは、図 3 の投票空間アクセス局所化矩形移動回路が、矩形領域の位置の系列を図 2 の 1, 2, ..., 20 のような順番に従い、 N クロック間隔でパイプラインの第 2 ステージへ向かって出力する。パイプラインの第 2 ステージでは、第 1 ステージから送られてくる矩形領域の位置に基づき外部の入力画像格納 RAM にアクセスし、 N 個の画素値を毎クロック、バッファに転送する。 N クロックサイクルで $N \times N$ 矩形領域の全ての画素値がバッファに転送される。パイプラインの第 3 ステージでは、バッファからデータを N 個、水平/垂直方向に選択的に読出し、 N 並列の ρ の計算と投票を行う。

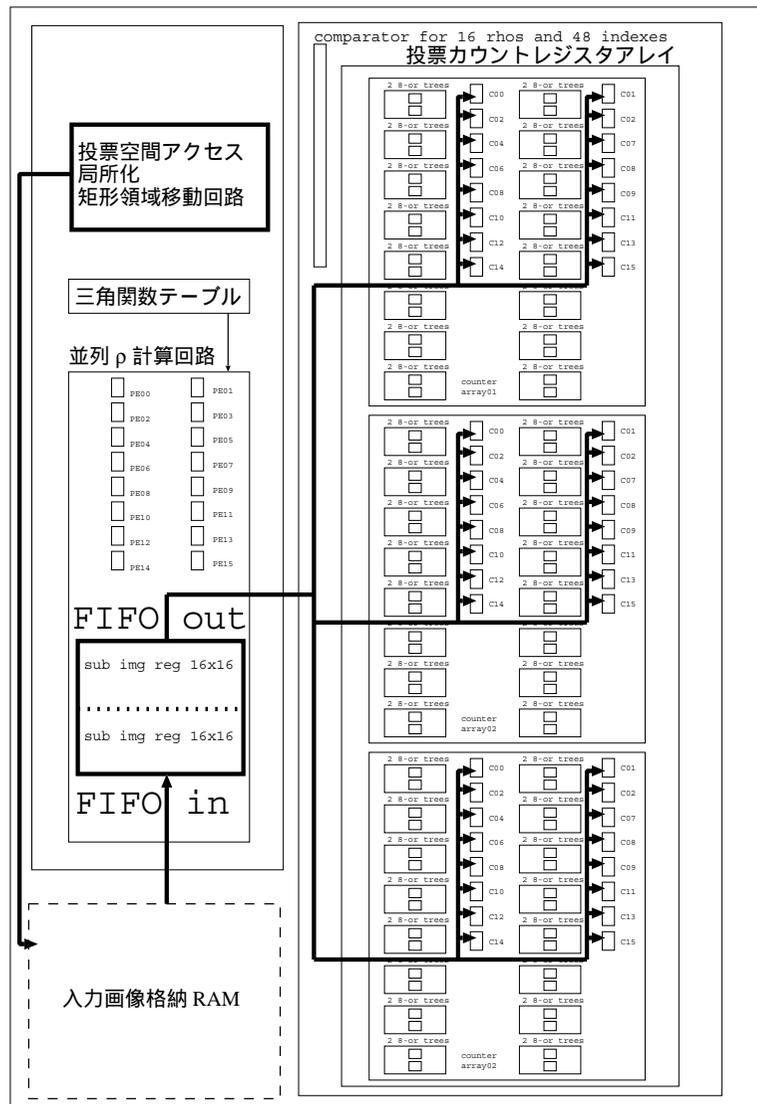


Fig. 3 水平/垂直方向の選択的画素値読出し可能な画素の先読みバッファを導入した画素並列ハフ変換回路の構成の概要 (16 並列, PE 数 16, 投票カウントレジスタアレイの要素数 16×3).

高々 1 個の衝突については、投票カウントレジスタアレイを構成する $N \times 3$ 個の各投票カウントレジスタにおいて、 $N/2$ -bit 入力 OR が 2 個と HA 1 個を用いてカウンタ値を 0 or 1 or 2up する、簡単な論理回路でカウンタの制御が行える。

投票無衝突化と比較して、投票カウントレジスタアレイの要素数は $1/2$ で、必要なメモリ量は $N \times (\text{整数距離精度の } \rho \text{ のビット幅}) \times 3$ [bit] である。

4. 評価

本節では、投票高々 1 衝突化法を用いた画素並列ハフ変換回路と投票無衝突化法を用いた画素並列ハフ変換回路、角度並列ハフ変換回路の回路面積と遅延時間についての比較結果を示す。評価は、入力画像のサイズ $W \times H$ と回路の並列数 N を指定すると提案手法に基づく画素並列ハフ変換回路、投票無衝突化法に基づく画素並列ハフ変換回路、角度並列ハフ変換回路の Verilog HDL 記述を自動生成するプログラムを作成し、24 種類の回路について論理合成後の回路面積と遅延時間の評価を行った。

4.1 投票無衝突化法を用いた画素並列ハフ変換回路

評価に用いた投票無衝突化法に基づく画素並列ハフ変換回路は、文献^{2),3)}の画素並列ハフ変換回路の構成法に基づき、3.3 に示した 3 ステージのパイプライン構成で我々が設計したものである。0.5 距離精度インデックスの投票カウントレジスタアレイの要素数は、整数距離精度インデックスの場合の 2 倍で、必要なメモリ量は $N \times (\text{整数距離精度の } \rho \text{ のビット幅} + 1) \times 3 \times 2$ [bit] である。

投票の衝突は発生しないため、投票カウントレジスタアレイを構成する $N \times 3 \times 2$ 個の各投票カウントレジスタにおいて、 N -bit 入力 OR 1 個を用いてカウンタ値を 0 or 1up する、簡単な論理回路でカウンタの制御が行える。

4.2 角度並列ハフ変換回路

評価に用いた角度並列ハフ変換回路は、文献⁵⁾の 256×256 画像用の 180 並列ハフ変換回路の設計に基づき、我々が設計したものである。評価のために、回路内の PE 数と投票カウントレジスタアレイの角度に関する要素数を変更した。

4.3 評価用回路の諸元

表 1, 2, 3, 4 に、今回設計した 640×480 画像, 1024×768 画像, 1440×1080 画像, 1920×1080 画像用の合計 24 種類のハフ変換回路の諸元をそれぞれ示す。表中の手法、PE 数、並列化はそれぞれ、ハフ変換回路で用いた投票の衝突解消法、回路を構成する PE の数、並列化手法を表す。

表 1 画像サイズ 640 × 480 用ハフ変換回路の諸元 (100[MHz]での動作を想定)

手法	PE数	並列化	サイクル数 [Mcycle]	投票カウント reg. サイズ [bit]	投票アクセス局所化回路, 画素バッファサイズ [bit]	性能 [f/s]
高々1衝突	16	画素	3.4	528 (0.4%)	有, 16 × 16 × 2	28
無衝突	16	画素		1,152 (0.8%)	有, 16 × 16 × 2	
角度並列	16	角度		140,976 (100%)	無, 0	
高々1衝突	32	画素	1.7	1,056 (0.4%)	有, 32 × 32 × 2	56
無衝突	32	画素		2,304 (0.8%)	有, 32 × 32 × 2	
角度並列	32	角度		281,952 (100%)	無, 0	

表 2 画像サイズ 1024 × 768 用ハフ変換回路の諸元 (100[MHz]での動作を想定)

手法	PE数	並列化	サイクル数 [Mcycle]	投票カウント reg. サイズ [bit]	投票アクセス局所化回路, 画素バッファサイズ [bit]	性能 [f/s]
高々1衝突	16	画素	8.8	576 (0.2%)	有, 16 × 16 × 2	11
無衝突	16	画素		1,248 (0.5%)	有, 16 × 16 × 2	
角度並列	16	角度		245,952 (100%)	無, 0	
高々1衝突	32	画素	4.4	1152 (0.2%)	有, 32 × 32 × 2	22
無衝突	32	画素		2496 (0.5%)	有, 32 × 32 × 2	
角度並列	32	角度		491,904 (100%)	無, 0	

表 3 画像サイズ 1440 × 1080 用ハフ変換回路の諸元 (100[MHz]での動作を想定)

手法	PE数	並列化	サイクル数 [Mcycle]	投票カウント reg. サイズ [bit]	投票アクセス局所化回路, 画素バッファサイズ [bit]	性能 [f/s]
高々1衝突	16	画素	17.6	576 (0.2%)	有, 16 × 16 × 2	5
無衝突	16	画素		1,248 (0.4%)	有, 16 × 16 × 2	
角度並列	16	角度		346,560 (100%)	無, 0	
高々1衝突	32	画素	8.8	1,152 (0.2%)	有, 32 × 32 × 2	11
無衝突	32	画素		2,496 (0.4%)	有, 32 × 32 × 2	
角度並列	32	角度		693,120 (100%)	無, 0	

表 4 画像サイズ 1920 × 1080 用ハフ変換回路の諸元 (100[MHz]での動作を想定)

手法	PE数	並列化	サイクル数 [Mcycle]	投票カウント reg. サイズ [bit]	投票アクセス局所化回路, 画素バッファサイズ [bit]	性能 [f/s]
高々1衝突	16	画素	23.5	624 (0.1%)	有, 16 × 16 × 2	4
無衝突	16	画素		1,344 (0.3%)	有, 16 × 16 × 2	
角度並列	16	角度		459,056 (100%)	無, 0	
高々1衝突	32	画素	11.7	1,248 (0.1%)	有, 32 × 32 × 2	8
無衝突	32	画素		2,688 (0.3%)	有, 32 × 32 × 2	
角度並列	32	角度		918,112 (100%)	無, 0	

サイクル数、投票カウント reg. サイズはそれぞれ、入力画像を角度分解能 1.0 度で解析するのに必要なクロックサイクル数、投票カウントレジスタアレイのメモリ量を表している。投票カウント reg. サイズについては、角度並列ハフ変換回路を 100% とした場合のパーセンテージを各欄の括弧内に併記した。表中の投票アクセス局所化回路、画素バッファサイズ、性能はそれぞれ、投票空間アクセスの局所化回路の有無、投票空間アクセス局所化回路有の場合の画素バッファサイズ、ハフ変換回路が 100[MHz] で動作したときの 1 秒間に処理可能な画像の数を表している。

これらの表から、入力画像を処理するのに必要なクロックサイクル数は、投票の衝突解消法に関わらず、入力画像のサイズ、回路内の PE 数だけに依存することが分かる。

また、24 種類の回路のうち 1 秒間に 30 枚の入力画像をリアルタイムで処理することが可能なのは、640x480 画像用の 32 並列で動作する画素並列、角度並列の 3 個のハフ変換回路のみであることが分かる。ただし、これはハフ変換回路自体の性能の限界を示したのではなく、より大きな入力画像に対してリアルタイム処理を行う必要がある場合には、より多くの PE を有する回路を構成したり、省メモリ・小面積な回路を複数用いることにより並列度を上げるなどの方法がある。

4.4 評価結果

タイミング制約を 25[ns]、面積制約を最小とし、表 1, 2, 3, 4 に諸元を示した 24 種類の回路について論理合成を行った結果を表 5, 6, 7, 8 にそれぞれ示す。論理合成には Design Compiler を、セルライブラリには STARC 90nm (AS90) を使用した。

表 5, 6, 7, 8 中の手法、PE 数はそれぞれ、ハフ変換回路で用いた投票の衝突解消法、回路を構成する PE の数を表す。面積、遅延、動作周波数はそれぞれ、論理合成後の回路面積、遅延時間、遅延時間から算出した最大動作周波数を表している。面積と遅延については、角度並列ハフ変換回路を 100% とした場合のパーセンテージを各欄の括弧内に併記した。なお、全てのハフ変換回路が 0 度から 45 度までの三角関数テーブルを含み、表 1, 2, 3, 4 において、投票アクセス局所化回路と画素バッファを有すると記した回路については、それらを含めた論理合成結果である。入力 2 値画像を格納する RAM は、全ての回路において論理合成に含めていない。

表 5, 6, 7, 8 の遅延時間に関する結果から、全ての回路が少なくとも 100 [MHz] で動作可能であることが分かる。また、画素並列ハフ変換回路と角度並列ハフ変換回路の回路面積に関する結果から、画素並列ハフ変換回路は、角度並列ハフ変換回路と比較し、入力画像のサイズが大きくなるのに伴う回路面積の増加割合が小さいことが分かる。

表 5 画像サイズ 640 × 480 用ハフ変換回路の論理合成後の面積と遅延

手法	PE 数	面積 [um ²]	遅延 [ns]	動作周波数 [MHz]
高々 1 衝突	16	387,046 (7.1%)	5.3 (88.3%)	188.7
無衝突	16	578,196 (10.5%)	5.8 (96.7%)	172.4
角度並列	16	5481,556 (100.0%)	6.0 (100.0%)	166.7
高々 1 衝突	32	988,093 (9.0%)	6.7 (13.6%)	149.3
無衝突	32	1,577,793 (14.4%)	8.2 (139.0%)	122.0
角度並列	32	10,968,038 (100.0%)	5.9 (100.0%)	169.4

表 6 画像サイズ 1024 × 768 用ハフ変換回路の論理合成後の面積と遅延

手法	PE 数	面積 [um ²]	遅延 [ns]	動作周波数 [MHz]
高々 1 衝突	16	414,367 (4.3%)	5.6 (94.0%)	178.6
無衝突	16	613,665 (6.4%)	6.0 (101.0%)	166.7
角度並列	16	9,612,467 (100.0%)	5.8 (100.0%)	172.4
高々 1 衝突	32	1,057,966 (5.5%)	7.0 (118.1%)	142.9
無衝突	32	1,686,045 (8.8%)	8.4 (142.3%)	119.0
角度並列	32	19,220,792 (100.0%)	5.9 (100.0%)	169.5

表 7 画像サイズ 1440 × 1080 用ハフ変換回路の論理合成後の面積と遅延

手法	PE 数	面積 [um ²]	遅延 [ns]	動作周波数 [MHz]
高々 1 衝突	16	426,875 (3.2%)	5.8 (100.0%)	172.4
無衝突	16	627,712 (4.6%)	6.0 (104.4%)	166.7
角度並列	16	13,528,048 (100.0%)	5.8 (100.0%)	172.4
高々 1 衝突	32	1,082,052 (4.0%)	6.9 (106.0%)	144.9
無衝突	32	1,709,999 (6.3%)	8.4 (129.2%)	119.0
角度並列	32	27,052,465 (100.0%)	6.5 (100.0%)	153.8

表 8 画像サイズ 1920 × 1080 用ハフ変換回路の論理合成後の面積と遅延

手法	PE 数	面積 [um ²]	遅延 [ns]	動作周波数 [MHz]
高々 1 衝突	16	443,477 (2.5%)	5.8 (103.6%)	172.4
無衝突	16	656,515 (3.6%)	5.9 (105.3%)	169.5
角度並列	16	18,027,225 (100.0%)	5.6 (100.0%)	178.6
高々 1 衝突	32	1,129,747 (3.1%)	6.9 (113.1%)	144.9
無衝突	32	1,802,348 (5.0%)	8.4 (137.7%)	119.0
角度並列	32	36,061,039 (100.0%)	6.1 (100.0%)	163.9

これは、角度並列ハフ変換回路では、投票カウントレジスタアレイの要素数が入力画像のサイズに依存しているが、画素並列ハフ変換回路では、投票カウントレジスタアレイの要素数は入力画像のサイズに非依存で、各要素のビット幅のみが入力画像のサイズに依存している

ためである。

投票高々 1 衝突化法を用いたハフ変換回路は、画像サイズ 1920 × 1080 用の 16 並列ハフ変換回路において、角度並列のハフ変換回路と比較し 97.5 % の面積削減が確認でき、その動作周波数は 172.4 [MHz]、遅延の増加は 3.6 % であった。また、投票無衝突化法を用いたハフ変換回路と比較して、投票高々 1 衝突化法を用いたハフ変換回路は、全ての回路において小面積であることが確認できた。

5. ま と め

本稿では、画素並列ハフ変換における投票高々 1 衝突化法を提案し、提案手法を用いた画素並列ハフ変換回路の面積と遅延に関する評価結果を示した。その結果、画像サイズ 1920 × 1080 用の 16 並列ハフ変換回路において、角度並列のハフ変換回路と比較し 97.5 % の面積削減が確認でき、その動作周波数は 172.4 [MHz]、遅延の増加は 3.6 % であった。また、投票無衝突化法を用いた画素並列ハフ変換回路に比べ、省メモリ・小面積であることも確認された。今後の課題としては、FPGA へのマッピングによる評価、回路内の計算リソースをできるだけ共有し、より大きな並列度を有した VLSI アーキテクチャの検討が挙げられる。

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、STARC の協力で行われたものである。

参 考 文 献

- 1) P.V.C Hough : Method and Means for Recognizing Complex Patterns, U.S.Patent 3,069,654, (1962).
- 2) 後藤正之, 中村一博, 高木一義, 高木直史 : 投票無衝突化手法を用いた小面積画素並列ハフ変換回路, 信学技報, CPSY2008-101, DC2008-92, pp.79-84 (2009).
- 3) 後藤正之, 中村一博, 高木一義, 高木直史 : 投票無衝突化と投票空間アクセス局所化による小面積画素並列ハフ変換回路, 電子情報通信学会総合大会, A-20-1, p. 348 (2009).
- 4) 朱 剣云, 丸山 勉 : FPGA による実時間線分抽出の実現, 信学技報, RECONF2010-19, pp.7-12 (2010).
- 5) 平井 慎一, 座光寺 正和, 増淵 章洋, 坪井 辰彦 : FPGA ベースリアルタイムビジョン, 日本ロボット学会誌, Vol.22, No.7, pp.873-880, (2004).