

1. メディア処理における 超低消費電力SoC技術

後藤 敏 (早稲田大学)・池永 剛 (早稲田大学)・吉村 猛 (早稲田大学)
木村晋二 (早稲田大学)・戸川 望 (早稲田大学)

超低消費電力化を目指した メディア処理の再構築

メディア処理システムの多くは、多種多様な機能が組み合わされて実現されている。動画像圧縮通信システムの場合、単に画像圧縮や符号化処理のみならず、セキュア化のための暗号処理、誤りなくデータを通信するための誤り訂正処理などの機能を実装することが必要不可欠になっている。しかし現在までの製品開発や研究は、画像処理、暗号処理、誤り訂正処理の技術を個々に研究開発してきたために、それぞれの処理が独立に行っており、無駄が生じている。個々の画像処理、暗号処理、誤り訂正処理自体を最適化することと同時に、メディア処理全体を眺め、再構築することは、演算量の低減になり、低消費電力化を大幅に図ることが可能である。

一方、SoC (システム・オン・チップ) の実現において、メディア処理アルゴリズムは、C/C++ などのプログラミング言語で設計・検証が行われるため、それをベースとしたハード／ソフト協調設計が不可欠になってきている。アルゴリズムレベルから一貫して協調設計を行うことにすれば、ハードウェア部とソフトウェア部を大きく電力削減することが期待できる。

その中で、ハードウェア部の低消費電力化を実現するにはシステムレベルからトランジスタレベルに至る各抽象レベルで最適化を行う必要がある。このうち、最も効果的なのはシステムレベルおよびアルゴリズムレベルでの最適化であり、高位レベルの最適設計により種々のアーキテクチャから最適なもの

を選択することで、消費電力を大幅に削減できる可能性があり、高位合成とフロアプランを組み合わせることにより、アルゴリズム・アーキテクチャレベルでの大幅な消費電力削減を実現できる。

一方、ソフトウェア部に関しては、必要最低限の命令から構成されるコンフィギュラブルプロセッサの概念を導入して、不必要な命令の実行制御部分による消費電力を削減し、ハードウェアモジュールのパワーのオン／オフの最適制御を行うことで低消費電力化が期待できる。

本稿では以上の考えに基づき、CREST プロジェクトとして3年間実行してきた研究の成果を紹介する。まず画像処理と暗号処理、および画像処理と誤り訂正処理の一体化の方式により消費電力が削減できることを述べる。次に、メディア処理で最も消費電力を必要とする画像圧縮処理に画像のコンテンツの特徴を利用して消費電力を削減する方式を紹介する。そして画像処理の圧縮 (エンコーダ) LSI、および伸長 (デコーダ) LSI の低消費電力化を述べる。ハードウェア設計に関しては、高位合成とフロアプランによる低消費電力化手法とパワーゲーティング・クロックゲーティングによる低消費電力化手法、ソフトウェア設計では命令の最適化による低消費電力化手法について紹介する。

メディア処理の一体化方式による 低消費電力化

メディア処理の流れは図-1のように考えられる。センサで入力され、信号処理、認識が行われたデー

タは、圧縮、暗号化、誤り訂正符号化の後、ネットワーク上へ配信、あるいは記憶装置へ格納される。この処理はメディアのエンコード（符号化）と言われる。逆に、ネットワークを介して、記憶装置から符号化されたデータを受け取り、元のデータに戻す処理をデコード（復号化）と言う。エンコードでは一定の規則に沿いながら、品質を落とさずに、目的に応じた符号に効率よくデータを変換することが要求され、デコードではエンコードしたデータを元のデータに正しく効率よく戻すことが要求される。従来では画像処理、暗号処理、誤り訂正処理は独立に行われており、処理を統合化することで、全体のシステムとして、演算処理の大幅な削減が図れ、消費エネルギーの削減が可能である。

画像処理、暗号処理、符号化処理等の領域を統合する方式として、メディア情報の重要度に応じて暗号強度や誤り訂正能力を適応的に変化させ、統合的観点から消費電力を削減する方式検討を行った。暗号処理と動画圧縮処理 (H.264) を一体化する方式として、画像データの重要部分には暗号強度の強い「AES」を、非重要部分には暗号強度の弱い「ストリーム暗号」を適用する手法を提案した。重要部分とは、ヘッダ、パラメータデータ、マクロブロックの制御データとした。暗号強度を保ちながら、すべてを AES で暗号化する場合に比べて、50 ～ 83% の演算量を削減することができた¹⁾。

また誤り訂正と画像処理を一体化する方式として、画像の重要部分には訂正能力の強い「1/2 の符号化率を持つ LDPC」を、非重要部分には訂正能力の弱い「2/3 ～ 4/5 の符号化率を持つ LDPC」を適用するという不均一誤り訂正方式を適用し、均一な誤り訂正方式に比べて演算量を 25 ～ 56% 削減することができた²⁾。

画像コンテンツの特徴を利用した 画像処理の低消費電力化方式

新しいアプローチとして、演算量削減のために動画画像圧縮処理の前に実行するプリプロセッシングと

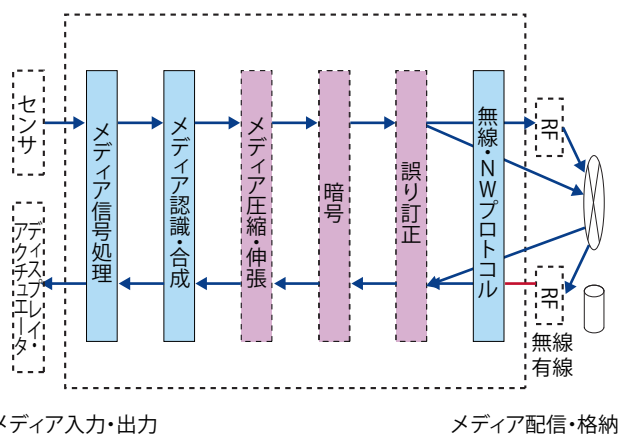


図-1 メディア処理の流れ

して、差分検知方式と RoI (Region of Interest) 方式を考案した。差分検知方式は動画画像の前後のフレーム間での動きと色差という特徴量に注目し、特徴量に差分が起こったブロックを検知するもので、動画のエンコードにおいて動き予測処理を行う際に、差分が検知されなかったブロックは自動的にスキップしてしまう方式である。監視カメラのようにカメラの位置が固定化されており、道路等の背景画像は固定されていて車や人等は動いているような場合には差分が検知されるブロックが非常に少ない (図-2)。

そのため、多くのブロックが動き予測処理でスキップされ、画像品質を保ちながら演算量を大幅に減らすことができる。リファレンスソフトウェアとして広く使われている JM ソフト (JM15.1) をこの差分方式と比較すると、監視データでの実験では約 70 ～ 97% の計算時間の短縮を行うことができた。従来提案されている方式と比べても、10 ～ 40% の計算時間の削減を行っており、きわめて有効な方式であることが判明した³⁾。

一方、RoI 検知方式では、プリプロセッシングにおいて人間が関心ある物体 (RoI) と関心のない物体 (非 RoI) にブロックを分類する。エンコード処理では関心のある物体に含まれるブロックは画像の品質を高く符号化し、関心のない物体に含まれるブロックは、画像の品質を低く符号化する。具体的には、RoI ブロックには量子化パラメータを小さく、非 RoI ブロックには量子化パラメータを大きく設定す



N フレーム



N+1 フレーム

図-2 差分検知方式で変化の検知

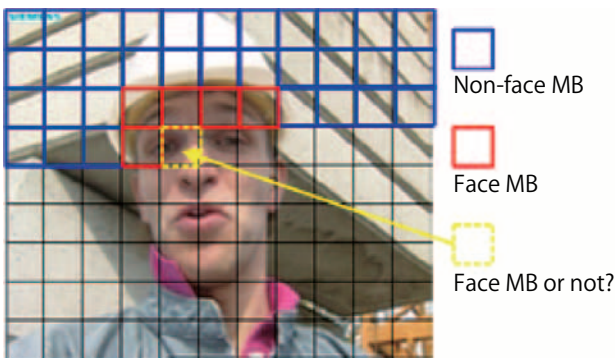


図-3 RoI (顔が注目データ)に基づく画像圧縮方式

る。また、動き予測処理においても、非 RoI ブロックには、探索範囲を狭める等の探索演算量を大幅に減らした手法で、画質を犠牲にする代わりに、演算量を大幅に減らす。実験では人の顔を RoI として定義し、自動的に人の顔を自動検出している (図-3)。コンピュータシミュレーション実験の結果では、全体の画像に占める RoI の割合がたとえば 30% 程度のときに、エンコード時間を約半分にすることが可能であった⁴⁾。

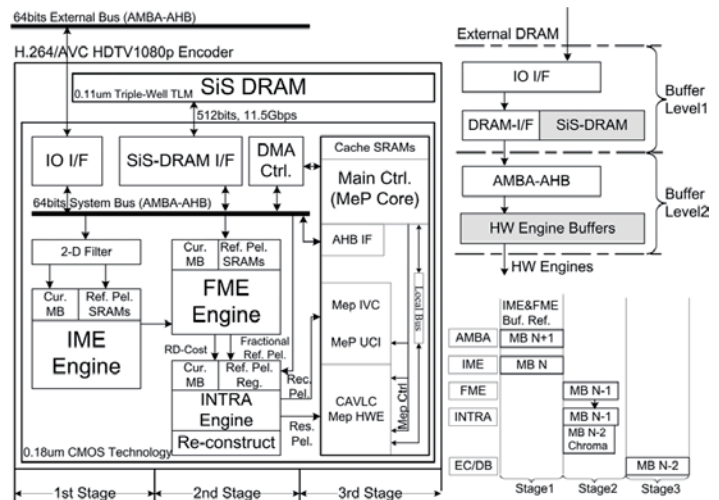


図-4 H.264 エンコーダ SoC の全体構成

画像処理 LSI

▶ 画像圧縮(エンコーダ) LSI

動画画像エンコーダ LSI の最先端事例として、早稲田大学で試作したフルハイビジョン (HDTV1080p) 実時間処理向け H.264 エンコーダ⁵⁾を紹介する。H.264 は、2003 年に ITU-T によって策定された動画圧縮の規格であり、最先端の動画画像圧縮技術が集結している。H.264 は、MPEG-2 と比較して、2 倍以上の圧縮効率を達成可能であるが、一方で 10 倍の演算処理量が必要となっており、SoC 化の大きな課題となっている。H.264 エンコーダの複雑かつ HDTV 動画画像の膨大なデータ処理を行うため、本 SoC は、以下の 3 つの特徴を有している。

- 1) 3 つの専用ハードウェアエンジン：整数画素精度動き予測処理 (IME)、小数画素精度動き予測処理 (FME)、イントラモード予測処理 (INTRA)
- 2) コンフィギュラブルプロセッサ (MeP) を用いた短 TAT HW/SW 協調設計
- 3) 低電力 SiS (System-in-Silicon) DRAM およびそれに基づく SoC 実装

図-4 にエンコーダの全体アーキテクチャ構成を示す。エンコーダ SoC は、IME, FME, INTRA の 3 つの専用エンジンに加え、全体制御および Deblocking filter, エントロピー符号化処理を行う MeP モジュールから構成されている。MeP は東芝によって開

	Y. W. Huang's Work (ISSCC'05)	Ours
Chip Feature	ASIC Encoder for HDTV720p	SoC Encoder for HDTV1080p
Embedded Processor	—	32-bits Toshiba MeP
Embedded DRAM	—	64Mb System-in-Silicon DRAM
Technology		
ASIC	UMC 0.18um CMOS 1P6M	TSMC 0.18um CMOS 1P6M
DRAM	—	0.11um Triple-Well TLM
Core Size	7.68mm×4.13mm (=31.7mm ²)	5.44mm×4.98mm (=27.1mm ²)
Logic Gates	922.8K gates	1140K gates
On-Chip SRAM	34.72 KB	108.3KB
H.264/AVC Features		
Max Frame Size	1280×720	1920×1080
Max Frame Rate	30fps	30fps
Max Search Range	H: [-64, +63] V: [-32, +31]	H: [-96, +95] V: [-64, +63]
Operation Frequency	108MHz	200MHz
Power Consumption	785mw (ASIC only)	1409mw (ASIC with DRAM)

表-1 SoCの仕様

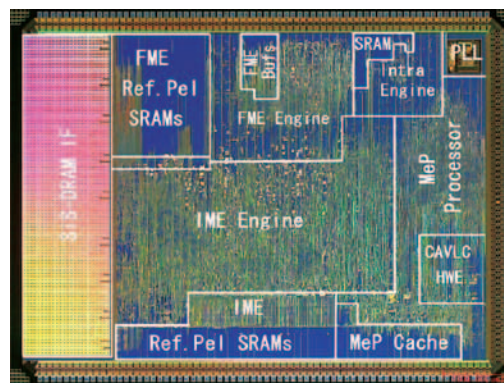


図-5 チップ写真

発されたコンフィギュラブルプロセッサベースのHW/SW協調設計プラットフォームであり、多くのメディア処理SoCの開発に用いられている。SoC全体を3段パイプライン構成にすることにより、処理の高速化を図るとともに、ステージ間の余分なメモリを削減している。第1ステージでは、IMEエンジンにより整数精度の動きベクトルを算出するとともに、次のマクロブロック処理のために、現マクロブロックと探索ウィンドウのバッファを更新している。第2ステージでは、上記のIMEエンジンから生成される動きベクトルを直接入力とし、小数精度の動きベクトルを算出するFMEエンジンと、RD (Rate Distortion) に基づくモード選択を行うINTRAエンジンが並列に動作する。FMEエンジンで算出されたRDコストは、INTRAエンジンに渡され、早期打ち切りの閾値として用いられる。第3ステージでは、MePモジュールにより全体制御ならびにDeblocking filter、エントロピー符号化が処理される。MePモジュールでは、ベースのRISCコアに加え、VLIW, UCI (User-customized Instruction)、ハードウェア拡張の3つのカスタム拡張モジュールを搭載することにより、複雑かつ高い処理性能を要する上記処理を、短期間(4~5カ月)で実現している。

各モジュールとDRAM間的高速データ伝送を可能とするため、200MHz 64ビットのAHBA-AHBシステムバスを実装している。また、DRAMと各モジュールに配置した内部SRAM/レジスタ等の

2段メモリ構成をとることにより、余計なシステムバストラフィックを抑えている。64MビットのSiS DRAMは、第1段メモリとして現フレームと参照フレームの格納に用いており、DMAコントローラとSiS DRAM I/Fを介して、MePモジュールにより制御されている。現マクロブロックと探索ウィンドウ画素は、第1段メモリからシステムバスを介して転送され、すべての関連モジュールで共有して用いられる。

表-1、図-5にSoCの仕様、チップ写真を示す。

提案アーキテクチャに基づきTSMC0.18μm CMOS技術を用いて、LSI試作を行った結果、1.14Mゲートと108.3KB SRAMを5.44 mm×4.98 mmのコアエリアに実装可能であることを確認した。また、DRAMを含むSoC全体の消費電力は、1.8V/200MHzで1.409Wを達成している。過去、HDTV720p用のH.264エンコーダLSIが発表されているが、本SoCは、より大きな画像サイズ(720p→1080p)を小さなコア(31.7mm²→27.1mm²)で実現している。また、同様のスペックを仮定したときの消費電力は1/2以下となっている。

上記に示したSoC実現後も、H.264エンコーダLSIのさらなる低消費電力化を図るため、IME, FME、モード選択などエンコーダ処理を各要素に切り分け、それぞれに対し低演算量・低消費電力化が可能なハードウェアアルゴリズム構成法、LSIアーキテクチャ構成法の検討を進めてきている。特

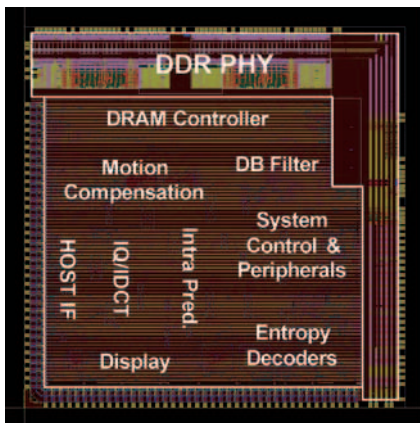


図-6 開発したマルチチップデコーダ

	JSSC'07	A-SSCC'08	提案手法
Video Formats	H.264 MP	H.264 HP MPEG-2 MP VC-1	H.264 HP MPEG-2 MP AVS JP
Throughput (1080p)	30fps@120MHz	60fps@200MHz	60fps@200MHz 30fps@100MHz
Gate count	160k	515k	367k
SRAM	4.5kB	65.3kB	11.0kB
Technology	0.13um*	90nm	0.13um
Core power (1080p)	108mW@30fps	317mW@60fps	257mW@60fps 134mW@30fps
DRAM pins	135	n/a	70
DRAM power (1080p)	627mW@30fps	n/a	334mW@30fps
System power	735mW@30fps	n/a	468mW@30fps

表-2 開発したチップと他の発表との比較 REF _Ref26195089⁷⁾

に多くの演算量を占める IME に関しては、幅広い視点に立った検討を行ってきている。

IME のアルゴリズムに関する成果例としては、算術解析、理論解析（レート歪理論など）により、テクスチャと予測誤差の関係、高周波信号と可変ブロック処理や参照フレーム数の関係、差分絶対値和とエッジの分布との関係などを明確化し、それらに基づく、画像コンテンツによる初期演算打ち切り手法や、ブロック中のエッジ分布に基づく動的な探索範囲アルゴリズムなどを考案している⁶⁾。評価により画質を落とすことなく 30～60% の演算量が削減可能な見通しを得ている。また、アーキテクチャ成果の例としては、IME の大部分を占める SAD 演算アレイに着目し、適応的なサブサンプリングアルゴリズム並びにそれに基づく、RSADT (Reconfigurable Sum-of-Absolute Difference Tree) と APPSAD (Adaptive Propagate Partial Sum-of-Absolute Difference) の 2 つの柔軟な IME アーキテクチャを提案している。

▶ 画像伸長(デコーダ) LSI

低消費電力を狙ったマルチフォーマット対応のデコーダ LSI を開発した (図-6)。H.264 のデコーダはすでに世界各地で開発され製品も出回っているが、本 LSI は以下の 3 つの特徴を持ったチップである⁷⁾。

1) 3 つのビデオ規格である MPEG2, H.264, AVS

のフォーマットに共通な機能を共有化することで、共通化しない場合に比べて、50% の回路規模で実現した。

2) DDRAM - SRAM 間の制御手法と 2 次元キャッシュ方式を新たに考案したことで、DRAM メモリとデコーダエンジンのデータ転送量を従来の 50% まで削減できた。またチップの外部ピン数を従来の 140 ピンから 70 ピンへ減らすことができ、実装上からもコスト面で有利な方式となった。

3) 外部の DRAM とデコーダチップを含めたトータルのシステムの電力消費を 468mw で実現し、従来発表されたチップに比べて、38% の消費電力削減を図った。

表-2 に本チップと他チップとの比較を示す。

ハードウェア指向設計

▶ 高位合成とフロアプラン

システム LSI の設計は高位（動作）レベル設計、論理設計、物理設計等の順に行われるが、低消費電力化に最も効果があるのは高位レベル設計である。一方、システム LSI の大規模化、微細化に伴い、全遅延時間に占める配線遅延の割合が増大していることから、高位レベル設計でも高精度で予測された配線遅延の情報が必要である。そこで、本研究では、フロアプランにより物理設計レベルでの

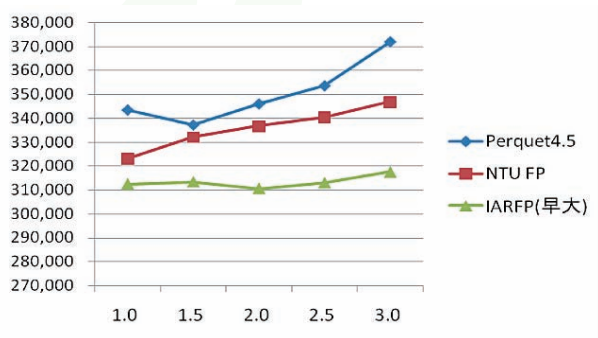


図-7 既存手法との配線長の比較

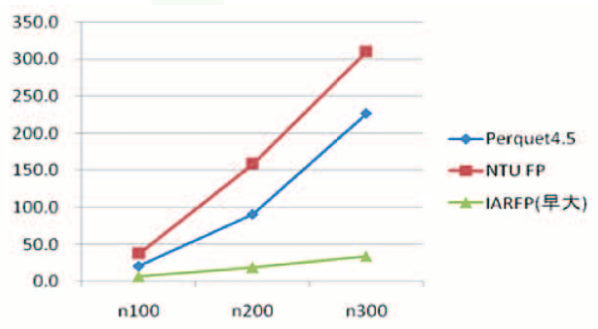


図-8 既存手法との計算時間の比較

電源設計最適化、配線長最適化などで低消費電力化を行うとともに、その結果得られる配線遅延の予測値を基に、高位レベルでの最適化を行う手法の研究を行っている。

フロアプランとは任意の大きさの矩形ブロックを指定された領域内に、最適配置する問題である。この問題は古くから研究されてきたが、近年、ブロックの電源電圧最適化を考慮した低消費電力化フロアプランの研究も盛んに行われている。

本研究では新しいフロアプラン最適化手法である IAR (Insertion-After-Remove) FP 法を開発している。この手法は、フロアプランアルゴリズムにおける解の改良操作を大幅に効率化したものである。標準ベンチマークデータによる評価では、従来、最も進んでいたといわれる米国ミシガン大学、台湾大学がそれぞれ開発したシステムに比べ、配線長を平均で約 20% 削減し (図-7)、計算時間を 1/4 ~ 1/8 に短縮する結果 (図-8) を得た⁸⁾。

また、階層的に最適化を行うマルチレベル最適化手法 (図-9) を用いて、配線長、計算時間をさらに削減している。

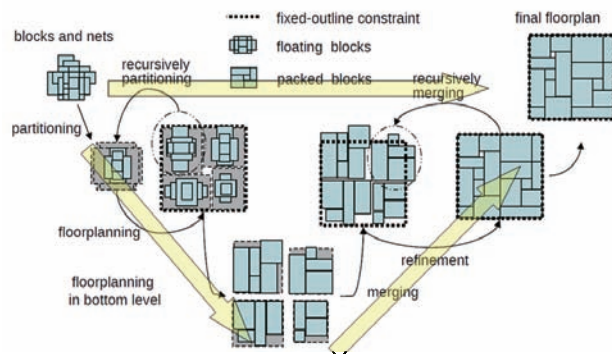


図-9 マルチレベル最適化法

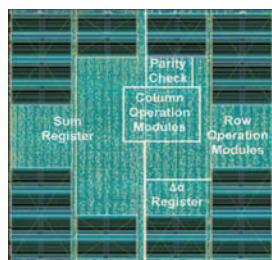


図-10 論理設計回路

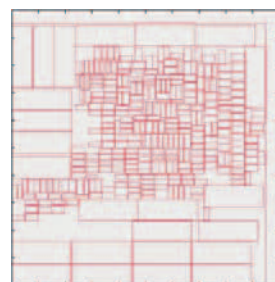


図-11 フロアプラン結果

	Design (without FP)	Proposed Design	比率
Area	16,319,256	11,923,480	-25%
Delay	6.208	5.713	-8%
Wire Length	18,651,412	16,842,454	-10%

表-3 人手配置との比較

論理設計された回路 (図-10) を商用ツールで物理設計した結果と本フロアプランの結果 (図-11) を比較したところ、配線長が10%、遅延時間が8% 削減されることが確認できた (表-3)。これにより、少なくとも消費電力が10%以上削減可能であることが分かる。引き続き、電源電圧最適化による低消費電力化フロアプランに取り組んでいる。

一方、高位レベル設計では、フロアプランで得られた遅延予測値に基づき、指定制約内でできるだけ低電力の演算器を用いる高位レベルスケジューリングの研究を行っている。一般にデータフローグラフ上でクリティカルパス上以外の演算は処理タイミングの自由度がある。従来は、単純なグリーディアルゴリズムでスケジューリングを行うのが普通であったが、本研究では、スケジューリングを直接計算するのではなく、タイミングの自由度から2部グラフを構築し (図-12)、対応するフローグラフモデル上

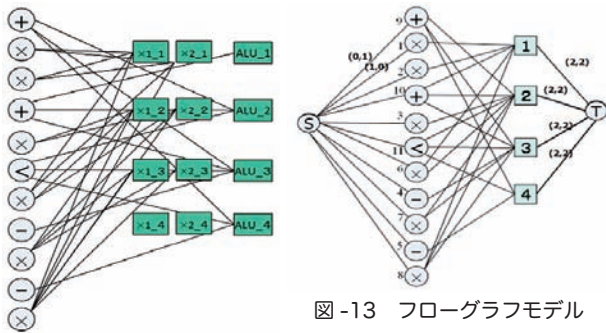


図-12 2部グラフモデル

図-13 フローグラフモデル

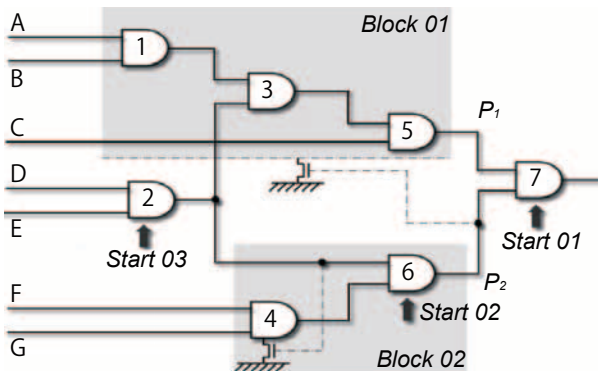


図-14 パワーゲーティング手法

で最大フローを計算することで(図-13)、スケジューリングを行う方法を開発している。

▶ パワーゲーティング・クロックゲーティング

CMOS LSI の消費電力は、論理素子の出力が変化することによる動的電力と、出力が変化しなくても定常的に消費される静的電力(リーク電力)に大別される。プロセスの微細化に伴い、両者を削減することが必要となっている。そこで、論理素子のスイッチング特性に基づき、動的および静的電力を削減する手法の研究を行っている。

リーク電力の削減に関しては、閾値電圧の高いトランジスタを電源スイッチとして用いるパワーゲーティングの手法が有効である。パワーゲーティングの制御は、通常、機能モジュール単位で使用状況により事前に決めた方式で行われるが、ここでは、パワーゲーティングの自動化手法として、論理素子の制御値を用いた細粒度パワーゲーティング手法の研究を行った。論理素子の制御値とは、AND ゲートの入力の 0 のように、ただ 1 つの入力がその値を

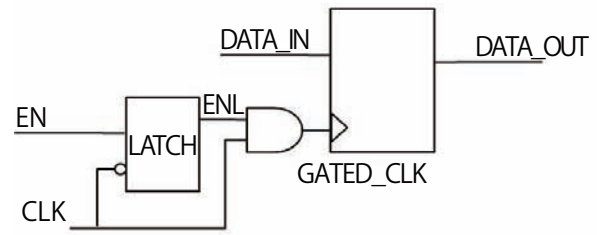


図-15 EN によるクロックゲーティング

とるだけで出力が決定される値のことで、ある入力制御値の場合には、他の入力はどのような値でも出力に影響はない。そこで、この制御値をとる入力を制御変数として、他の入力を計算している部分のパワーゲーティングを行う方法を提案している。まず、論理素子の各入力を制御候補として、他の入力を計算するブロックを求める。ブロック内のゲート数に候補信号が制御値をとる確率を乗じたものが停止の期待値となる。図-14 に示す例では、ゲート 7 に着目すると、Block01 と Block02 の期待値が計算され、Block01 が選択される。期待値の総和を最大化するため、期待値の大きい順にパワーゲーティングを行うことで、遅延を増加させずに ISCAS ベンチマークに対して平均で 20% の電力削減を得ている。本削減は、静的電力ならびに動的電力の削減効果による⁹⁾。

クロックゲーティングは、レジスタへのクロック供給を制御することで、順序回路の動的電力を削減する手法である。図-15 に EN を制御信号とするクロックゲーティング方式を示す。これまでハードウェア記述における新しい値のレジスタへの代入条件を用いる手法や、状態遷移の解析からレジスタに代入する条件を抽出する手法などが知られているが、より効果的な自動化手法が求められていた。A. Hurst は DAC 2008 において、回路から各レジスタのクロック制御信号の候補を探し、候補からグリーディヒューリスティックでクロックゲーティング論理を求める手法を提案したが、候補からクロックゲーティング論理を生成する部分の最適化が十分ではなかった。そこで、論理関数処理に基づき制御信号候補からゲーティング論理の最適な共有を行

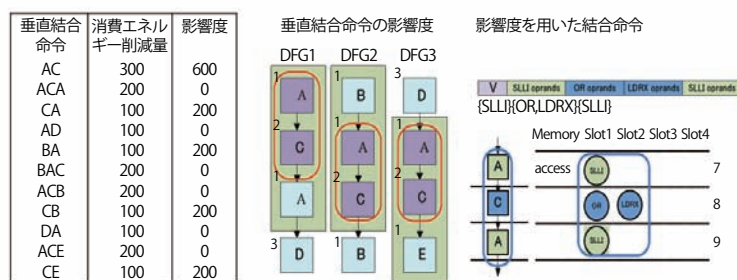


図-16 結合命令影響度を用いた命令フェッチの回数を削減する例

う手法を考案した。ゲーティング論理を共有化してゲーティング論理の電力を減らすと同時に、レジスタにクロックが入る確率の総和を最小化する。具体的には行にレジスタ、列に制御信号候補を割り当てた行列を用いて制約とコスト最小化の式を表し、制約を満たしてコストが最小の解を求める。レジスタにクロックが入られる確率をコストとし、その総和を最小化する。本手法は二分決定グラフ (Binary Decision Diagram, BDD) を用いて実現され、カウンタや ISCAS 89 ベンチマーク回路で効果を確認した。カウンタでは 37～76% の電力削減が得られ、また ISCAS ベンチマーク回路では 2～18% の電力削減が確認できている。

ソフトウェア指向設計

ソフトウェア指向設計の研究ではプロセッサ設計を念頭に置き、ソフトウェア面に着目し超低消費電力化を目指す。既存の組込みプロセッサと比較して最大で 1/5 以下に消費エネルギーを削減することを目標とし、アプリケーション指向プロセッサの命令セットや制御機構の最適化手法を中心にソフトウェア実行における電力の最適化手法を構築している^{10), 11)}。

まず「スケーラブルなコンフィギュラブルプロセッサ性能見積もり手法」を構築・評価した。ここでは複数の命令を 1 つの命令に圧縮、複数の命令を 1 命令で発行することで擬似的に VLIW (Very Long Instruction Word) 方式の命令を発行することに基づくコンフィギュラブルプロセッサの面積・遅延・消

費電力見積もりの方法論を確立した。画像処理アプリケーションを用いて評価した結果、提案した見積もり手法は 90% 程度の精度を有していることを確認している。

次いでスケーラブルなコンフィギュラブルプロセッサ性能見積もり手法を用いて「命令メモリビット幅削減に基づくエネルギー削減手法」を構築した。VLIW 型プロセッサは組込み用途に適したアーキテクチャと言えるが、命令メモリのビット幅が長くなり、消費電力・消費エネルギーを無駄に増加させてしまう。命令メモリは命令エンコーディング形式に依存しオペコードとオペランド群で構成される。オペコードのビット幅は命令数に、オペランドのビット幅は汎用レジスタ数に依存する。VLIW 型プロセッサ上の命令メモリに注目し、プロセッサ全体の消費エネルギー削減手法の構築を行った。提案した命令メモリの消費エネルギー削減手法は主に、(1) オペコードビット削減アルゴリズム、(2) オペランド削減アルゴリズム、(3) エネルギー最小化アルゴリズムの 3 つより構成した。また、オペコードのビット幅を削減するために「結合命令」の概念を導入した。結合命令は各 VLIW スロットで同時に発行される複数の命令を 1 つの命令として取り扱った命令である。画像処理アプリケーションを用いて評価した結果ではメモリを含むプロセッサ全体で 9～12% の消費エネルギーを削減することができた。

さらに命令メモリの消費エネルギー削減手法に基づき、「命令メモリのアクセス回数をソフトウェアレベルで削減する手法」を構築した。ここでは結合命令影響度の概念を導入し、命令フェッチの回数を

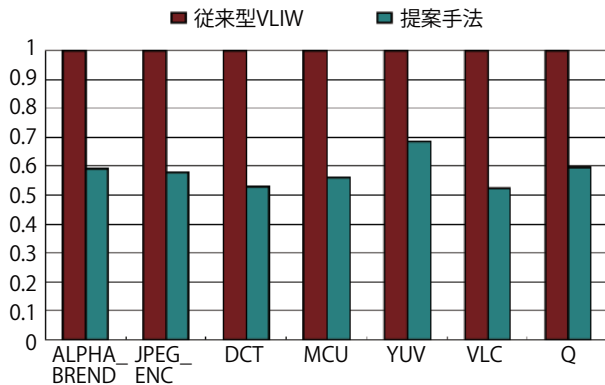


図-17 従来 VLIW 方式と提案方式によるエネルギーの比較結果

削減する手法を提案した (図-16)。NOP 命令が格納される場所に、その NOP 命令の次サイクル以降で実行される結合命令を格納することで命令数を削減する。さらにその結合命令を命令メモリよりも消費電力の少ない専用レジスタに保持し、専用レジスタからフェッチすることで、命令フェッチ時に発生する消費電力を削減した。実験評価の結果、プロセッサ全体で平均 40% (最大 45%) の消費エネルギーを削減した (図-17)。

今後の課題

この 3 年間は個々の機能の最適化を行い、低消費電力化に取り組んできたが、今後は個々の最適化と同時に統合化した時にシステムとして最適化を行う必要がある。低消費電力化は、あらゆる設計フェーズで可能な限りの最適化手法を導入して実現することとなる。本研究ではメディア処理に応用を特化して、アーキテクチャ、機能設計、回路設計の立場から研究してきたが、今後、さらなる可能性を個々のフェーズの最適化と統合化の観点から極める予定である。

参考文献

- 1) Fan, Y., Wang, J., Ikenaga, T., Tsunoo, Y. and Goto, S. : An Unequal Secure Encryption Scheme For H.264/AVC Video Compression Standard, IEICE Trans. Fundamentals, Vol.E91-A, No.1, pp.12-21 (2008).
- 2) Tang, Y., Wang, J., Tajima, N. and Goto, S. : Low Power Unequal Error Protection Media System Based on Error Concealment in H.264/AVC, Proc.SASIMI 2009, pp.52-57 (2009).
- 3) Jin, X. and Goto, S. : Content Similarity Based Early Skip Mode

Decision for Low Power Surveillance Video Compression, Proc.The 4th International Symposium on Communications, Control and Signal Processing (ISCCSP2010) (2010).

- 4) Zhang, T., Liu, C., Wang, M. and Goto, S. : Region-of-Interest Based H.264 Encoder for Videophone with a Hardware Macroblock Level Face Detector, Proc. MMSP (2009).
- 5) 池永 剛 : ユビキタス・アンビエント情報化社会に向けた動画画像圧縮 LSI, 信学技法 SIP2007-115, pp.29-34 (2007).
- 6) Liu, Z., Zhou, J., Goto, S. and Ikenaga, T. : Motion Estimation Optimization for H.264/AVC Using Source Image Edge Features, IEEE Trans. Circuits Syst. Video Technol., Vol.19, No.8, pp.1095-1107 (2009).
- 7) Zhou, D., You, Z., Zhu, J., Kong, J., Hong, Y., Chen, X., He, X., Xu, C., Zhang, H., Zhou, J., Deng, N., Liu, P. and Goto, S. : A 1080p@60fps Multi-Standard Video Decoder Chip Designed for Power and Cost Efficiency in a System Perspective, Proc. Symp. VLSI Circuits 2009, pp.262-263 (2009).
- 8) Chen, S. and Yoshimura, T. : Fixed-Outline Floorplanning : Block Position Enumeration and a New Method for Calculating Area Costs, IEEE Transactions on CAD, Vol.27, No.5, pp.858-871 (2008).
- 9) Chen, L. and Kimura, S. : Optimizing Controlling-Value-Based Power Gating with Gate Count and Switching Activity, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E92-A, No.12, pp.3111-3118 (2009).
- 10) 小林優太, 戸川 望, 柳澤政生, 大附辰夫 : 命令メモリアクセス数削減に基づく低エネルギー ASIP 合成手法, 信学技報, VLD2008-116, pp.147-152 (2009).
- 11) Ohchi, A., Togawa, N., Yanagisawa, M. and Ohtsuki, T. : Floorplan-Aware High-Level Synthesis for Generalized Distributed-Register Architectures, IEICE Trans. Fundamentals, Vol.E92-A, No.12, pp.3169-3179 (2009).

(平成 22 年 4 月 30 日受付)

後藤 敏 (正会員) goto@waseda.jp

1970 年早大修士課程修了, 同年 NEC 入社。マルチメディアシステム, システム LSI の研究に従事。工学博士。2003 年より, 早稲田大学理工学術院情報生産システム研究科教授。電子情報通信学会フェロー, IEEE Fellow。

池永 剛 (正会員) ikenaga@waseda.jp

1990 年早大修士課程修了, 同年 NTT 入社。画像情報システム, アプリケーション SoC の研究に従事。博士 (情報科学)。現在, 早稲田大学理工学術院情報生産システム研究科准教授。画像電子学会, IEEE 各会員。

吉村 猛 (正会員) t-yoshimura@waseda.jp

1974 年阪大院修士課程修了, 同年 NEC 入社, グラフとネットワークアルゴリズムなどの研究に従事。博士 (工学)。2003 年より早稲田大学理工学術院情報生産システム研究科教授。IEICE, IEEE 各会員。

木村晋二 (正会員) kimura@waseda.jp

1985 年京都大院博士課程退学, 同年神戸大学助手, 論理設計最適化や論理検証の研究に従事。博士 (工学)。2002 年より早稲田大学理工学術院情報生産システム研究科教授。IEICE, IEEE 各会員。

戸川 望 (正会員) togawa@togawa.cs.waseda.ac.jp

1997 年早大院博士後期課程修了, 博士 (工学)。現在, 早稲田大学理工学術院基幹理工学研究科情報理工学専攻教授。LSI 設計, 計算幾何学, グラフ理論等の研究に従事。電子情報通信学会, IEEE 各会員。