

解説

ジョセフソン素子とその応用†



石 田 晶††

1. ま え が き

近年、電算機等の大形化・高速化が進み、それに適用される部品の高速化や高集積化がより一層重要になってきた。今日まで電算機のハードウェアの主要部分をささえてきた半導体素子は、その要望に応じてトランジスタから IC, LSI へと発展し、最近ではその極限への挑戦ともいえる超 LSI 化の検討が進められている。しかし、これら半導体素子においては、電力消費による発熱が素子自体の高速・高集積化のさまたげになってきており、また、装置の小形化を制限する要因にもなっている。このため、電算機等を構成した場合実装配線に沿っての信号遅延が縮小できず、部品を高速化しても電算機の速度は頭打ちになる。

この問題を解決し得る新しい電子部品として、ジョセフソン素子を用いた集積回路（ジョセフソン回路）が提案された^{1),2)}。ジョセフソン回路は素子自体のスイッチ速度が 10 ps 程度の超高速であること、スイッチ時に数 μW 以下の電力しか消費しないこと、回路配線が伝播損失のまったくない超伝導線で構成できることなどの特徴があり、高速性・低電力性・高密度実装性の点で半導体素子を大きく上まわる可能性を秘めたものである。ここではジョセフソン回路の原理・特徴、研究の現状、今後の課題等について紹介する。

2. ジョセフソンスイッチ素子

2.1 素子構成とスイッチ動作

ジョセフソン素子は、図-1(a)に示すように、二つの超伝導電極の間に 1000 分の数 μm 厚の薄い絶縁膜をはさんでつくられる。電極材料には通常鉛等の蒸着膜が用いられ、絶縁膜は下層の鉛膜を薄く酸化して形成される。鉛電極が超伝導性を示す温度（絶対温度 7K 以下）にこの素子を冷却して両電極間に電流を流

すと、図-1(b)のような電流電圧特性が現われる。すなわち、流し込む電流が閾値 I_J 以下の場合には電極間に電圧は発生せず（超伝導状態 A）、閾値 I_J 以上の電流を流して初めて電圧 V_G が発生し素子は電圧状態 B に移る。A 点から B 点へのスイッチに要する時間は素子の電気容量の充電時間でまじり、10 ps 程度の高速となる。発生電圧値 V_G は電極材料に固有の値をとり、鉛の場合約 2.5 mV である。閾値電流 I_J は電極の重なり面積と絶縁膜厚で決まり、10 μm 角程度の面積で数 mA 以下の値が容易に実現できる。このため、電圧状態において素子の消費する電力は数 μW 以下となる。

スイッチ素子を構成するためには、A 点から B 点へのスイッチが外部信号で制御できなければならない。この目的で、素子に磁界を加えると閾値電流 I_J が減少することを利用する。閾値 I_J は地球磁気程度の微弱な磁界でも敏感に感應するため、素子近傍に電流経路（図-1の制御線）を設けてこれに電流を流すだけでもスイッチ制御が可能となる。なお、電圧状態にスイッチした素子を超伝導状態に戻すには、素子に流し込む電流をいったん切って原点 0 に戻し、再度閾値以下の電流を与えればよい。

2.2 スイッチ回路への適用

ジョセフソン素子を用いたスイッチ回路の基本構成を図-2に示す³⁾。スイッチ素子 S_1 と負荷抵抗 R が出

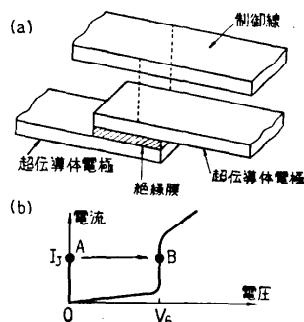


図-1 ジョセフソン素子の構造と電流電圧特性

† Josephson Devices and their Digital Applications by Akira ISHIDA (Musashino Electrical Communication Laboratory, N.T.T.).

†† 日本電信電話公社武蔵野電気通信研究所

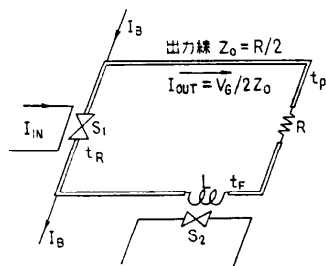


図-2 スイッチ回路の構成

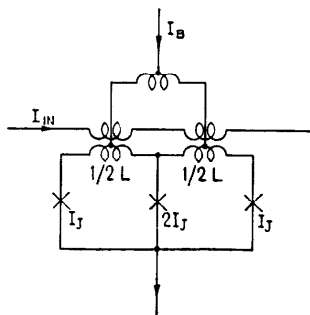


図-3 3素子干渉形スイッチ素子

力線で並列接続され、出力線の特性インピーダンス Z_0 は負荷抵抗と整合がとれるよう $Z_0 = R/2$ に選ばれている。出力線の一部を次段回路のスイッチ素子 S_2 の制御線として使用することにより、ファンアウトがとれる。この構成でスイッチ素子が超伝導状態にあれば出力線に誘起される電流は $I_{OUT} = 0$ 、入力信号 I_{IN} が入力されて電圧 V_G が発生すれば $I_{OUT} = V_G/2Z_0$ となり、それぞれ論理「0」、 「1」に対応付けられる。

図-2の構成においてスイッチ S_1 がスイッチしたのちファンアウト部のスイッチ S_2 がスイッチするまでの所要時間（論理遅延時間）は、スイッチ素子自体の電圧立ち上がり時間 t_R 、ファンアウト部での出力電流の立ち上がり時間 t_F 、出力線に沿っての伝播遅延時間 t_P の総和で与えられるが³⁾、通常はファンアウト遅延 $t_F \approx L/Z_0$ が支配的である。このため、回路の高速化をはかるには出力線を高インピーダンス化するのが望ましいが、そうすると出力電流 I_{OUT} が減る。その結果、小さな制御電流でも安定に動作する高感度なスイッチ素子が必要になる。

当初はジョセフソン素子単体をスイッチに利用して、スイッチ回路が構成されていた⁴⁾。しかし、素子インピーダンスが低い上にスイッチ感度も低いため、論理遅延時間 200 ps 程度、消費電力 20 μW 程度の回路性能しか得られなかった。この問題を解決する

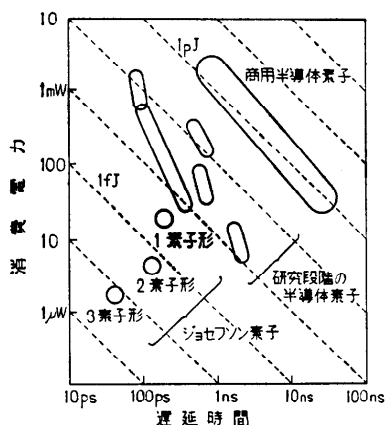


図-4 半導体回路との性能比較

ため、3個のジョセフソン素子の相互干渉を利用した新しい高感度スイッチ素子が考案された^{5), 6)}。図-3にその構成を等価回路表示する。干渉形素子を構成するには、ジョセフソン素子の閾値電流 I_J とループ結線部分のインダクタンス L との積が、磁束の量子化単位 $\Phi_0 = 2.07 \times 10^{-15} \text{ Wb}$ に対して $LI_J \approx \Phi_0/4$ 程度の一定値に選ばれる。一方、素子と制御線とはインダクタンス部分を通じて電磁誘導的に結合されている。したがって、インダクタンス L を大きくすれば結合が強くなって高感度化でき、かつ、閾値電流 I_J も小さくできて低電力化できることになる。この素子を用いた最小パターン寸法 5 μm のスイッチ回路で論理遅延時間 50 ps、消費電力 2 μW 程度の高性能が実現されている⁵⁾。

他の高感度素子としてジョセフソン素子単体で制御電流を素子に直接流し込む方法⁶⁾ や、異なる閾値をもつ2個のジョセフソン素子を用いた干渉形スイッチ⁷⁾ も提案されている。後者においては、最小パターン寸法 10 μm の粗い回路パターンで遅延時間 150 ps、消費電力 6 μW 程度の回路性能が得られている。これらのスイッチ回路の性能を半導体回路と比較して図-4に示す。100 ps 程度の高速度が半導体回路の数 100 分の1以下の低消費電力で実現できる点に、ジョセフソン回路の特徴がある。

3. デジタル回路の構成

3.1 演算回路

図-2のスイッチ回路で入力信号線を複数にすれば、AND, OR等の論理ゲートが構成できる⁴⁾。図-5は単一素子形スイッチの閾値曲線を示すもので、曲線で囲まれた領域内では超伝導状態にあり、外に出ると電圧

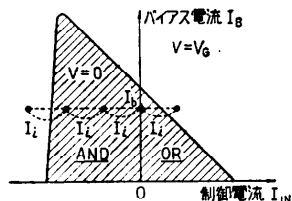


図-5 単一素子形スイッチによる論理ゲートの構成

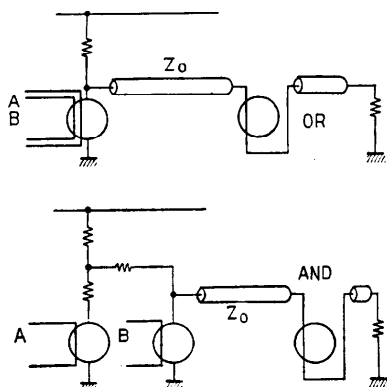


図-6 干渉形スイッチによる論理ゲートの構成

状態にスイッチすることを表わしている。閾値曲線が制御電流の正負に対して非対称となる点に特徴がある。これを利用して、正の入力電流に対しては少なくとも1個の入力が「1」であれば電圧状態にスイッチし、負の入力電流に対しては3入力すべてが「1」でないとスイッチしないように入力電流値 I_i とバイアス電流値 I_b を選べば、3入力の AND/OR ゲートが構成できる。

3素子干渉形スイッチでは非対称な閾値曲線が得られないため、スイッチ素子の組合せで論理ゲートが構成される⁹⁾。図-6は OR ゲートと AND ゲートの一例である。OR ゲートは多入力スイッチ回路で構成できるが、AND ゲートは1入力スイッチ回路の縦続接続となる。このため、AND ゲートではフェンインが増すと低速になる欠点があり実験的には OR ゲートの遅延時間が約 50 ps であるのに対して、2入力の AND ゲートで 100 ps 程度の遅延時間しか得られていない。この問題の解決策として、2素子干渉形スイッチにおいて2個のジョセフソン素子の閾値を異なる値に選り、閾値曲線を非対称にする方法が提案されている⁷⁾。

OR, AND, NOT の論理基本ゲートがあれば、加算器、乗算器等の演算回路が組める。図-7は単一素子形スイッチを用いた1ビット全加算器の構成例であ

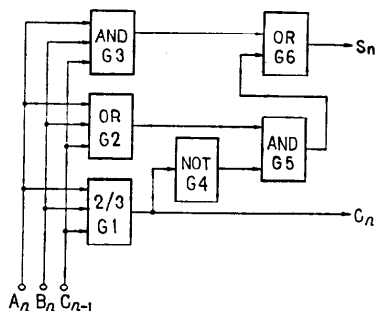


図-7 全加算器の構成例

る⁹⁾。ゲート G_1 は CARRY 出力 C_n が直接得られるゲートで、少なくとも2入力が「1」になればスイッチするように I_i と I_b を選んで構成される。この構成で1ビットの加算時間 500 ps, 消費電力 150 μ W が得られている。単一素子形スイッチを用いているため、性能はあまりよくない。

高速が期待できる全加算器として、2素子形スイッチを用いて1ゲートで SUM 出力 S_n を得るようにしたものが提案されている⁹⁾。SUM 出力が1ゲートで得られれば、回路の簡略化・高速化・低電力化にきわめて有利となる。16ビットの並列全加算器を想定した計算機シミュレーションで、加算時間 2.2 ns を得ている。

図-7の全加算器にシフトレジスタを組合せて、4×4ビットの乗算器が試作されている¹⁰⁾。加算器はリップルキャリー方式の4ビット並列構成、アキュムレータには8ビットの4相クロックシフトレジスタを用い、全ゲート数は45である。動作実験では乗算時間 27 ns を得ている。このほか、3素子干渉形スイッチを用いた J-K フリップフロップ等の報告もあり¹¹⁾、120 ps 程度の反転速度が得られている。

3.2 記憶回路

超伝導線できたリングには、磁界中で一度輪を開いてから閉じるとリングに沿ってぐるぐる回る循環電流が誘起され、以後磁界を取り去っても輪が閉じている限り永久に流れ続けるという、興味深い性質がある¹²⁾。記憶回路にはこの循環電流が利用され、非選択時にはまったく電力消費のない不揮発性の記憶セルが構成できる。輪の開閉は超伝導の開閉でよいので、ジョセフソン素子の超伝導・電圧状態間のスイッチが利用される。

リングに2個のジョセフソン素子を含ませた記憶セルの構成を図-8に示す¹³⁾。ビット線はジョセフソン素子 J_R, J_L の制御線になっており、ビット電流 I_B が

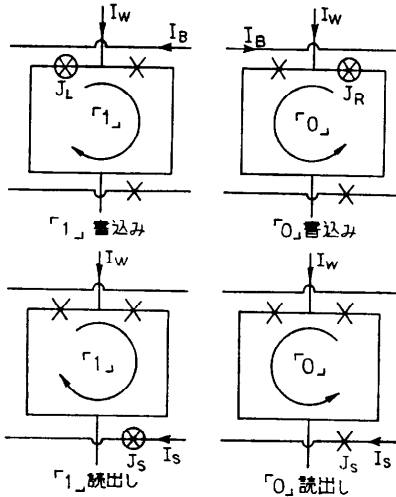


図-8 3素子形記憶セルの原理

正であれば J_L だけが、負であれば J_R だけがスイッチするよう設計される。「1」情報を書き込むには正の I_B を与えて J_L をスイッチさせ、右回りの循環電流を誘起させる。「0」情報は負の I_B を与えて左回りの循環電流を誘起させる。読出しは、循環電流の向きをジョセフソン素子 J_S で検知する。このために、右回りの循環電流に対してのみ J_S がスイッチするよう、センス電流 I_S が選ばれる。リングの素子数を1個減らすなど若干の改良を加えた64ビットのデコーダ付き記憶回路が試作されており、アクセス時間2.3nsが得られている¹⁴⁾。

図-8の記憶セルは占有面積が大きく、大容量メモリには向かない。面積を縮小する方法として、リングのインダクタンス L とジョセフソン素子の閾値 I_J との間に $LI_J \approx \Phi_0$ なる関係が成立つ付近まで、リングを小さくすることが考えられる。この条件下では超伝導に特有の磁束量子化現象が現われ、リングを貫く磁束はゼロか Φ_0 の整数倍に量子化される¹²⁾。このため、磁束のゼロ、 Φ_0 を記憶情報の「0」「1」に対応付けた記憶セルが構成できる。

図-9はその一例で、構造的にも面積が縮小されるよう立体リング構造がとられている¹⁵⁾。「1」情報の書き込みには、ワード電流 I_w とビット電流 I_B を与えて閾値曲線図上でAからB点に移し、リング磁束を Φ_0 にスイッチさせる。「0」書き込みはAからC点に移せばよい。読出しには、AからD、Eを経てFに移し、E点を通過する時にワード線上に発生する電圧を検知する。リング磁束がゼロであれば電圧を発生して Φ_0

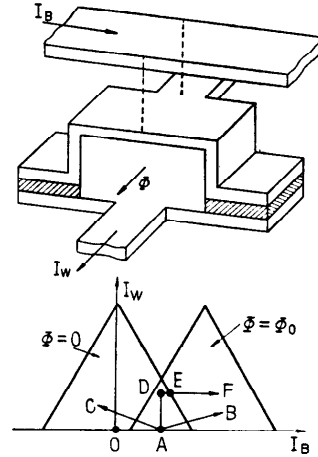


図-9 量子化磁束記憶セル

にスイッチするが、もともと Φ_0 の場合には電圧は発生しない。この読出し動作はリング磁束の状態変化を利用するから、破壊読出しとなる。この記憶セルで16Kビットメモリの性能評価用テスト回路が試作されており、アクセス時間7ns、消費電力数 $10\mu W$ (選択時のみ消費) が得られている¹⁵⁾。

3.3 機能回路の提案

以上紹介してきた回路はジョセフソン素子をスイッチに利用し、その組合せによって論理機能を実現するものであった。他のアプローチとして、ジョセフソン素子自体の内部現象を応用する機能回路の提案がある¹⁶⁾。線路状の長いジョセフソン素子における磁束量子化現象を利用して磁束量子 Φ_0 (「1」情報) を発生させ、その消滅 (「0」情報発生)・移動を外部信号で制御するものである。論理回路は磁束量子の伝送線路網の形態で構成される。磁束量子の発生・消滅所要時間が数psであり、移動速度も光速に近いため、きわめて高速の回路が組めると言われている¹⁶⁾。まだ提案の段階で、実験報告はない。

4. ジョセフソン計算機のイメージ

ジョセフソン回路の特徴は、100ps以下の高速度がきわめて低い消費電力で実現できる点にある。電算機を構成した場合この特徴がどう活かされるか、半導体素子と対比してみよう。

メインフレームをそっくりジョセフソン素子で置き換えることとし、CPU規模 10^6 ゲート、主記憶容量64MB程度の超大形機を考える。今日までの実験データを参考にして、論理素子の性能は遅延時間50ps、消

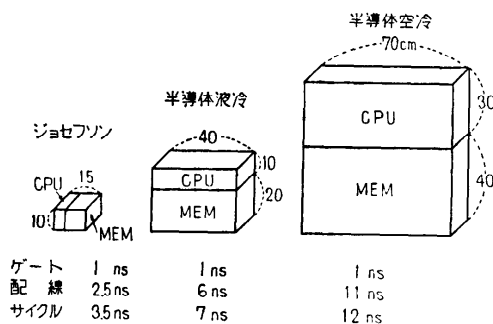


図-10 メインフレーム体積の比較

消費電力 $1\mu\text{W}$, 集積度 1K ゲートとし, メモリ素子は集積度 64K ビット, 消費電力 1mW とする. チップの実装は 10cm 角のパッケージに論理素子 5×5 個, メモリ素子 8×8 個で配列する. パッケージ枚数は論理 40 枚, メモリ 128 枚となる. 半導体素子は消費電力だけが異なり, 論理素子で $1\text{mW}/\text{ゲート}$, メモリ素子で 500mW であるとする.

パッケージはバックボード上に立てて実装され, ピッチはパッケージ当りの電力消費による発熱と冷却装置の冷却能力によって決められる. したがって, 消費電力の少ない素子ならばパッケージの実装ピッチをつめることができ, 装置体積を小さくできる. ジョセフソン素子を液体ヘリウムで冷却する場合, 半導体素子を空冷および液冷する場合の3通りについて, 概算したメインフレーム体積を図-10に比較する. ジョセフソン計算機では半導体空冷装置の $1/30$ 以下, 液冷装置の $1/8$ 以下に小形化される. これは小形冷蔵庫程度の極低温冷却装置に, すっぱりおさまる大きさである.

メインフレームが小形化されるとパッケージ間の配線での伝播遅延が減るため, マシンサイクルの高速化が期待できる. CPU 部分ひとまわりの配線遅延と論理ゲート 20 段分の遅延の和でマシンサイクルがきまるとすると, 素子速度が等しくても, ジョセフソン計算機では 3.5ns , 半導体空冷装置で 12ns , 液冷装置で 7ns のマシンサイクルとなる. 半導体素子では配線遅延の占める割合が非常に大きくなるのに対し, ジョセフソン素子ではゲート遅延と配線遅延がほぼバランスしたシステムが組めることになる. なお, メインフレーム部の所要電力は半導体計算機で約 1.5kW , ジョセフソン計算機で約 1.3W となり, 電源部分も大幅に縮小されようと考えられる.

以上, ジョセフソン素子と半導体素子の速度が等し

いとして, 消費電力の差だけが与える効果を考察した. 実際, ゲート遅延 50ps の性能は半導体素子の限界に近いものであり, これ以上の性能は実現性に乏しい. 一方, ジョセフソン素子では研究の初期段階でもこの程度の性能が得られており, 将来はマシンサイクル 1ns 以下の大形計算機も可能と言われている.

5. む す び

以上, ジョセフソン素子とそのデジタル回路への応用について, 原理・特徴・研究の現状等を紹介してきた. 今日ではまだ基礎研究の段階にあり, 実用化に向けて解決すべき問題点も数多く残されている. まず, ジョセフソン素子の製造再現性と歩留り向上, 温度サイクル等に対する高信頼化, 微細加工技術の導入による高集積化, さらに, 素子冷却法を含む高密度実装技術, 室温・極低温間のインタフェース技術等である. 微細加工技術については, 半導体素子を対象に開発が進められている技術がそのまま活用でき, また, 微細化によって性能向上がはかられることは, ジョセフソン素子でも同様である. 年々, ジョセフソン素子の研究人口が増加している状況からみて, これらの課題が解決されてジョセフソン計算機が実現するもの, そんなに遠い将来のことではないと思われる.

参 考 文 献

- 1) Matisoo, J.: The Tunneling Cryotron, Proc. IEEE, Vol. 55, No. 2, pp. 172-180 (1967).
- 2) 中村 彬: ジョセフソンコンピュータ研究の動向, 応用物理, Vol. 46, No. 11, pp. 1120-1124 (1977).
- 3) Zappe, H. H.: Josephson Quantum Interference Computer Devices, IEEE Trans. MAG, Vol. 13, No. 1, pp. 41-47 (1977).
- 4) Herrell, D. J.: Femtojoule Josephson Tunneling Logic Gates, IEEE J. SC, Vol. 9, No. 5, pp. 277-282 (1974).
- 5) Klein, M. and Herrell, D. J.: Sub 100 ps Experimental Josephson Interferometer Logic Gates, IEEE J. SC, Vol. 13, No. 5, pp. 577-583 (1978).
- 6) Fulton, T. A. et al.: A Josephson Logic Design Employing Current Switched Junctions, IEEE Trans. MAG, Vol. 13, No. 1, pp. 56-58 (1977).
- 7) 山田, 黒田, 和保, 石田: ジョセフソン論理集積回路の製作, 電子通信学会電子デバイス研究会技報 ED 78-115 (1979).
- 8) Herrell, D. J.: A Josephson Tunneling Logic Adder, IEEE Trans. MAG, Vol. 10, No. 9, pp.

864-867 (1974).

- 9) 蓮尾, 太宰: ジョセフソン素子を用いた並列全加算器の設計, 電子通信学会電子デバイス研究会技報 ED 78-112 (1979).
- 10) Herrell, D. J.: An Experimental Multiplier Circuit Based on Superconducting Josephson Devices, IEEE J. SC, Vol. 10, No. 5, pp. 360-368 (1975).
- 11) Davidson, A.: A Josephson Latch, IEEE J. SC, Vol. 13, No. 5, pp. 583-590 (1978).
- 12) 山下, 小野寺: ジョセフソン接合メモリ, 電子通信学会誌, Vol. 60, No. 11, pp. 1321-1323 (1977).
- 13) Zappe, H. H.: Subnanosecond Josephson Tunneling Memory Cell with Nondestructive Readout, IEEE J. SC, Vol. 10, No. 1, pp. 12-19 (1975).
- 14) Henkel, W. H. and Zappe, H. H.: An Experimental 64-Bit Decoded Josephson NDRO Random Access Memory, IEEE J. SC, Vol. 13, No. 5, pp. 591-599 (1978).
- 15) Broom, R. F. et al.: Model for a 15 ns 16 K RAM with Josephson Junctions, 1978 ISSCC Technical Digest, pp. 60-61 (1978).
- 16) 中島, 小川, 小野寺: 磁束量子伝送線路による論理演算回路, 電子通信学会論文誌, Vol. J 60-D, No. 3, pp. 232-239 (1977).

(昭和 54 年 5 月 1 日受付)