

## 順序回路に対する RTL 電力マクロモデル化の一手法

村島 良平<sup>†</sup> 谷口 一徹<sup>‡</sup> 福井 正博<sup>‡</sup>  
<sup>†</sup>立命館大学大学院 理工学研究科 創造理工学専攻  
<sup>‡</sup>立命館大学 理工学部 電子情報デザイン学科  
〒525-0058 滋賀県草津市野路東 1-1-1  
E-mail: mfukui@se.ritsumei.ac.jp

あらまし 順序回路に対する RTL での高精度な電力マクロモデル化手法を提案する。従来の RTL 電力マクロモデルは組み合わせ回路を対象としており、順序回路は考慮されていない。そこで、回路内の各 State の信号遷移を考慮した順序回路に対する電力マクロモデル化手法の提案とその評価を行う。評価実験により従来の提案手法と比較して、RMS 誤差の改善率が平均で約 13%向上することが確認できた。

キーワード 電力マクロモデル, 電力推定, テーブル, 順序回路

## RTL Power Macro-modeling for Sequential Circuits

Ryohei MURASHIMA<sup>†</sup> Ittetsu TANIGUCHI<sup>‡</sup>  
and Masahiro FUKUI<sup>‡</sup>

<sup>†</sup>Graduate School of Science and Engineering, <sup>‡</sup>Department of  
VLSI System Design, Ritsumeikan University  
1-1-1 Noji-Higashi, Kusatsu, Shiga 525-0058, Japan  
E-mail: mfukuil@se.ritsumei.ac.jp

**Abstract** This paper presents a new RTL power macro-modeling for sequential circuits. Our conventional RTL power macro-modeling targets combinational circuits. We propose a new method considering signal transitions of internal states. Experimental results show that the proposed method improves an improvement rate of RMS error about 13%.

**Keyword** Power macro modeling, power estimation, table, sequential circuit

### 1. はじめに

近年、半導体微細化技術の進歩により 1 つの LSI で大規模で複雑なシステムが実現できるようになった。さらに今後ユビキタス社会の到来に伴い、今まで以上に様々な電子機器に LSI が搭載されると予想されるが、一方で設計生産性が問題視されている。この問題を解決する手段の一つとして、設計早期のレジスタトランスファレベル (RTL) で電力推定を行うことが有効である。設計早期の段階で電力を見積もることができれば、設計の後戻りを大幅に減少させることができ設計期間の短縮に繋がる。

RTL における電力推定には大きく分けてテーブルベースと数式ベースの 2 つの手法が提案されている。テーブルベースの手法は、回路の入力信号のみ、あるいは入出力信号両方の統計的な情報をテーブルに抽出して消費電力をモデル化する。そうすることで、消費電力はテーブルを参照することによって簡単に推定することができる。入力信号をモデル化の際のパラメータについては文献によって様々なものが提案されている[1,2,3]。また、出力信号からの統計的な情報を抽出する場合には、一度回路を動かしてシミュレーションを行わなければならないので、精度は大幅に改善されるものの、電力推定には大幅な時間がかかるという欠点がある。これらのテーブルベースの手法は組み合わせ回路を実験対象としており、順序回路は考慮されていない。Durrani ら[4]は、非常に単純な FIR フィルタの回路に対してテーブルベースの手法を用いている。数式ベースでは、入出力信号の統計的な情報と消費電力の関係を 1 次式または 2 次式でモデル化する手法が用いられている[5]。数式ベースの手法は、テーブルを用いた場合と比較して短時間での電力推定が可能であるが、電力推定の精度に関してはテーブルを用いた場合より劣るといった欠点もある。

本研究ではテーブルを用いた順序回路に対する RTL 電力マクロモデル化手法を提案する。回路内の各 State の信号遷移を考慮した新しいパラメータを用いることで、高精度化を行う。

本稿の構成を次に述べる。第 2 章では、RTL における電力マクロモデル化の概要について述べる。第 3 章では、順序回路に対する電力マクロモデル化について述べる。第 4 章では、本手法の有効性を確認するための評価実験について述べる。最後に第 6 章でまとめと今後の課題について述べる。

### 2. RTL 電力マクロモデル化の概要

本章ではテーブルベースの RTL 電力マクロモデル化の概要について述べる。本稿で提案する電力推定は機能単位ごとに分割された RTL の回路ブロックについて行う。また、RTL ブロック内の回路論理素子の構成は即知とする。

## 2.1 テーブル方式の電力推定

テーブルを用いた電力推定の流れは、テーブル構築とテーブル参照による電力推定の2段階からなる。テーブルの構築フローについて図1に示す。まず様々なタイプの入力信号と電力推定をしたい回路を準備する。そして、その入力信号から特性を抽出してパラメータ化するとともに、論理電力シミュレータを用いてその時の入力信号の消費電力を求める。最後に、抽出したパラメータと消費電力の値をテーブルへ格納するという作業を繰り返す。

実際にテーブルを参照して電力推定を行う際には、その推定対象の回路に入力される入力信号からパラメータの値を抽出し、その抽出した値とテーブル内から近い値を持つ行を探索して消費電力を求める。これにより、膨大な時間のかかる電力解析をせずに、入力信号の情報を参照するだけで電力を求めることが可能である。

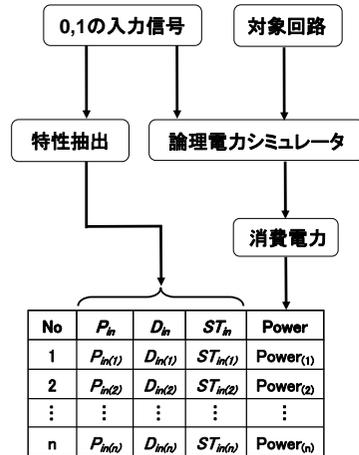


図1 テーブルの構築フロー

## 2.2 電力マクロモデルの従来パラメータ

テーブルベースのRTL電力マクロモデルで用いられているパラメータについて述べる。従来手法[1]の回路に入力される信号の特性を抽出したパラメータには平均信号存在確率  $P_{in}$ 、平均信号遷移確率  $D_{in}$ 、空間相関確率  $S_{in}$ 、時間相関確率  $T_{in}$  がある。他にも、パラメータには出力遷移確率  $D_{out}$  や入力空間相関係数  $SC_{in}$  を用いる例[2]もあり、様々な手法が提案されている。パラメータにより電力推定の精度が変わってくるので、テーブルにどのようなパラメータを格納しておくかは非常に重要となる。

図2に用いられる  $M$ 、 $N$  はそれぞれ回路の入力ピン数、入力信号幅を示す。このと

き  $P_{in}$ 、 $D_{in}$ 、 $ST_{in}$  は次のように定義される。

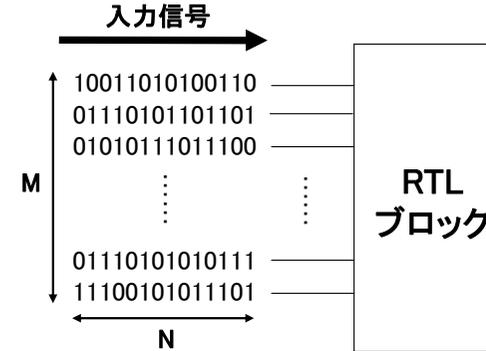


図2 RTLブロックへの入力のイメージ

### A. 平均信号存在確率 $P_{in}$

$P_{in}$  は各入力ピンにおいて1が存在する確率を算出し、全入力ピンの平均をとったものである。 $x_{ij}$  は  $i$  行  $j$  列の値を示す。

$$P_{in} = \frac{\sum_{j=1}^M \sum_{i=1}^N x_{ij}}{MN} \quad (1)$$

### B. 平均信号遷移確率 $D_{in}$

$D_{in}$  は各入力ピンにおいて信号が遷移 (0→1, 1→0) する確率を算出し、全入力ピンの平均をとったものである。 $x_{jk}$  は  $k$  行  $j$  列の値を示す。

$$D_{in} = \frac{\sum_{j=1}^M \sum_{k=1}^{N-1} x_{jk} \oplus x_{j(k+1)}}{M \times (N-1)} \quad (2)$$

### C. 空間時間同時考慮相関確率 $ST_{in}$

$ST_{in}$  は空間相関確率  $S_{in}$  と時間相関確率  $T_{in}$  を組み合わせることにより、 $S_{in}$  と  $T_{in}$  の計算を同時に行うことができるようにしたパラメータである[6]。図3に示すように、 $ST_{in}$  は入力信号を高さ  $L$ 、幅  $W$  の正方形のボックスを用いて、ボックスの中心にある

値  $b_{ij}$  と周辺にある値  $x_{lw}$  ( $l=1\sim L, w=1\sim W$ ) との相関をとったものである。ボックスのサイズについては特性抽出速度が最も速い  $L \times W=3 \times 3$  のボックスを採用している。

$$ST_m = \frac{\sum_{i=(L-1)/2}^{M-(L-1)/2} \sum_{j=(W-1)/2}^{N-(W-1)/2} (b_{ij} \oplus x_{lw})}{(N-W+1) \times (M-L+1)} \quad (3)$$

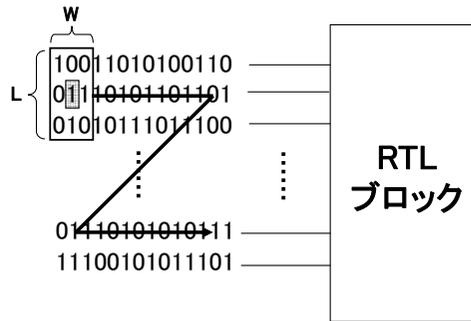


図 3  $ST_m$  の特性抽出方法

### 3. 順序回路に対する電力マクロモデル化

#### 3.1 順序回路モデル

対象とする順序回路モデルを図 4 に示す。まず、 $n$  入力  $m$  出力とし、各入力ピンを上から順に  $IN_1, IN_2, \dots, IN_n$  とし、各出力ピンを上から順に  $OUT_1, OUT_2, \dots, OUT_m$  とする。また、順序回路は組み合わせ回路と  $k$  個の State によって構成されるとし、各 State を上から順に  $S1, S2, \dots, Sk$  とする。このとき、組み合わせ回路は  $n+k$  入力  $m+k$  出力となる。組み合わせ回路の消費電力を  $P_{comb}$ 、 $i$  番目の State の消費電力を  $P_{state\_i}$  とすると、順序回路全体の消費電力  $P_{seq}$  は式 (4) で定義される。

$$P_{seq} = P_{comb} + \sum_{i=1}^k P_{state\_i} \quad (4)$$

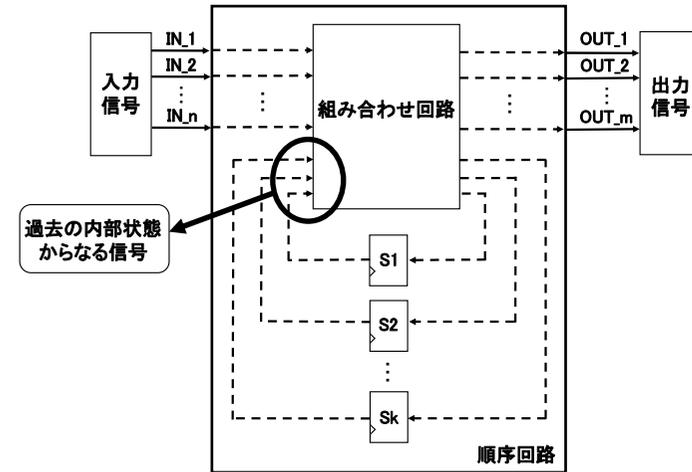


図 4 順序回路の構成

#### 3.2 順序回路に対するRTL電力マクロモデル化

順序回路に対する消費電力を推定するためには、組み合わせ回路と State の消費電力をそれぞれ考える必要がある。組み合わせ回路の消費電力を推定するためには既存の RTL 電力推定手法が使用できる。しかし、組み合わせ回路の入力は外部からの入力のみならず、順序回路内の State の値にも大きく依存する。順序回路内の State は単純に入力によらないため、厳密に State の値を予測し、かつ厳密に組み合わせ回路の消費電力を推定することは難しい。

そこで本研究では、順序回路内の State の値の変化に着目し、その特徴をパラメータ化することで、組み合わせ回路と State から構成される順序回路の高精度な電力推定を実現する。State の値は、組み合わせ回路の入力となっている一方、その値が変化することによって State 自身の消費電力にも影響を及ぼす。

そこで、回路内の各 State の信号遷移を表す新パラメータとして、State の平均信号遷移確率  $D_{state}$  を提案する。まず、時刻  $t$  における  $i$  番目の State の値  $s_t^i$  が遷移 ( $0 \rightarrow 1, 1 \rightarrow 0$ ) する確率を算出したものを  $D_{Si}$  とし、全 State 数を  $k$  としたとき、 $D_{state}$  は以下のように定義される。

$$D_{state} = \frac{\sum_{i=1}^k D_{Si}}{k} \quad (5)$$

ここで、 $N$  を入力信号幅としたとき、 $D_{Si}$  は以下のように定義される。

$$D_{Si} = \frac{\sum_{t=1}^{N-1} s_t^i \oplus s_{t+1}^i}{N-1} \quad (6)$$

各 State の遷移確率  $D_{Si}$  を求めることにより、 $D_{state}$  を求めることが可能となる。しかし、 $D_{Si}$  自身は、組み合わせ回路の出力信号に依存するため、直接的に求めることは難しい。そこで本研究では、さらに、与えられた順序回路の入力信号から各 State の遷移確率  $D_{Si}$  を推定することを考え、そのためのパラメータを定義する。

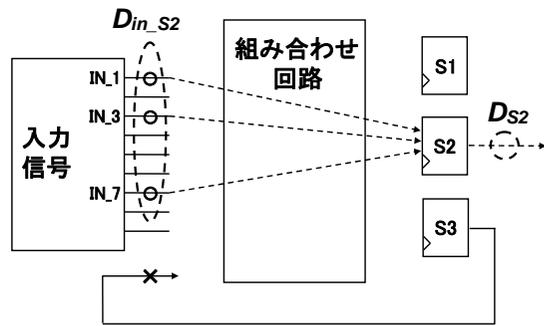


図 5  $D_{Si}$  の特性抽出例

図5に  $D_{Si}$  の特性抽出例を示す。今、図5の State S2 に入力ピンとして IN\_1, IN\_3, IN\_7 が影響を及ぼす可能性があると考えられているとする。このとき、 $D_{S2}$  の値はこれら入力ピンに依存している。この例では、S3 から出る信号も S1 に影響を及ぼす可能性があるが、State の値は回路に入力が与えられてから決定するため無視するとする。i 番目の State に影響を及ぼす b 番目の入力ピンの a 列の信号を  $x_{ba}$  としたとき、影響を及ぼす可能性のある入力ピンの平均信号遷移確率  $D_{in\_Si}$  は以下のように定義される。

$$D_{in\_Si} = \frac{\sum_{b=1}^Q \sum_{a=1}^{N-1} x_{ba} \oplus x_{b(a+1)}}{Q \times (N-1)} \quad (7)$$

ここで、 $Q$  を State に影響を及ぼす入力ピン数とする。これにより、順序回路の入力信号から各 State の遷移確率を推定することができる。

### 3.3 順序回路に対するRTL電力推定フロー

前節で提案した3つのパラメータを用いて順序回路の電力を推定するために、本研究では2つのテーブルを用いる。従来は単純にパラメータから電力を推定していたが、本研究では、(1) 入力信号から  $D_{Si}$  の推定、(2)  $D_{state}$  の算出、(3) 入力信号のパラメータ +  $D_{state}$  からの消費電力の推定という3段階で電力を推定する。ここで、2つのテーブルをそれぞれ  $D_{state}$  探索テーブル、Power 探索テーブルと分類する。

図6に  $D_{state}$  探索テーブルの構築の流れを示す。初めに、様々なタイプの入力信号と電力推定をしたい回路を準備する。そして、その入力信号から、全ての State  $i$  に影響を及ぼす入力ピンの  $D_{in\_Si}$  を抽出するとともに、論理シミュレータを用いて State  $i$  の  $D_{Si}$  を抽出する。最後に State ごとに  $D_{in\_Si}$  と  $D_{Si}$  の値を  $D_{state}$  探索テーブルへ格納する。

図7に Power 探索テーブルの構築の流れを示す。まず、入力信号からパラメータ  $P_{in}$ ,  $D_{in}$  を抽出する。次に、入力信号から  $D_{in\_Si}$  を抽出する。そして、 $D_{state}$  探索テーブルを参照することで、 $D_{in\_Si}$  から  $D_{Si}$  を推定し、 $D_{state}$  を導き出す。また、論理電力シミュレータを用いてその時の入力信号から順序回路全体の消費電力を求める。最後に各パラメータと消費電力の値を Power 探索テーブルに格納する。

実際にテーブルを参照して電力推定を行う際には、その推定対象の回路に入力される入力信号と  $D_{state}$  探索テーブルを用いて、パラメータ  $P_{in}$ ,  $D_{in}$ ,  $D_{state}$  を抽出する。そして Power 探索テーブルから、その抽出した各パラメータ値と近い値を持つ行を探索して消費電力を求める。

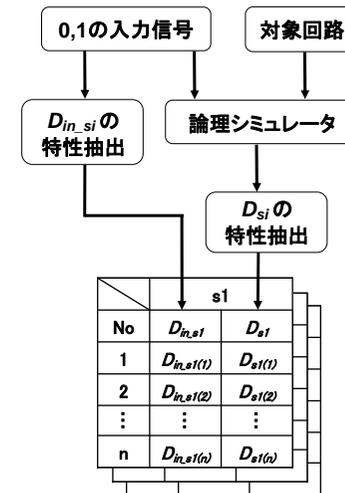


図 6  $D_{state}$  探索テーブルの構築フロー

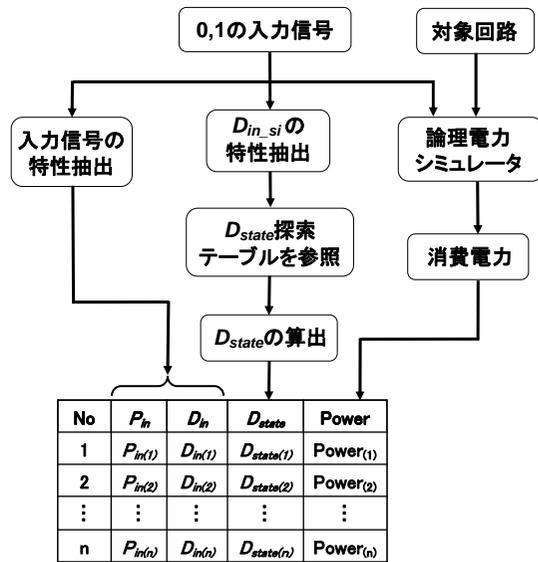


図 7 Power 探索テーブルの構築フロー

#### 4. 評価実験

本章では、新パラメータ  $D_{state}$  を用いた RTL 電力推定の評価を行う。表 1 には今回の実験に用いた ISCAS-89 のベンチマーク回路（順序回路）を示す。

表 1 実験に用いた回路

回路	入力ピン数	出力ピン数	State 数	ゲート数
s208	11	2	8	96
s298	3	6	14	119
s344	9	11	15	160
s386	7	7	6	159
s820	18	19	5	289

入力信号幅  $N=500$  に対して 1000 パターンのランダムな入力信号を発生させ、その入力信号を用いて  $D_{state}$  探索テーブル，Power 探索テーブルを構築した。

図 8 に s344 の回路中の 1 つの State における  $D_{Si}$  と  $D_{in\_Si}$  の相関を示す。実験結果よ

り、 $D_{Si}$  は  $D_{in\_Si}$  と比較的相関があるといえる。

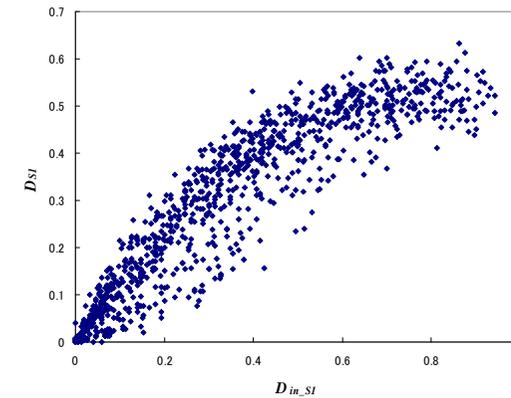


図 8  $D_{Si}$  と  $D_{in\_Si}$  の相関関係

図 9 と図 10 に、それぞれ s386 の回路と s820 の回路に対する  $D_{state}$  と消費電力の相関を示す。ISCAS-89 の 5 つのベンチマーク回路に対する  $D_{state}$  と消費電力の相関係数は 0.82~0.98 だった。回路により相性もあるが、 $D_{state}$  は消費電力と比較的相関が大きいといえる。

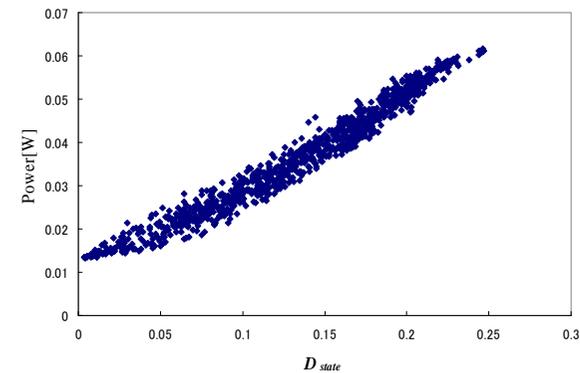


図 9  $D_{state}$  と消費電力の相関関係 (s386)

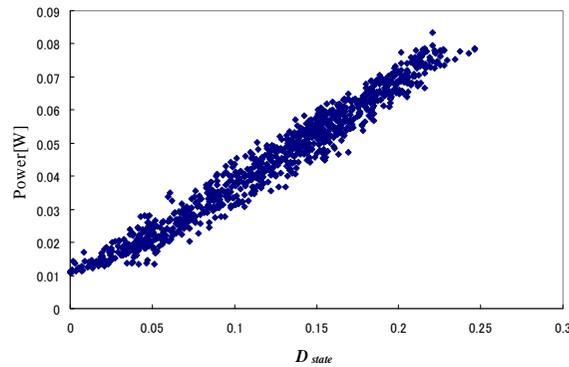


図 10  $D_{state}$  と消費電力の相関関係 (s820)

それぞれの回路に対して、500 パターンの入力信号を発生させ、テーブルを参照して得られた電力と実際に論理電力シミュレータを用いて得られた消費電力の RMS 誤差を求めた。図 11 は、本手法である  $(P_{in}, D_{in}, D_{state})$  と従来手法である  $(P_{in}, D_{in}, ST_{in})$  の RMS 誤差を比較している。実験結果より、ISCAS-89 の 5 つのベンチマーク回路に対する本手法の RMS 誤差は平均で 4.87% となった。また、 $(P_{in}, D_{in}, D_{state})$  を用いた RMS 誤差は  $(P_{in}, D_{in}, ST_{in})$  を用いた場合と比較すると、RMS 誤差の改善率は約 13% 向上した。

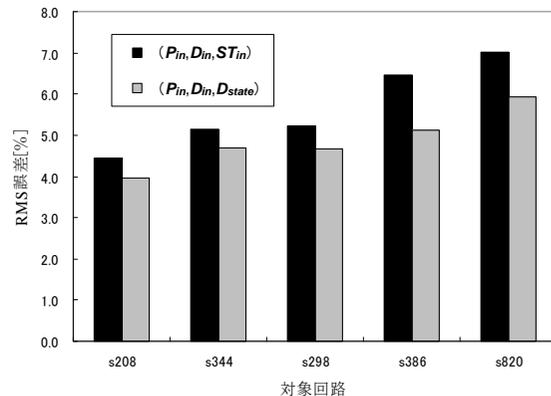


図 11 精度検証の結果

## 5. まとめと今後の課題

本稿では、順序回路に対する RTL 電力マクロモデル化の一手法を提案した。提案手法は、回路内の各 State の信号遷移を考慮した新パラメータ  $D_{state}$  を用いることによって、高精度な電力推定を可能とする。評価実験より、ISCAS-89 のベンチマーク回路に対して、新パラメータ  $D_{state}$  を用いた本手法は従来手法と比べて、RMS 誤差の改善率が約 13% 向上することができた。

今後の課題として、今回提案した順序回路に対する RTL 電力推定手法では、順序回路内の各 State に着目し、その State の値に直接影響を及ぼす可能性のある入力ピンの特性に基づく手法を提案した。しかし、提案手法は、パイプライン型のアーキテクチャのような、前段の State の値が次段に直接影響を及ぼすようなアーキテクチャでは精度が悪くなる可能性もある。このような制約に対する対応が今後の課題として挙げられる。また、これらのテーブルを用いた電力マクロモデルの手法をベースとして実用性のある電力シミュレータの開発にも取り組む予定である。

**謝辞** 本研究の一部は JST シーズ発掘試験 (2009 年度) 「高精度・高効率な高位消費電力シミュレータの開発」によってなされた。

## 参考文献

- [1] G. Bernacchia and M.C. Papaefthymiou, "Analytical macromodeling for high-level power estimation," *Proc. ICCAD*, pp.280-2831, Nov. 1999.
- [2] S. Gupta and F.N. Najm, "Power modeling for high-level power estimation", *IEEE Trans. on VLSI system*, vol.8, no.1, pp.18-29, Feb. 2000.
- [3] H. Kawauchi, T. Morikawa, R. Murashima, I. Taniguchi, and M. Fukui, "A new approach for RTL power macro-modeling," in *Proc. International Technical Conference on Circuits/Systems, Computers and Communications, ITC-CSCC2009*, pp.1024-1027, July. 2009.
- [4] Y.A. Durrani and T.Riesgo, "Power estimation technique for DSP architectures," *Digital Signal Processing*, vol.19, pp.213-219, Mar. 2009.
- [5] S. Gupta and F.N. Najm, "Analytical model for high level power modeling of combinational and sequential circuits," *Proc. IEEE Alessandro Volta Memorial Workshop on Low-Power Design*, pp.164-172, Mar. 1999.
- [6] M. Ohtsuki, M. Kawai, and M. Fukui, "An efficient algorithm for RTL power macro-modeling and library building," *IEICE Transactions on Electronics*, vol.E92-C, no.4, pp.500-507, Apr. 2009.