

GHzプロセッサを支える 高速回路技術

乾 重人 inui@mel.cl.nec.co.jp
深石宗生 fukaishi@mel.cl.nec.co.jp

NEC システムデバイス研究所

はじめに

半導体製造技術のテクノロジドライバは初期においてはDRAMがその役割を果たしてきたが、1990年代後半にその役割はマイクロプロセッサへと移行した。その結果マイクロプロセッサの性能向上を目的として、クロック周波数の向上に着目した技術向上が行われてきた。現在、プロセッサの動作周波数は3GHzを超えるまでに高速化されている。またプロセッサ本体の高速化と並行してプロセッサメモリ/周辺機器間のデータ転送速度も着実に増強された。この速度向上にはパラレル転送からシリアル転送へのパラダイムシフトが寄与し、90年代に30MHz程度であった速度は近年GHzに到達している。このようにプロセッサ本体と外部インタフェース双方が歩調を合わせて高性能化することにより、増大するプロセッサの演算能力を無駄なく使用し、システム全体の性能が着実に強化されている。

本稿では、まずこれまでマイクロプロセッサの性能を向上させてきた回路技術について述べ、続いてチップ間インタフェース技術を主としてシリアル転送の観点からまとめ、各々について要素技術を紹介する。前半のプ

ロセッサ回路技術ではプロセッサ本体の回路技術として、論理段数の削減や高速アルゴリズム、クロック生成/分配/ノイズ低減技術、低電力について紹介する。後半の高速インタフェース技術ではまずチップ間インタフェースの変遷をまとめた後、現在主流となっているシリアル転送技術の要素技術として、クロックレス伝送の観点から、CDR技術と高速IO技術について紹介する。

プロセッサ回路技術

ごく初期のものを除いて、LSIはパイプライン構造を採用している。パイプラインは、LSIの機能を実現する論理回路を入力から出力へ向かって一定の時間間隔のブロックに区切り、それらのブロック間にパイプラインレジスタを配置したものである。図-1にパイプライン構造の概要を示す。パイプラインレジスタは、クロック信号に同期して一斉に動作し、論理回路で処理されたデータを次々に次段のパイプラインへ送り込むことでLSIの動作を実現している。LSIの高速化とは、単純に言えば、このクロック信号が高速であることを指すが、高速化の実現にはクロック信号の分配と、各パイプラインの論理

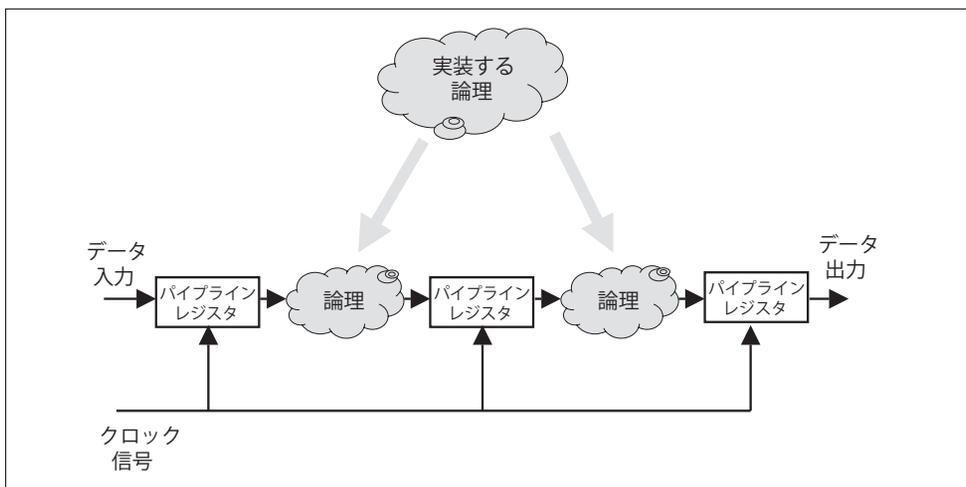


図-1 単純なパイプラインの説明

回路の高速動作の2点がポイントとなる。

パイプラインレジスタはLSI全体に散らばっているが、これらに対して均一なクロックを分配できずに「ずれ」が生じると、誤動作にならないまでもずれの分だけ性能が下がることになる。またクロック信号を高速化すると、パイプライン1段ごとに許される遅延時間が減少するため、各パイプラインの論理回路には同一の論理をより少ない時間で実現する回路を用いるか、パイプラインの分割損が許容できる範囲内で1段のパイプラインを複数に再分割することが必要となる。

本章では、クロックと論理回路に対するこれまでの取り組みを、高速マイクロプロセッサを例に紹介する。加えて、近年高速プロセッサで顕在化しつつある電力問題に言及する。

高速回路

最初に、LSIを構成する基本コンポーネントである回路の高速化について紹介する。回路の高速化には3つの考え方があり、(a)サイクルあたりの論理段数削減、(b)アルゴリズム、(c)回路スタイル、である。以下、各々について説明する。

■サイクルあたりの論理段数

サイクルあたりの論理段数とは、論理回路をパイプラインに分割する際のパイプラインピッチを指す。ある機能をパイプラインとして実装する際、パイプラインのステージ数を増やす代わりにステージ1段ごとの論理量を減らし、各ステージの遅延を削減し、クロックの高速化を実現することができる。この考え方は非常に単純なクロック高速化手法であり、近年の高速マイクロプロセッサでは連続とサイクルあたりの論理段数を削減する設計が行われている。

ここで言う「サイクルあたりの論理段数」をより一般的な形で表したものにFO4換算論理段数という考え方がある。FO4の考え方を図-2に示す。FO4は、あるサイズのインバータが、自身の4倍のサイズのインバータを駆動するように構成されたインバータチェーンである。近年のLSIでは、nMOSトランジスタとpMOSトランジスタをペアで使用して論理を構成するCMOS論理が広く用いられている。一般的にCMOS論理では回路を構成する際に、FO4程度の構成をとることが遅延の点から最適であることが知られており、サイクルあたりの論理段数の汎用的な指標として、FO4で換算した論理段数がよく用いられる。図-3に、Intel製マイクロプロセッサの論理段数の削減状況を示す。図によるとサイクルタイムあたりの論理段数は2002年までの30年間で200分の1にまで削減されているが、このことは、同一のプロセ

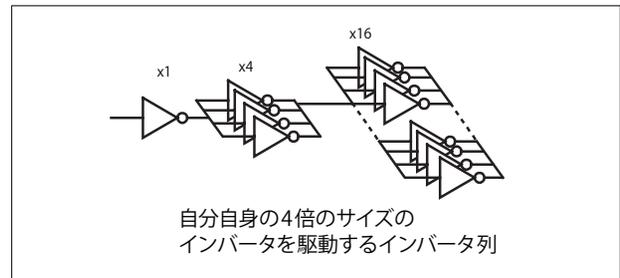


図-2 FO4 インバータの説明

ステクノロジを用いた場合に、クロック周波数を理想的には200倍程度まで向上させることができることを示している。すなわちプロセステクノロジーだけでなく、回路設計の点からも高速化の努力が行われていることが見て取れる。

では、サイクルあたりの論理段数削減に限界はないのであろうか。あるパイプラインステージを半分に分割し、元のステージの中間にパイプラインレジスタを追加することを考える。理想的には周波数は倍になるはずであるが、パイプラインレジスタは一定の遅延を持つために、その分だけ周波数が落ちることになる。方式や機能によっても異なるが、パイプラインレジスタの遅延はFO4で3段程度であるのに対して、現在の高性能マイクロプロセッサクロック周波数では、ステージ1段の論理段数はFO4換算で10段程度となっており、従来の手法を踏襲しての周波数向上はきわめて困難になってきている。消費電力・面積増に目をつぶることによって、FO4換算1段程度で動作する高速なパイプラインレジスタも開発されている。しかしながらマイクロプロセッサの電力増は、システムの冷却コストを無視できない領域にまで押し上げており、前述のような高速なレジスタを無制限に使用することが難しくなっている。

以上の理由から近年のプロセッサ設計では、電力と性能をパラメータとして、高速であるが電力消費の大きいレジスタ、比較的低速であるが低消費電力であるレジスタ、というかたちでパイプラインレジスタを複数準備し、適宜使い分けてプロセッサ全体として電力増を抑えつつ性能を向上させる手法が用いられている。このような手法を用いることにより、パイプラインあたりの論理段数は今でも少しずつ削減されている。

■アルゴリズム

アルゴリズムは、与えられた機能を回路に実装するための手法のことである。アルゴリズムを考える上では、いかに少ない論理段数で多くの論理を実装するかということが課題となる。

これらには単純な四則演算から浮動小数点演算、シ

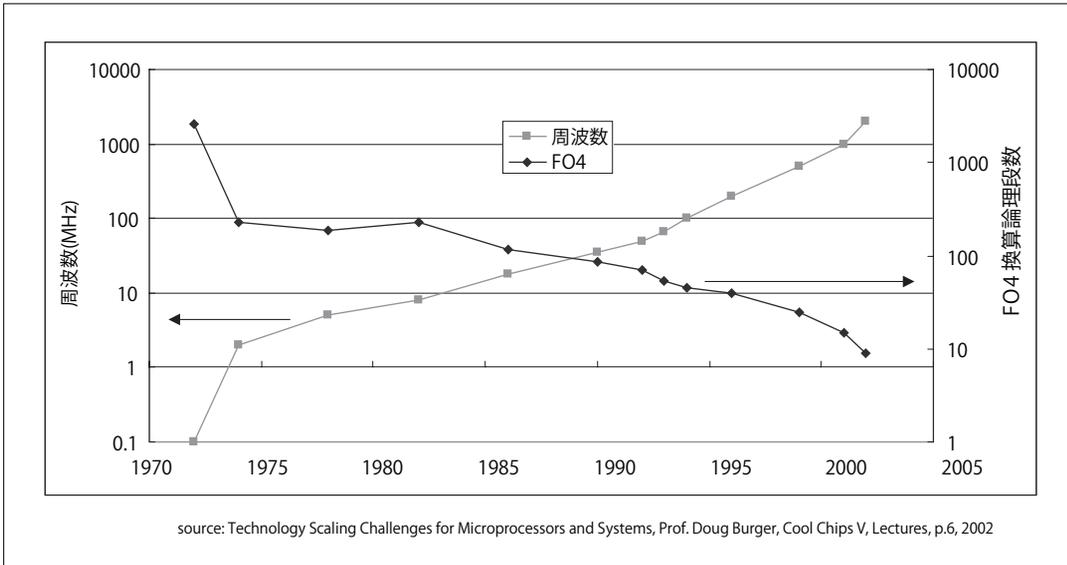


図-3
プロセッサのサイクルタイムにおけるFO4インバータ換算論理段数

フト演算や論理演算などがある。アルゴリズムはLSI黎明期より盛んに研究されており、四則演算では、加算における Carry Look Ahead (CLA)、乗算における Booth Recording + Wallace Tree、除算における SRT アルゴリズムなど、基本的な手法は完成の域に達した感がある¹⁾。そのため近年では、後述の回路スタイルや、実際に用いられるブロックに合わせた最適化の検討が行われている。また、グラフィック処理における法線ベクトル演算や暗号処理における剰余演算といったよりアプリケーションに特化したアルゴリズムの検討にも軸足が移っている。

■回路スタイル

図-4 (a) に広く用いられている CMOS 論理の一例を示す。CMOS 論理は、非常に単純な構成であること、入力に変化しなければほとんど電力を消費しないこと、外乱ノイズへの耐性も高いことから、非常に使いやすい論理ファミリといえる。その反面、動作速度が遅い pMOS トランジスタを用いて論理を実現するため速度性能に限界があるなどの欠点が存在する。

この欠点を改善するためによく用いられる論理ファミリの1つがドミノ論理である。ドミノ論理の一例を図-4 (b) に示す。CMOS 論理と大きく異なるのは、速度性能のボトルネックとなっていた pMOS トランジスタを論理演算経路から排除し、pMOS トランジスタはクロック信号で駆動されるプリチャージ用途にしか用いていないことである。nMOS トランジスタの高速性を活用し、pMOS トランジスタを論理演算に用いないことによる速度ボトルネックの排除とファンイン容量削減を実現することにより、CMOS 論理と比較して 30~40% 程度の高速化が実現される。反面、クロック信号が常時入力されることによる電力消費の増大や、プリチャージサイクル

や評価サイクルといった複数の動作タイミングの存在による遅延検証の複雑さ、すなわち設計コスト増大が問題となる。そのためドミノ論理の使用は、シフト論理やアドレス加算器、算術演算回路 (ALU) 等、プロセッサ性能上クリティカルであるブロックに限定されることが多い。

さらに、ドミノ論理を超える高速性を実現する手法として、Intel の Pentium4 の ALU で採用された低振幅論理を紹介する。Pentium4 の ALU では低振幅論理を使用することで、ALU のクロック周波数をプロセッサコア周波数の倍にすることに成功し、ALU を必用とする 2 個の内部命令 (uOP) の同時実行による命令実行効率向上を実現している。図-4 (c) に当該 ALU を示す。信号伝達の高速化として信号の振幅を落とすことは、高速インタフェース等でよく用いられる手法である。振幅を落とせば論理を反転させる時間を減少させることができるが、周辺の信号の振幅はそのままに、高速化する信号の振幅のみを削減するため SN 比が悪化することになる。ノイズに対しては当該回路をシールドすることでその影響を低減できるが、これは面積増につながる。また、最終的には通常の CMOS 論理と接続する必要があるため、センスアンプを用いて CMOS 論理レベルまで振幅を復元することになるが、そのタイミング設計はメモリに匹敵する設計難易度となる。こうした欠点のため、低振幅論理の採用はドミノ論理よりさらに限定されているのが現状である。

回路スタイルには、設計コストが低く低消費電力であるが相対的に性能の低い CMOS 論理と、設計コストが高く消費電力大であるが高い性能のドミノ論理/低振幅論理、という相反する 2 種類の選択肢が存在する。したがって、よりシステム性能へのインパクトの高いプロッ

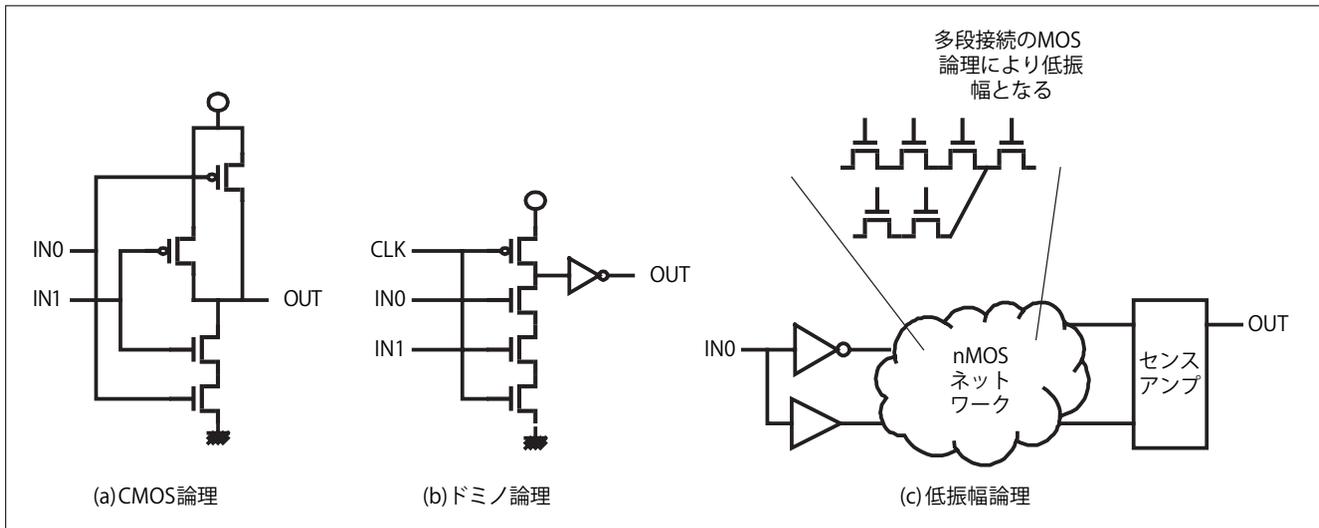


図-4 回路スタイル

クに、よりコストは高いが高性能な回路スタイル・アルゴリズムを割り当てることで、リーズナブルなシステムを実現することができる。

クロック

次に高周波数でLSIを動作させるクロック信号の生成・分配について紹介する。プロセッサ内の基準となるクロック信号はPLL等の発振回路により生成され、その信号はクロック分配回路を経て、末端であるLSI内のパイプラインレジスタへ分配され、その結果すべての回路が同期して動作する。起点である発振回路におけるクロック信号はもちろん単一の信号であるが、末端に分配される過程で各々のクロック信号間に到達時間のずれが発生する。図-5に「ずれ」の概念を示す。

ずれの原因は、発振回路であるPLLのゆらぎや分配回路のトランジスタ特性のばらつきであったり、外部からのノイズであったりさまざまであるが、一般的に、静的に発生するクロック信号のずれをスキュー、LSIを動作させたときに動的に発生するクロック信号のずれをジッタと呼ぶ。広義には双方をまとめてスキューと呼ぶ場合もあるが、本稿でのスキューは前者の静的なずれを指すものとする。

スキューやジッタは周波数に比例して縮小するような性質のものではなく、かつ、“サイクルあたりの論理段数”で述べたパイプラインレジスタの遅延と同じくパイプラインステージごとに発生する遅延オーバーヘッドである。つまり“高速回路”で述べた回路の高速化手法を用いてサイクルタイムを削減する努力と並行して、高速化に見合うようにスキューやジッタを削減していかないと全体としての高速化は達成できない。言い換えるならば、回路の高速化は性能をより向上させる努力であるのに対し

て、スキュー・ジッタの低減は性能の低下を抑え込むための努力であり、しかもクロックはチップ全体に分配されるため、プロセッサ全体の性能に対して直接的に影響を与える。クロック分配回路の設計には、最大限の努力と注意を払う必要がある。

では高品質なクロック信号の分配とはどのようなものだろうか。まずずれの原因をここでまとめ、次に各々の対策について紹介する。

- (a) 設計時点で発生するずれ…クロックの起点から末端に至るまでの分配回路の構成の違い
- (b) 製造時に発生するずれ…トランジスタの特性のばらつき、配線形状のばらつき（主として抵抗のばらつき）
- (c) 動作時に発生するずれ…ノイズによる変動

(a)、(b)はLSIの製造時点で決定されるため、最終製品の段階では静的であり、スキューの原因といえる。その一方、(c)は動的に発生するためジッタの原因となる。

■設計時点で発生するずれ

設計時点で発生するずれは、主としてクロック信号を分配すべきパイプラインレジスタの空間的なばらつきにより発生する。LSIには、ALUのようにパイプラインレジスタが密集するようなブロックもあるし、反対にまばらにしか存在しないブロックもある。大量のパイプラインレジスタに分配しようとすればするほど比例して多くの分配バッファを要することになり、まばらなブロックと比較して回路構成にずれが発生することになる。この問題に対する解決方法は、Hツリーなど空間的に対称構造である分配経路や、クロックメッシュによる分配の採用である²⁾。図-6にクロック分配の種類を示す。前者はIBM POWERシリーズやCELLプロセッサ、後者は旧

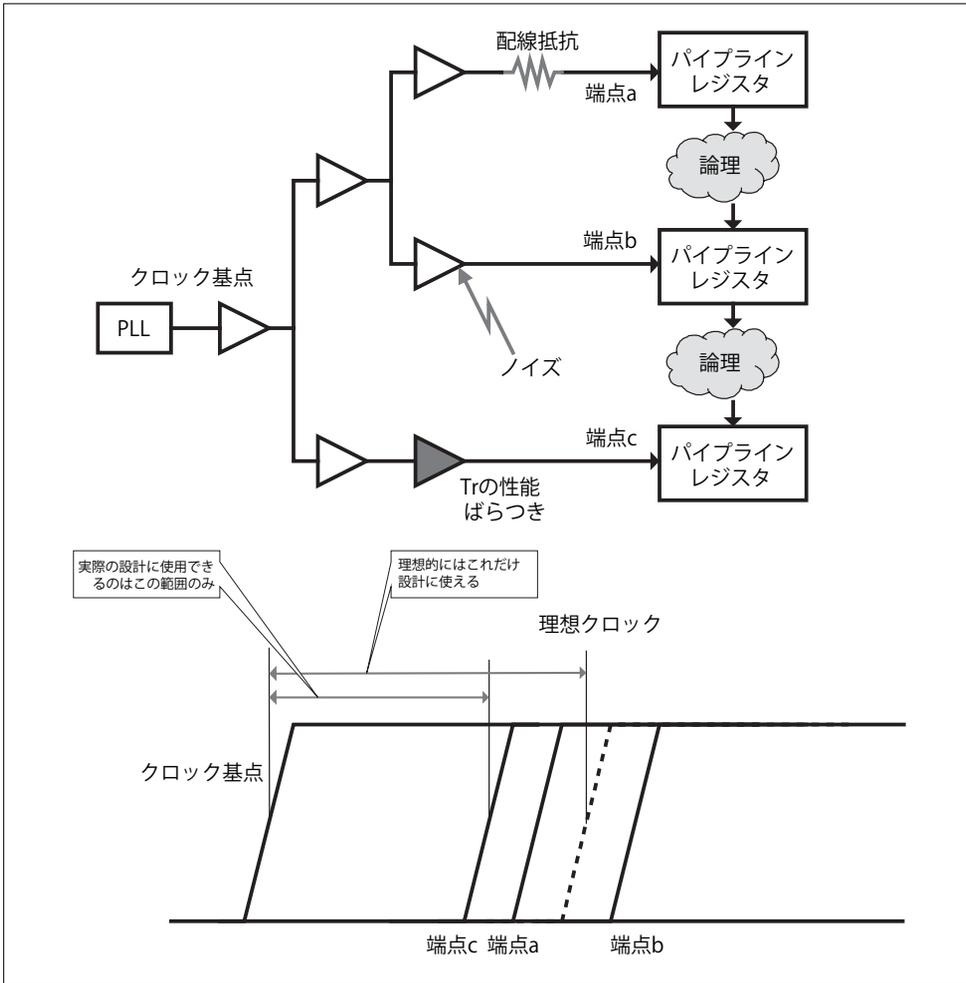


図-5 スキュー・ジッタの説明

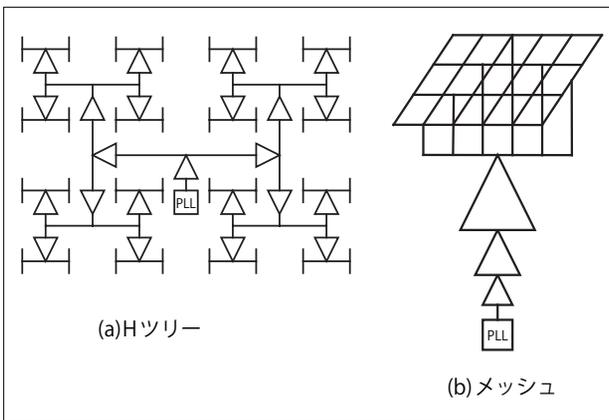


図-6 クロック分配の種類

DECのAlphaプロセッサ等に用いられている。また、チップ内に小規模なメッシュを設け、そのメッシュまでをHツリーのように駆動する、ハイブリッド型の分配系等がIntelのPentium4等のプロセッサで採用されている。

クロックメッシュはクロック分配の末端をすべて低抵抗配線でショートする手法であり、末端に至るまでに多少の分配ばらつきがあったとしてもそれらは「強制的に」平均化される、力技的な手法である。末端をショートするための配線量が多いため、メッシュを駆動するために、

実に数10cm (mmでもumでもない) の総延長のトランジスタが使用される。メッシュはスキューの低減の観点からは最も有効な手法であるが、電力の増大や配線層を多量に消費してしまうなどの欠点があり、近年では高速プロセッサといえども採用例は減少している。

Hツリーに代表される対称的クロック分配は、メッシュに比較して配線リソースや電力対策等のコストは低いが、スキューの低減効果はやや劣る。これを補うために、設計時にクロック分配系全体の回路シミュレーションを実行してスキューを算出し、その結果を用いてよりスキューが小さくなるようにクロック分配系の再設計を実行する必要がある。LSI全体のクロック分配系の起点から末端までの遅延を求めるような遅延シミュレーションは当然大規模なものとなり、規模や実行時間の点での制約が多かったが、近年のワークステーションの計算能力の増大・CAD技術上の遅延計算アルゴリズム最適化などにより、この問題は徐々に解決されつつある。

■製造時点で発生するずれ

マイクロプロセッサでよく採用される最先端デバイス技術を用いてLSIを製造する場合、成熟したデバイスブ

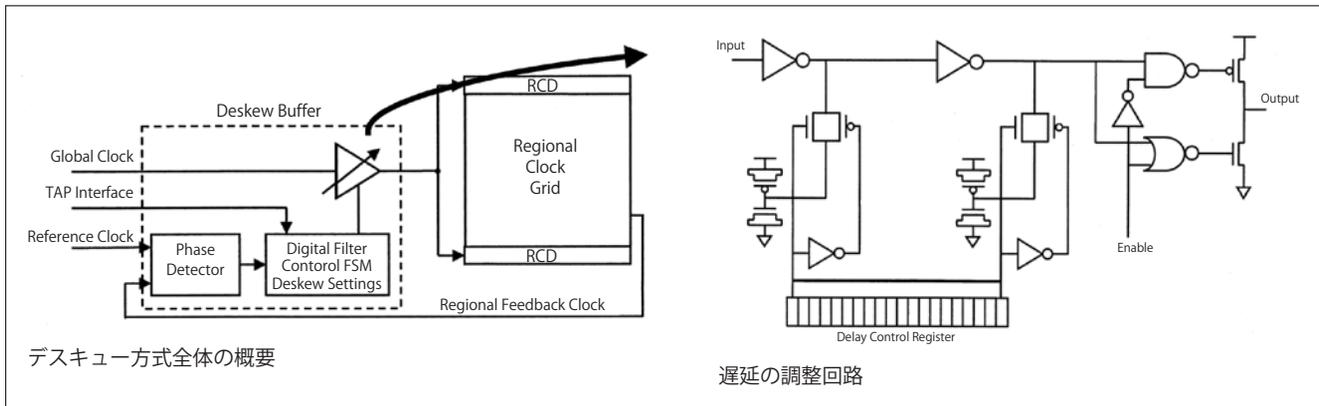


図-7 デスキュー方式

ロセス技術を用いる場合と比較すれば製造時点での大きなばらつきを避けることは難しい。加えて、製造時に発生するずれを設計時点で完全に吸収することは不可能である。そこで、製造後にクロック分配系の遅延を調整する手法がIntelにより実装されている。図-7に概要を示す。この方式は、PentiumやItanium等で採用されている³⁾。これは、クロック分配系内の中継バッファに遅延調整機能を持たせ、製造後に基点から末端までの分配系の遅延を測定し、その結果によって分配遅延の微調整を行う手法である。また、微調整には、自動で行う手法と外部から調整量を入力する手法とがある。自動で行う場合、クロック分配系を1つの閉じた系として考え、末端でのスキューを入力、調整量を出力とする伝達システムとして設計を行う。伝達関数や時定数の設計にミスがあると誤動作となるため、ローパスフィルタを挿入するなどして安定化を図る。外部から調整量を入力する場合は、LSIに備わる診断回路を使用する。診断回路は出荷前のテスト時に、診断テストに用いる回路である。診断回路により分配回路の遅延を測定し、その遅延にあわせて外部より診断回路経由で調整量をLSIへ書き込み、微調整を行う。本手法は製造後に調整可能であることから汎用性は高いが、欠点としてテストコスト増大が挙げられる。

■動作時に発生するずれ

クロック分配系はLSI全体に分布して配置され、絶えず周辺の回路からのノイズにさらされる。それはクロック信号へのノイズもあるが、消費電力の変動による電源の“ゆれ”である電源ノイズが顕在化しつつある。

電源ノイズは、LSI内部の論理回路で消費される電力の変化で生じる。電力問題が顕在化するまでのマイクロプロセッサでは、消費電力は大きいながらも常時ほぼ一定の電力が消費されていたため、電力の時間的な変化は相対的に小さいと考えられていた。対して近年のマイクロプロセッサでは冷却の観点から低電力化が必須となりつつ

あり、その実装手法としてクロックゲーティングの採用例が増えている(ゲーティングについては次章で詳しく述べる)。クロックゲーティングはLSI内の非動作ブロックへのクロック供給をダイナミックに停止させて低電力化を図る手法であるが、代償として、ゲーティング制御の単位でチップ内における動作率のばらつきが大幅に拡大し、電源ノイズを引き起こす結果となっている。電源ノイズを低減するためにはLSI内外にキャパシタを実装して電源電流変動を補完することが有効であり、最適なキャパシタ量を求めるための手法が盛んに研究されている。しかしながら電源ノイズをシミュレーションするためにはチップレベルでの回路シミュレーションが必要であり、その規模の大きさから実設計での運用が難しく、今後の課題となっている。

電力

当初の電力問題とは、バッテリーによるシステムの駆動時間をいかに延ばすかという問題であった。対して、プロセステクノロジーが90nm世代に入りGHz動作のCPUが当たり前になったあたりから、プロセッサが発する熱による電力密度問題が注目されてきている。現時点での問題点としては、それはシステムの冷却コストの問題であるが、将来的には電力密度増大によるLSI動作の破綻が懸念されている。高速マイクロプロセッサにおける低電力化手法としては設計の階層の点から、(a)クロック/データゲーティングの実装、(b)電力を評価関数とするプロセッサの動作制御の実装、の2点がある。

■クロック/データゲーティングの実装

クロック/データゲーティングとは、動作する必要のないブロックを停止させる論理を、ブロックごとに組み込む手法である。図-8に各々の概要を示す。ブロックの入力信号にイネーブル機能を付加し、動作不要の場合にデータの変化を停止させる手法をデータゲーティン

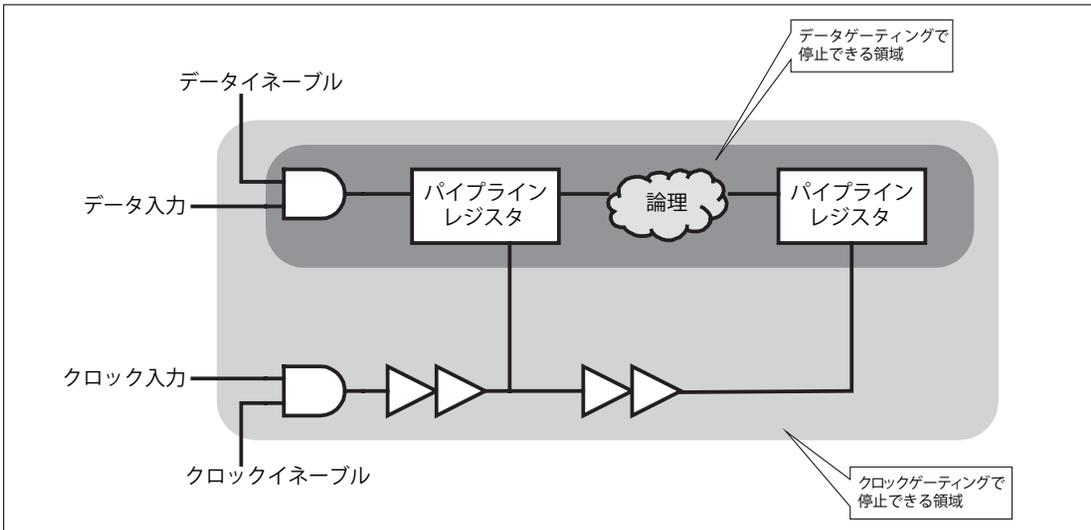


図-8 ゲーティング

グ、データではなくクロック信号に論理を組み込み、動作不要時に全パイプラインレジスタを停止させる手法をクロックゲーティングと呼ぶ。低電力化の観点からはもちろん、クロック分配系も含めてすべての論理ゲートが停止するクロックゲーティングが有効であるとは言うまでもない。しかしながらクロックゲーティングはゲーティング制御単位内のパイプラインレジスタと論理ゲートが一斉に停止するため消費電流の変動が比較的大きく、前述の電源ノイズの発生源になりやすい。対してデータゲーティングはパイプラインを構成するステージごとに停止していくため電源電流変動が比較的小さい。またクロックゲーティングでは、メッシュクロックを採用した場合はそもそも細かな単位のゲーティングは実装できないといった欠点がある。

パイプラインステージごとにクロックゲーティングの制御単位を限定することができれば最も粒度が細かく、効率の良いゲーティング手法を実現できる。しかしながらその実現のためには、パイプラインレジスタの配置とクロック分配系の設計を、ゲーティングを考慮しつつ行う必要があり、一般的には設計コストの大幅な上昇を招く。一例として、IBM/Sony/東芝のCellプロセッサではステージレベルでのクロックゲーティングを実装していることが報告⁴⁾されており、4GHzクラスの周波数ながら低消費電力の実現に成功している。決して実現不可能ではなく、効果が非常に大きい手法であることから、今後数年以内に汎用化されていくものと思われる。

■電力を評価関数とするプロセッサの動作制御の実装

この動作制御の実装では、評価関数として選択されるものは、多くの場合温度である。温度センサ(通常はダイオードであり、比較的容易にチップ内に集積化できる)によりチップ内数点の温度をリアルタイムに計測し、あ

らかじめ設定した温度特性により動作制御を行う。IBMのPOWER5で実装されたスロットリング技術⁵⁾は、温度上昇が一定のしきい値を超えた際に命令の発行レートを落とし、温度上昇を抑える手法である。図-9にPOWER5での、スロットリングの制御の例を示す。図中、"over-temperature"で示される温度が、スロットリング制御を開始すべきしきい値となる温度であり、チップ温度がこれを超えた段階で命令発行を停止、あるいは発行レートを低下させる。次に"recovery-temperature"で示される適切な値にチップ温度が下がった時点で再度発行レートを元に戻す。このような制御を行うことで、ソフトウェア上での使用電力の大小を効果的に利用し、トータルの電力を抑えつつ高性能を実現することができる。

今後の課題

以上、マイクロプロセッサの高速化と、それに付随する問題点について簡単にまとめた。最後に今後の回路技術開発の展望について一言触れる。電力の点から見て、単一プロセッサのクロック周波数をひたすら向上させてシステム性能の向上を図る考え方はすでに破綻しているといえる。近年では、この限界を打破してさらなる高性能を狙い、単一チップ内に複数のCPUコアを収納するマルチコアに開発の主流が移っている。マルチコアの設計では、シングルコアと比較するとより設計規模が大きくなり、前述のクロックスキューのさらなる増大が懸念される。また、プロセッサ全体のクロック周波数向上には一定の制約がかかるが、性能インパクトの大きいブロックのみ高い周波数で動作させたり、複数コアのうち一部のコアだけ異なる周波数で動作させるようなことも考えられる。このようにマルチコアでは、大きなクロックスキューや異なる周波数の混在等を考慮する必要があり、対策として非同期技術の適用が考えられはじめて

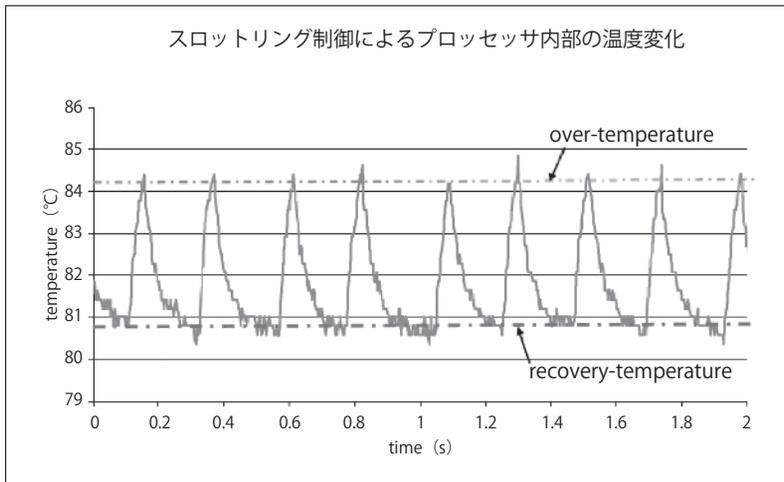


図-9 スロットリング

いる。

非同期技術は一般的にはクロックレスなシステムでのデータ転送手法として研究されてきていたが、近年ではオンチップでの大域的な通信や周波数変換技術に用いられ始めている。その一例としては、GALS (Globally-Asynchronous Locally-Synchronous, 大域的非同期かつ局所的同期技術) 等が挙げられる。このようなアーキテクチャをとる場合、大域的なデータ転送は“通信”のイメージに近くなり、よりスキューやジッタに対して耐性の高い実装方式が求められる。また、開発環境の点から見ると非同期技術は、論理検証、論理合成&配置配線、遅延検証といった基本ツールすべてに対してインパクトを与え、かつ、設計規模をさらに増大させることになる。マルチコアを前提に、リーズナブルな設計コストで大規模マイクロプロセッサを実現する手法の構築が求められていくであろう。

高速インターフェース技術

マイクロプロセッサの性能向上に伴って、プロセッサチップが必要とするバンド幅、特にCPUチップーメモリチップ間など、プロセッサと外部チップとの間でのデータ伝送容量増加への要求が高くなっている。その結果、チップ間インターフェースの性能が、チップ内部回路の性能に加えて、システムの性能を決定する要因となっている。たとえばパソコンにおいて、90年代半ばから現在に至る約10年間で、CPU速度が200MHzから4GHz弱に向上してきたのに比例するかたちで、パソコン周辺機器とのインターフェースは、33MHz動作のPCIインターフェースから2.5GHz動作のPCI-Expressインターフェースへと移行してきた。

数10MHzのインターフェースとGHz動作の高速なインターフェース、それらの間で1番の技術的な違いは、パラ

レルインタフェースからクロックレス伝送を特徴とするシリアルインタフェースへの転換である。クロックレス伝送は、従来、東京-大阪間などを結ぶ超長距離通信を行う光伝送技術などに広く用いられてきた技術である。このようなクロックレス伝送に用いられていた、データ信号からクロック信号成分を抽出するクロックおよびデータ抽出回路 (Clock & Data Recovery : CDR) をボード上などの近距離でのチップ間インターフェースへ適用することによって、チップ間インターフェースでのGHz動作が実現された。しかしながら近年では、伝送データがシリアル化され、GHzを超えるような高速化に伴い、LSI内部のデータ入出力回路の動作速度とLSI外部の伝送路特性との特性乖離が顕在化してきている。すなわち、伝送速度を制限していたLSI内部回路の動作速度が半導体技術の進展に伴って高速化されてきたため、受動部品であるLSI外部のプリントボードやケーブルなどの伝送路の特性が伝送速度を制限するようになってきた⁶⁾。

本章では、このような劇的なチップ間インターフェースの速度向上がいかんにして実現されてきたのか？ また、それを実現するために鍵となる技術革新は何なのか？ に着目し、チップ間インターフェースの大容量化に対する技術変遷とチップ間インターフェースに特有な課題と対策、今後開発すべき課題を整理、紹介する。特に、高速化を支える技術として、クロックレス伝送の鍵となるCDRと、伝送速度劣化の要因となるLSI外部の伝送路を直接駆動する高速な入出力バッファ回路を詳細に解説する。

GHzを超える電気インターフェース技術の変遷と課題

図-10にチップ間の伝送方式の変遷を、表-1にさまざまなインターフェース規格に使われている伝送方式を示す。チップ間インターフェースでは必要とされるバンド幅の向上、そしてそれを実現する伝送速度の高速化に伴い、

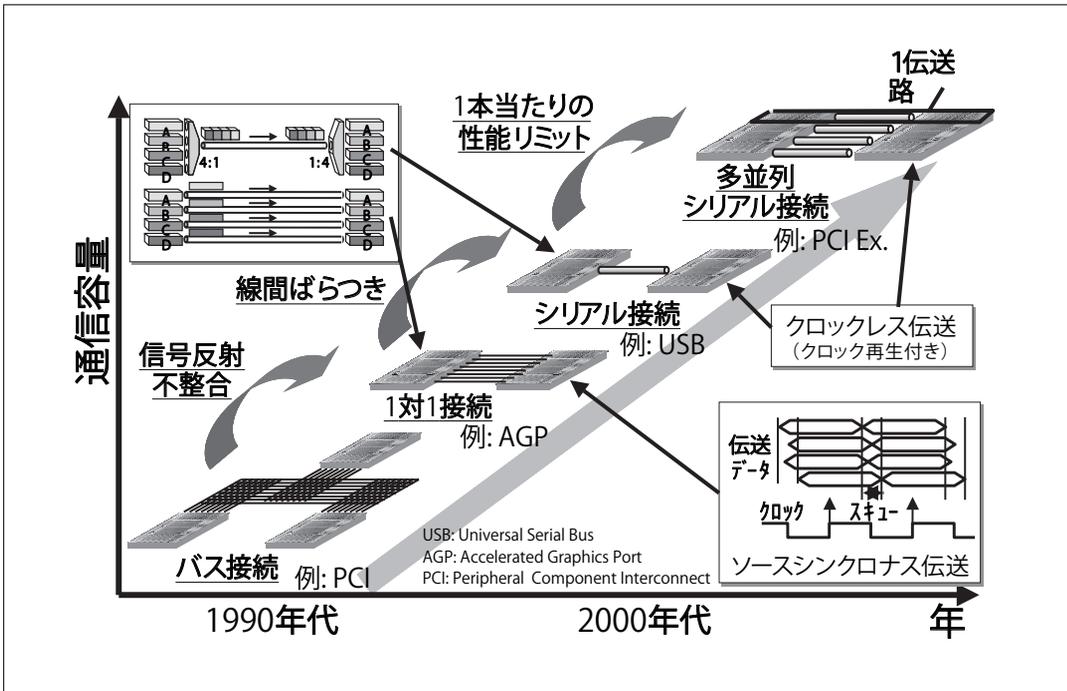


図-10
チップ間伝送方式の変遷

伝送規格	信号数 (bit)	1 信号あたりの速度 (bps)	バンド幅 (Bps)	伝送方式
PCI	32	33M	133M	バス接続
SDR	64	100M	800M	
DDR-200	64	200M	1.6G	
DDR-400	64	400M	3.2G	
DDR2	128	800M	12.8G	
DDR3	128	1.6G	25.6G	
Rambus	8	600M	600M	1対1接続
AGP	32	66-533M	266M-2.13G	
Hyper Transport	2-32	1.6G	156M-6.4G	
Hyper Transport 2.0	32	2.8G	11.2G	シリアル接続
USB	1	12M	1.5M	
USB 2.0	1	480M	60M	
IEEE 1394	1	100-400M	12.5-50M	
S-ATA	1	1.5G	188M	
S-ATA 2	1	3-6G	375-750M	
XAUI	4	3.125G	1.56G	多並列シリアル接続
PCI Express	32	2.5G	10G	

表-1 インタフェース規格と伝送方式

伝送形態がバス接続型、1対1接続型、シリアル伝送型、多並列シリアル伝送型へと変化してきた。以下、これら4つの伝送形態の特徴と変遷の理由を説明する。

バス接続型インタフェース：

チップ間のデータ伝送に必要とされるバンド幅が数100Mbpsから数GBps程度であった時代では、PCIやDDRメモリインタフェースに代表されるような、1つの伝送路に複数のチップやモジュールを接続する多数接続型のバス接続形態が広く用いられてきた。バス接続型イ

ンタフェースでは、さまざまな機能モジュールや多数のメモリモジュールなどが簡単に接続可能なため、機能やメモリ容量の拡張性に優れている。しかしながら、伝送線路に多くの分岐点が存在しその分岐点でインピーダンスの不整合が存在するため、分岐点で伝送波形が劣化し高速化が困難である。

1対1接続型インタフェース：

1対1接続型とは、接続するチップ数を2つに限定し、チップ間の接続を1対1にする接続方法で、バス接続型で高

速化を阻害していた伝送線路の分岐点をなくしたものである。1対1接続型では、伝送路の分岐点に起因するインピーダンス不整合が生じず、高速化が可能となる。このような1対1接続形態をとっているインタフェースとしてはAGPなどがある。しかしながら、1対1接続型のデータ伝送では、データ伝送と同時にクロック信号も併走させ、受信器にて送信されたクロック信号をそのまま用いてデータ信号をチップに取り込むソースシンクロナス伝送が用いられているため(図-10)、複数の伝送路の長さのばらつきに起因したデータ到着時間の差(スキュー)が高速化に伴って相対的に大きくなり、高速化の阻害要因となってしまう。

シリアル伝送型インタフェース：

複数の送信データ間やデータ信号とクロック信号間のスキュー問題を解決し、さらなる高速化を目指した伝送方式がシリアル伝送形態である。シリアル伝送とは、従来、SONETやSDHといった基幹系ネットワークなど数10m以上、数100kmといった長距離伝送に用いられてきた伝送方式で、比較的低速な複数のデータ信号をまとめ、高速な1本のデータ信号として伝送するのに加えて、受信チップで用いるクロック信号を送信データから抽出するクロックレス伝送機能を有している。そのため、1対1接続で問題となった伝送路での複数のデータ信号間やクロック信号とデータ信号間のスキュー問題が存在しない。このような長距離伝送に用いられていたクロックレス伝送技術を数cmから数mといった近距離のチップ間インタフェースに適用し、シリアル伝送型インタフェースでは高速化に伴うスキュー問題を解決している。シリアル伝送技術がチップ間インタフェースに用いられている例としては、USBやシリアルATAなどがある。しかしながら、シリアル伝送では伝送データの大容量化を伝送速度の高速化だけに求めるため、大容量化に限界がある。

多並列シリアル伝送型インタフェース：

そこで現在では、シリアル伝送を多数用いるXAUIやPCI-Expressに代表されるような多並列シリアル伝送形態が主流となり始めている。多並列シリアル伝送では、複数の伝送路を用いて伝送されるデータのひとつひとつにおいて最適なタイミングのクロック信号を抽出し正確なタイミングでそれぞれ複数のデータ信号をチップに取り込むと同時に、複数の伝送路で発生するスキューは受信回路内部で高速な伝送データを低速データに変換した後に取り除いている。

シリアル伝送を行うインタフェース技術の学会発表と製品化動向を図-11に示す。シリアルインタフェースの

高速化は、まず基幹系通信用途への適用を目指して行われ、その後多並列のチップ間伝送向けに展開されている。また、使用されるトランジスタは、まずは高速動作に優れている化合物半導体材料やSiGe材料を用いて開発され、その後安価で高集積化やロジック回路との親和性が高いCMOSトランジスタに移行する傾向がある。現在では、CMOSを用いたシリアルインタフェースは、基幹系通信用向けでは1伝送路あたりの伝送速度が学会発表において10Gbpsを超え10Gの次の規格帯である40Gbpsに達しようとし、製品化においても10Gbps動作のインタフェース技術が開発されている。一方、多並列伝送向けにおいても、学会発表、製品化共に10Gbpsに達している。今後、多並列伝送向けCMOSを用いたシリアルインタフェースの動作速度も向上を続け、40Gを目指して開発されていくと予想される。

クロックレス伝送を実現するシリアル伝送回路 //

図-12にクロックレス伝送を可能とするシリアル伝送回路のブロック図を示す。シリアル伝送回路では、送信部の機能として、CPUなどの内部論理回路から出力される多ビットのデータを1ビットの高速データに変換する機能(パラレル→シリアル変換)、伝送路への出力データを作成し信号を出力する機能(出力バッファ)、各ブロックを高速で動作させるための高速クロックを作成する機能(PLL)に大別され、必要に応じて受信器にて伝送データからクロック信号を抽出しやすくするなどの目的で、伝送データを符号化する機能が追加される。なお、符号化機能は、低速動作が可能なパラレル→シリアル変換機能の手前で行われることが多い。一方受信部での機能は、伝送路を介して入力されるデータを受信する機能(入力バッファ)、クロックレス伝送を実現するための2つの機能として受信データから最適タイミングのクロック信号を作成する機能(クロックおよびデータ抽出:CDR)および高速クロック信号作成機能(PLL)、高速シリアルデータを多ビットのパラレルデータに変換する機能(シリアル→パラレル変換)、そして符号化されたデータを復号化する機能に分けられる。それぞれの機能ブロックでは動作速度に応じて、比較的低速な動作であるシリアル→パラレル変換機能と符号化/復号化機能にはデジタル回路技術、高速動作が要求されるPLL、CDR、入出力バッファにはアナログ回路技術が必要であるため、シリアル伝送回路はアナデジ混在の回路技術が必要とされる。デジタル回路での課題には高速化に加えて、一般的なデジタル回路の課題と同様に、小面積化や低レイテンシ化が挙げられ、アナログ回路での課題には高速化に加えて耐ノイズ技術、低電力化、高速伝送設計に必要なチップ外部のパッケージ、ボードなど伝送路の高精

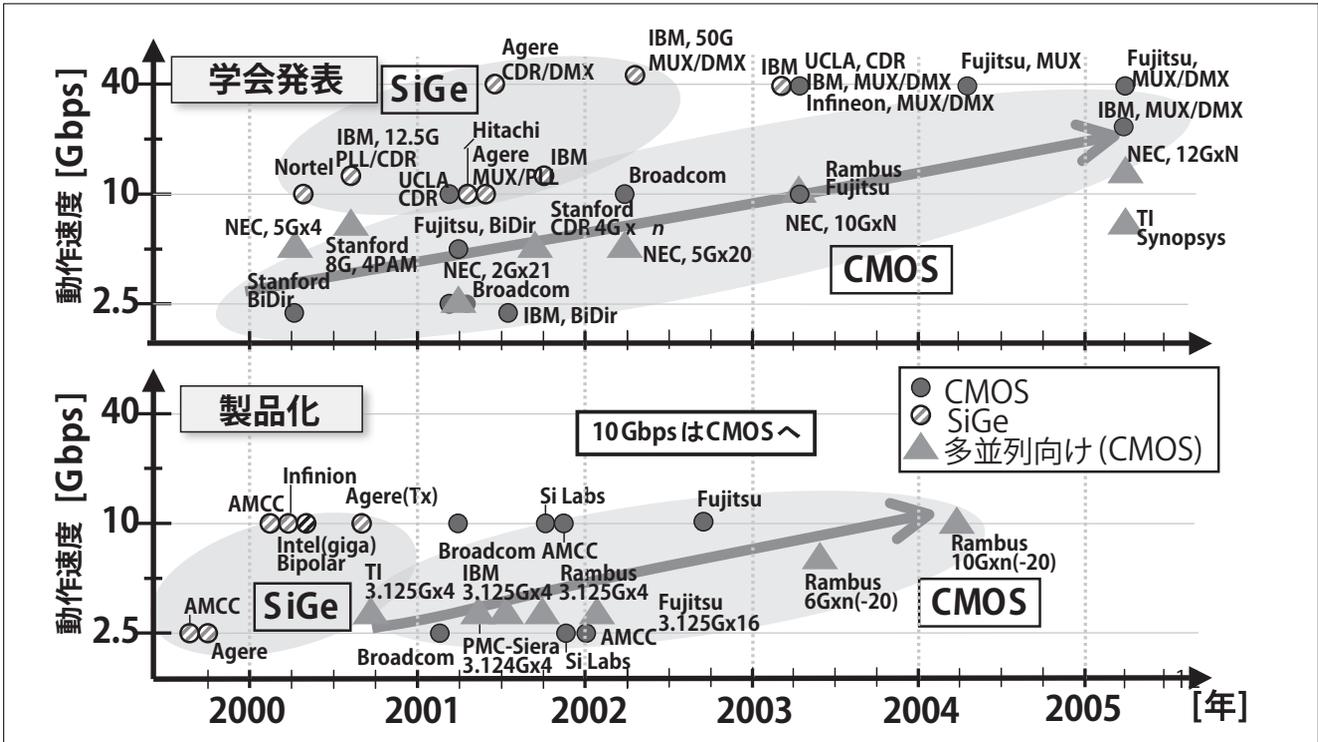


図-11 シリアルインタフェース技術の開発動向

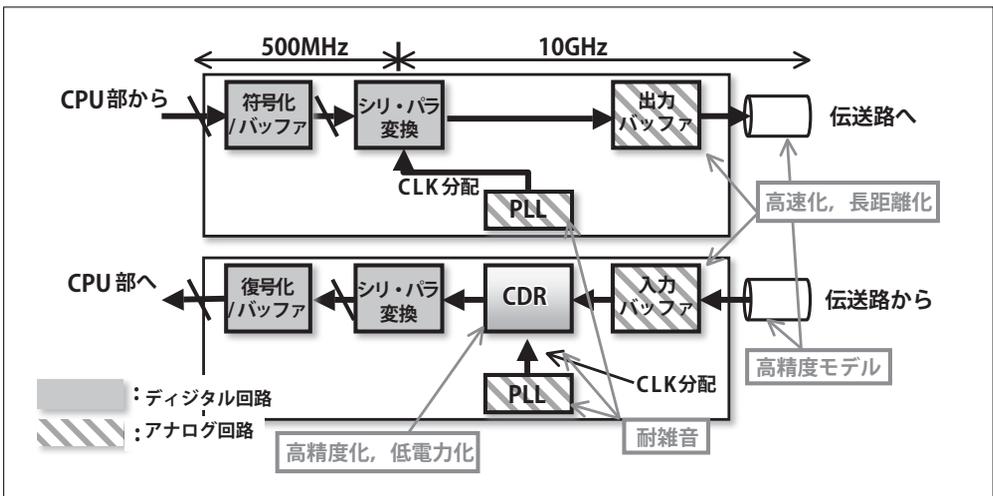


図-12 シリアル伝送回路および必要技術

度なモデル化技術などが挙げられる。

このような各種の機能ブロックから構成されるシリアル伝送回路であるが、シリアル伝送を特徴付ける機能は、クロックレス伝送と高速信号の伝送である。クロックレス伝送は前述したようにスキュー問題を解決してデータの大容量化をもたらすからである。一方、高速信号の伝送では、PCボードやケーブルなど伝送路に対していかに高速な信号を伝送するかの鍵となるからである。たとえば、伝送データがGHzを超えると数10cmのPCボード上の配線を伝送させるだけで、データ振幅が1/10以下になってしまう場合もある。

以上示したようなシリアル伝送を高速化してきた技術と伝送速度の関係を図-13に示す。シリアル伝送で

はCDRの採用によるクロックレス伝送で、従来1Gbps程度であった伝送速度を2~3倍に高速化した。その後、ケーブルなどの伝送路でデータ信号が減衰するのを補償するイコライズ技術や多値伝送などの高機能な入出力バッファにより10Gbps程度まで高速化してきた。以下、近年強く求められているデータ伝送の大容量化を実現するシリアル伝送技術においてその特徴となる、クロックレス伝送の心臓部であるCDR部の高精度化と低電力化、高速データ伝送で直接伝送路にデータを送受信する入出力バッファ部の高速化と長距離伝送化に注目して、課題と最新の取り組みを紹介する。

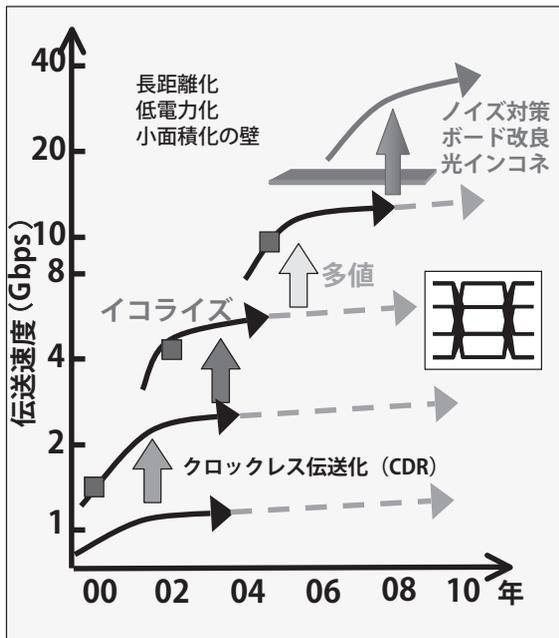


図-14 多並列シリアル伝送向け CDR

図-13 シリアルインタフェースの技術変遷

CDR 技術

CDRでは送信されたランダムなデータ信号からデータ信号の周波数と等しいクロック信号を抽出することと同時に、抽出されたクロック信号のタイミングを送信データに最適に合わせることが要求される。伝送データ速度の高速化に伴って、それらの要求の実現はさらに困難になっていく。加えて、多並列伝送では電力や面積を小さく保ちつつ要求を満たす必要もある。このような要求に答える多並列伝送のCDRに用いられる構成を図-14に2つ示す。

図-14の左図はシリアルデータから最適なクロック信号を抽出するのに、複数のシリアルデータのそれぞれにPLLを用い、クロック信号の位相と周波数の双方を同時に最適化するPLL型CDR、右図は高速クロックを作成するPLLは多数のシリアルデータで共通化し、データごとにクロックの位相だけを調整する位相補間(フェーズ・インターポレータ:PI)型またはゲートドVCO型CDRである⁷⁾。PLL型CDRでは各々のシリアルデータに対してPLLを用いてクロック信号の位相と周波数の双方を同時に最適化するため、クロック信号のジッタが小さいという優位性を持つものの、PLLに必要なローパスフィルタの面積が大きく、多並列伝送では面積オーバーヘッドが大きくなる。一方、PI型やゲートドVCO型CDRでは、大面積を占有するフィルタが必要なPLLを複数のデータで共通化しているため、PLL型CDRに比べ小面積である。しかしながら、クロック信号の位相だけを最適化しているため、周波数を正確に最適化することが困難である点や、PLLからの高速なクロックの分配を高精度に行う必要がある点などから、PLL型CDRに比べ抽出されたクロック

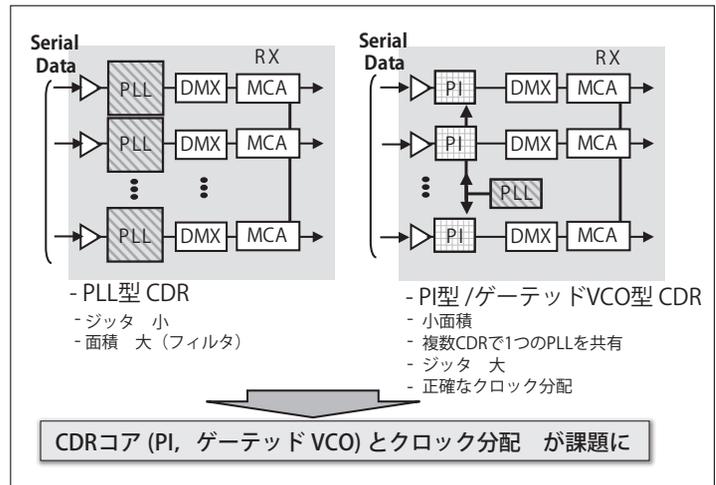


図-14 多並列シリアル伝送向け CDR

ク信号の精度が悪くなる課題がある。多並列シリアル伝送では、その適用先の多くが伝送距離が数m以下のチップ間通信であるため伝送中での伝送データの揺らぎが小さく、抽出クロック信号のジッタへの要求がそれほど高くないため、ある程度のクロック信号の精度の悪化を犠牲にしても小面積性能に優先度を置く場合が多く、PI型やゲートドVCO型CDRが広く用いられている。

図-15にPLL型、PI型、ゲートドVCO型CDRの特徴をまとめる。それぞれのCDRでは電力、面積、クロック精度、多並列への適性で優位点に分かれており、適用するアプリケーションに応じてCDRを使い分けが必要である。たとえば、光通信や基幹系通信のように抽出クロック信号の精度が強く求められる場合は、クロック信号の精度が高いPLL型CDRが有効であり、多並列伝送のように小面積を最優先とし、ある程度クロック精度を犠牲にできる場合はPI型CDRが有効である。

高速シリアル入出力回路技術

半導体技術の進展に伴い、チップ内部の動作速度はGHzを超え、伝送データ速度もGHzを超えるほどの高速動作が可能となってきている。しかしながら、チップ外部の伝送路に関しては半導体のような能動素子が用いられず受動素子で構成されること、装置の大きさやチップを搭載するプリント基板の大きさがほとんど変わらないことなどから、伝送されるデータ信号をチップの動作速度の高速化に比例するように高速化するのは非常に困難である。この原因は、伝送データ速度が高速になると伝送媒体での伝送減衰に起因した伝送データの歪みが大きくなるからである。たとえば、5Gbpsを超える速度の

アーキテクチャ	電力	面積	精度	多ch	ブロック図
PLL 型	Good -50 mW	Poor -0.1 mm ²	Good 周波数&位相 共に制御	Poor エリア ペナルティ	
位相補間型 (PI型)	Fair -150 mW	Fair -0.05 mm ²	Fair 位相のみ 制御	Good 高精度 クロック分配	
ゲートドVCO 型	Good -50 mW	Good -0.02 mm ²	Poor 送信データの ジッタが転写	Fair ジッタ 大	

図-15 CDR まとめ

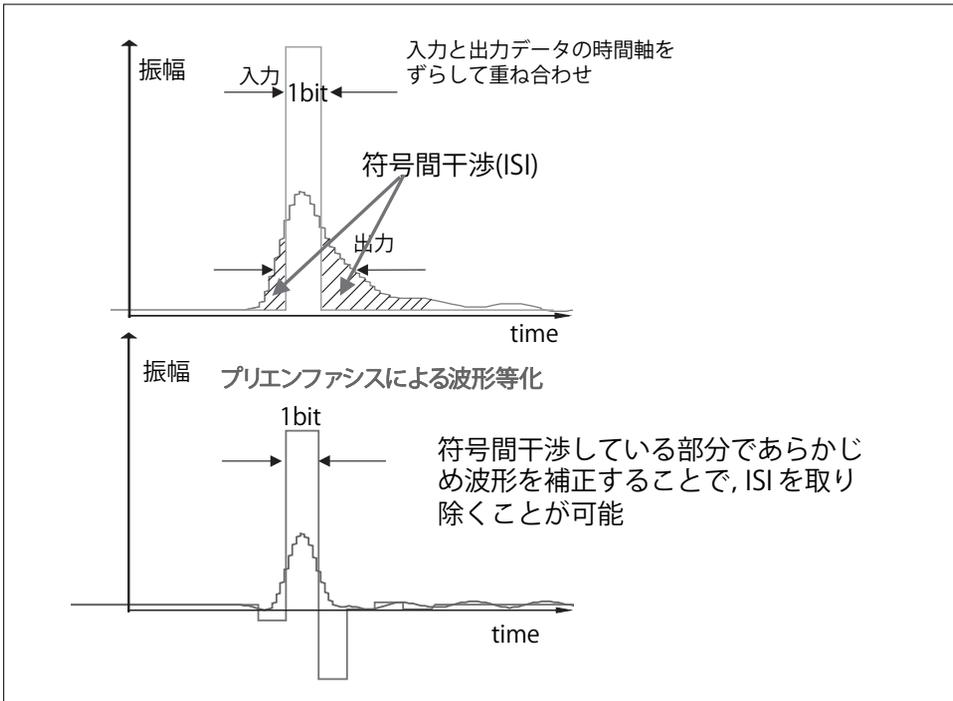


図-16 符号間干渉とプリエンファシスによるイコライズ

データをプリントボード上の数10cmの伝送路で伝送した場合、受信チップで受信されるデータ振幅は、送信チップから出力された信号振幅の1/10以下まで減衰してしまう場合がある。このような信号減衰の原因とその対策であるイコライズ技術と多値伝送技術を示す。

■信号減衰とイコライズ技術

伝送媒体での信号減衰の原因は、表皮効果による抵抗損失と伝送路を構成する誘電体の誘電損失に大別される。抵抗損失は \sqrt{f} (f : 伝送周波数) に比例し、誘電損失は f に比例する。加えて、伝送データがランダムデータの場合、伝送データには低周波から高周波までの周波数成分を含んでいるため、伝送データを構成する各周波数成分で減衰差や位相差が生じる。これを、伝送データの前後への波形干渉、すなわち符号間干渉 (ISI) と呼ぶ。

ISIの例を図-16に示す。上図には単一ビットをある減衰特性を持つ伝送路で送信した場合の受信端での受信波形を示している。伝送データが前後に染み出し(干渉し)、前後のビットではその干渉したデータがノイズのように

振る舞う。その結果、ISIが大きくなるような高速データ伝送下では正確なデータ伝送ができない。

このような伝送データの高速化に伴って顕在化するISIの影響を補償するのが、イコライズ技術である。イコライズは送信側で行うプリエンファシスと受信側で行うポストイコライズとに大別される。送信側のイコライズであるプリエンファシスの例を図-16の下図に示す⁸⁾。プリエンファシスとは、伝送路で引き起こされるISIの影響を予測して、送信側であらかじめ送信波形を補正して伝送する技術である。プリエンファシス技術を用いることで、受信端での伝送波形の幅は1ビット幅に抑えられ、前後のビットへのデータ干渉を抑制できる。図-17にプリエンファシスによるイコライズの例を示す。送信データの遷移点でデータ遷移を強調するようにプリエンファシスをかけることで受信端でのエラーがなく送信が可能となることが分かる。一方、プリエンファシスをかけない場合は、送信データパターンに応じてISIの影響が現れ、受信端でのデータ受信が正確に行われない場合があることが分かる。

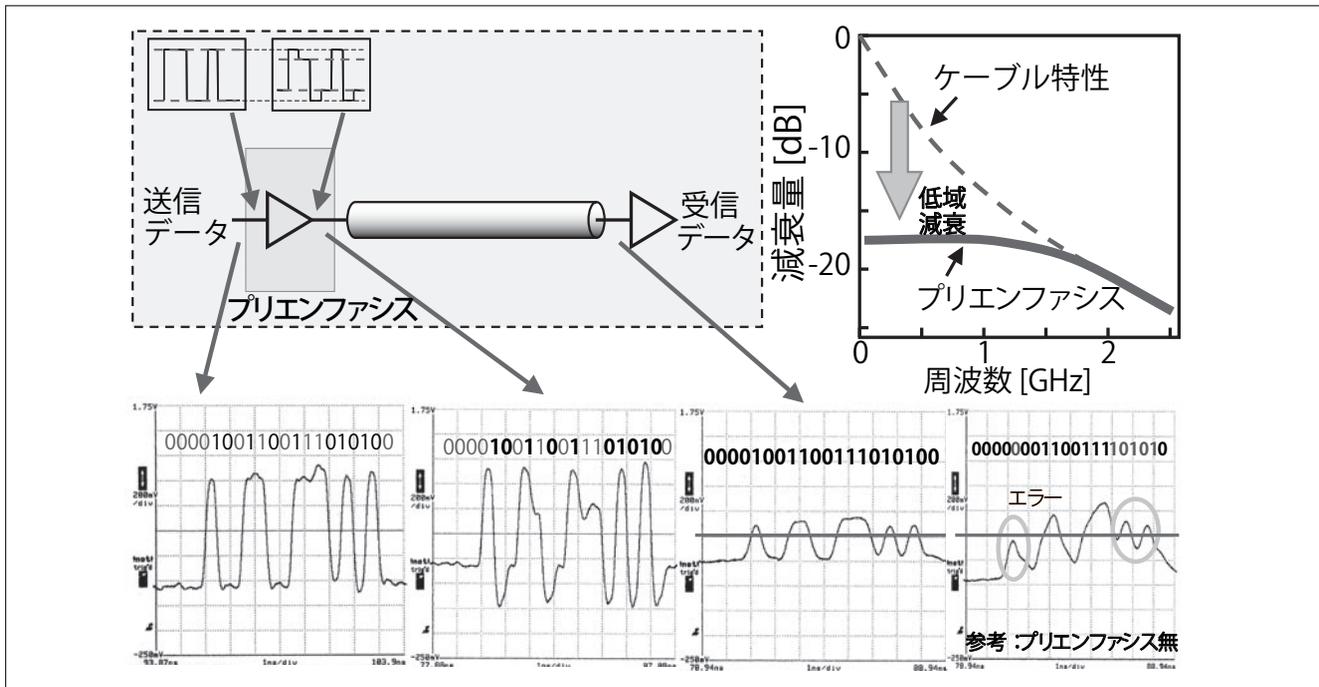


図-17 プリエンファシスによるイコライズの例

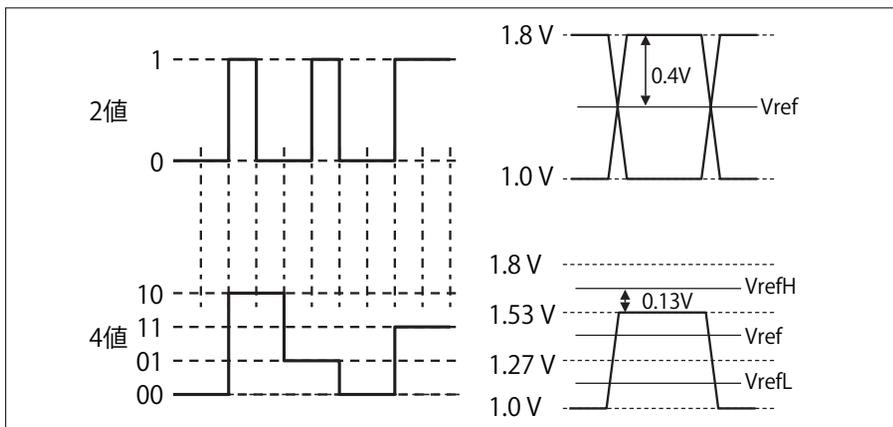


図-18 2値伝送と多値（4値）伝送の比較

■多値伝送技術

一方イコライズ技術だけでなく、高速化を可能とするインタフェース技術として開発されているのが多値伝送である。多値伝送とは、従来の2値（NRZ：No Return to Zero）伝送では1データ幅に1ビットのデータ（0または1）を電圧方向に割り当てて伝送していたのに対して、1データ幅に多ビットのデータ（たとえば2ビット、4値伝送の場合は、0、1、2、3）を電圧方向に割り当てて伝送するものである（図-18）⁹⁾。2値伝送と同等なデータ量を伝送する場合、たとえば4値伝送であれば、1データ幅を2倍に、すなわち伝送レートを1/2に低減することができる。したがって、高速化とともに顕在化するISIの影響を受けずに、またはISIが小さい中での伝送が可能となる。しかしながら、4値伝送では伝送信号の電圧振幅が2値伝送の1/3となり、信号の読み取りマージンが低下する。そのため、2値伝送と4値伝送のどちらが

有利かは、一概には決定できず、伝送路の特性に依存する。伝送路減衰の周波数依存性が小さい場合は、4値伝送に比べ2倍の速度が必要な2値伝送における信号減衰よりも、4値伝送の伝送信号の電圧方向幅が1/3となる信号減少効果のほうが大きいいため、2値伝送が有利である。一方、伝送路減衰の周波数依存性が大きい場合は、4値伝送が有利となる。

また、4値伝送の場合、隣り合う信号伝送路からの信号漏話（クロストーク）や反射によるノイズの影響は2値伝送に比べて大きくなる。これは、4値伝送に含まれる信号遷移で最大なものは0から3などに遷移する場合で、この遷移の大きさは信号振幅の3倍となるのに対し、2値伝送の場合は、信号遷移の最大幅と信号振幅の大きさが同一だからである。したがって、4値伝送ではクロストークや反射によるノイズの影響が2値伝送に比べて3倍大きくなる。すなわち、4値伝送ではSN比が2値伝

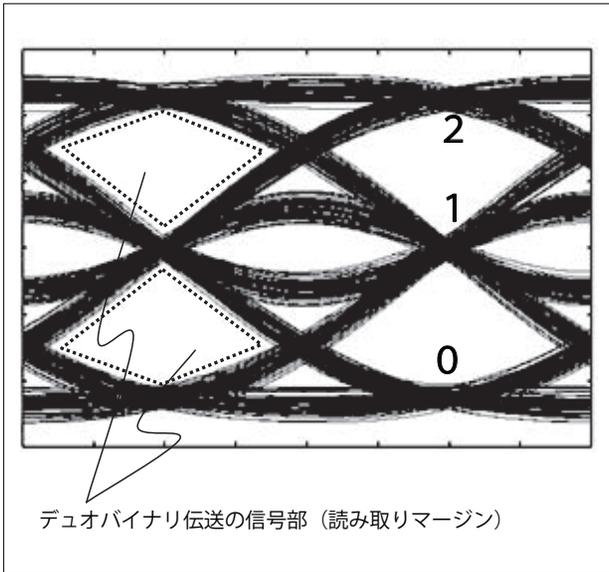


図-19 デュオバイナリ伝送の受信波形

送に比べ悪化してしまう。そこで、4値伝送でのノイズ対策として、最大遷移を0から2までと制限するなどの工夫がとられることが多い。しかしながら、このような遷移の制限は実効的な伝送レートを低下させてしまう。

一方、高速化で顕在化するISIを積極的に利用する伝送方法、たとえばデュオバイナリ伝送なども開発され始めている¹⁰⁾。デュオバイナリ伝送とは、従来の2値伝送では完全に補償する必要があったISIのうち、隣り合うビットからの干渉を許容することで完全なイコライズを不要にしたものである(図-19)。隣り合うビットからの干渉を許容したため、デュオバイナリ伝送の受信データは3値データとなる。たとえば、(前のデータ) + 今のデータ = 受信データ とすれば、(0) + 0 = 0、(0) + 1 = 1、(1) + 0 = 1、(1) + 1 = 2となる。またデュオバイナリ伝送では2値伝送と同一のデータ量を伝送する場合、その伝送周波数は2値伝送に対して2/3となる。その結果、たとえば、2値伝送で10Gbpsのデータ伝送を行うためには伝送路は10Gbpsの周波数成分である5GHzの帯域が必要であるのに対して、デュオバイナリ伝送で10Gbpsの伝送を行うには2/3の約3.3GHzの帯域の伝送路での伝送が可能となる。

以上示したように、伝送周波数と伝送路減衰に応じて2値、4値、デュオバイナリ伝送で優位性が得られる伝送方式が異なるため、伝送周波数と伝送路減衰特性を考慮した最適な伝送方式を選択する必要がある。現状のサーバやルータなどでは、2値伝送が広く用いられ、4値やデュオバイナリ伝送はほとんど用いられていない。今後、伝送速度が高速化され、プリントボードやケーブルなどの伝送媒体での減衰が顕著になった場合、装置に用いられてきた伝送媒体をそのままに伝送速度を向上さ

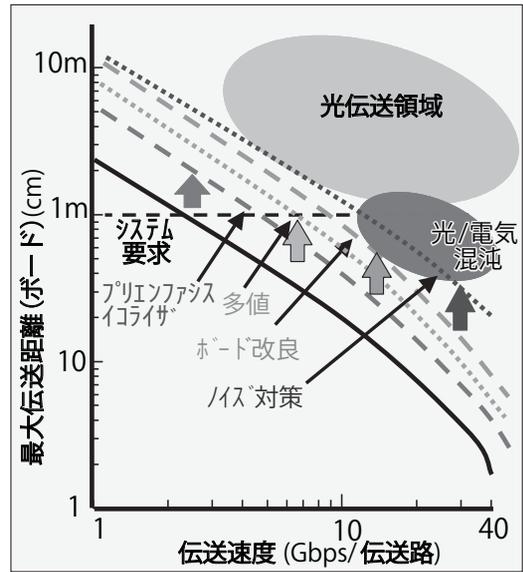


図-20 高速インターフェース技術の変遷と特徴

せる伝送手段として、4値やデュオバイナリ伝送が1つの有力な候補となってくるであろう。

高速I/Oの今後の課題

以上説明したように、高速インターフェースではクロック伝送(CDR)、イコライズ技術(プリエンファシスなど)、多値(4値、デュオバイナリ伝送)などの技術開発により高速化を達成し、現在では1伝送路あたり10Gbpsを超えるほどの速度で伝送が可能となってきている。図-20に伝送距離と伝送速度の関係を、開発技術によりどれほどの改善が見込まれるかに注目して示した。高速インターフェースを適用するシステムからの伝送距離に求められる要求を1mとした場合、通常の2値伝送では2Gbps程度であった伝送速度は、プリエンファシスなどのイコライズ技術により5Gbps程度まで高速化され、さらに多値伝送技術により8Gbps程度までの高速化が可能となる。今後、さらなる高速化を実現するためには、伝送路減衰の改善を目指したボードなどの伝送路の改良、高速化で顕在化するクロストークや反射などのノイズ対策が必要と思われる。それらにより20Gbps弱程度までの高速化がなされると予想される。それ以上の高速化には、電気伝送に替わる光伝送が有望な候補の1つであろう。

一方、高速化と長距離伝送の両立の中で、性能向上やCMOSトランジスタの微細化の進展とともに消費電力も課題の1つとなり始めている。図-21にハイエンド機器とミドルレンジ機器に用いられているLSIのインターフェース部分の消費電力のトレンドを示す。機器の性能向上や素子の微細化とともにインターフェースの高速化により消費電力が急増し、2000年ではハイエンド機器に

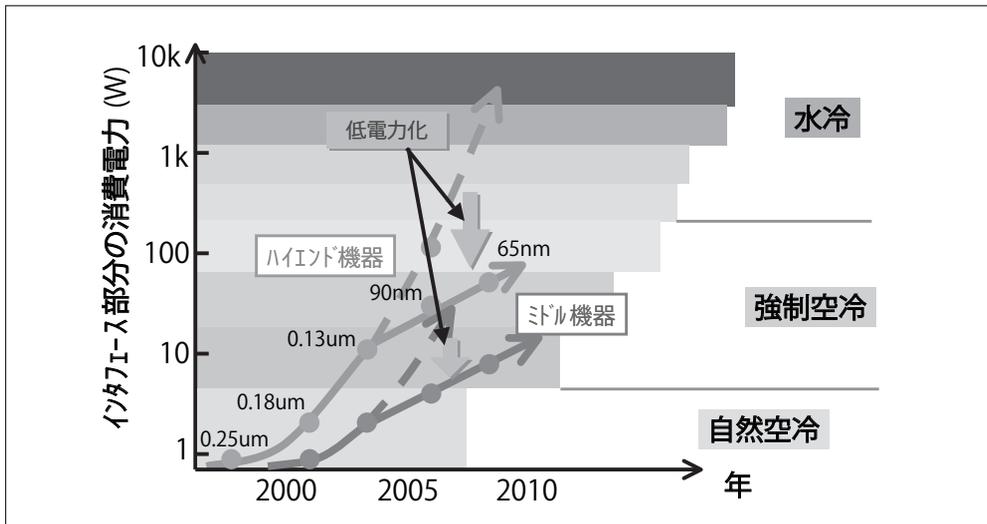


図-21 インタフェース部の電力

て2~3W程度、ミドルレンジ機器にて1W以下であった消費電力が、2005年ではハイエンド機器にて約10~20W、ミドルレンジ機器にて約2~3Wの消費電力に達している。今後2010年には、ハイエンドで50W程度、ミドルレンジでも10W程度にまで達する可能性もある。このような大きな消費電力を持つLSIを冷却するためには、大規模な冷却システムが必要となり、冷却システムの装置に占めるコストや面積の割合が高くなってしまふ。そのため、冷却システムが装置全体の性能を制限してしまう恐れがある。したがって、これまで高速インタフェース技術に求められてきた高速化と長距離伝送化の両立といった課題解決に加え、低電力化を目的とした高速インタフェース技術の開発が急務であると思われる。

まとめ

プロセッサなどのLSIは、チップ内部のクロック信号の高速化や論理回路の高速化技術、チップ外部の高速インタフェース技術の進展が、互いに支えあってGHzを超える速度まで高速化と高性能化を続けてきた。チップ内部の高速論理回路ではゲート段数の削減に加えてドミノ論理や低振幅論理といった高速回路技術が盛んに用いられ、チップ間インタフェースにおいても、クロックレス伝送に加えてチップ外部の伝送路特性を補償するイコライズ技術などが開発・適用され始めている。

今後、プロセッサの高性能化はチップ内部ではマルチコア化、インタフェースではデュオバイナリや光伝送などの新しい信号伝送方式を開発、採用しながら、さらに進展を続けると予想される。GHzプロセッサの開発において残る課題としては、LSI内部およびインタフェース双方に共通して電力問題が挙げられる。プロセッサの消費電力をアプリケーションに応じて抑えつつ、高性能

化をいかに図るかが鍵となる。また、トランジスタの微細化に伴って高集積化を続けるLSIに対して、設計コストの増加を抑えながら大規模プロセッサを実現する手法の構築も必要であろう。

参考文献

- 1) Koren, I. : Computer Arithmetic Algorithms, A K Peters (2002).
- 2) Oklobdzija, V. G., Stojanovic, V. M., Markovic, D. M. and Nedovic, N. M. : Digital System Clocking, Wiley Interscience (2003).
- 3) Rusu, S. and Tam, S. : Clock Generation and Distribution for the First IA-64. Microprocessor, IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.176-177 (Feb. 2000).
- 4) Takahashi, O., Cottier, S., Dhong, S. H., Flachs, B., Hirairi1, K., Hofstee, H. P., Michael, B., Noro, H., Wendel, D. and White, M. : The Power Conscious Synergistic Processor Element of a Cell Processor, IEEE Asian Solid-State Circuits Conference Proceedings of Technical Papers, pp.21-24 (Nov. 2005).
- 5) Clabes, J., Friedrich, J., Sweet, M., DiLullo, J., Chu, S., Plass, D., Dawson, J., Muench, P., Powell, L., Floyd, M., Sinharoy, B., Lee, M., Goulet, M., Wagoner, J., Schwartz, N., Runyon, S., Gorman, G., Restle, P., Kalla, R., McGill, J. and Dodson, S. : Design and Implementation of the POWERSTM Microprocessor, IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.56-57 (Feb. 2004).
- 6) 「ボード設計にダウンサイジングの波 — GHzを超えるために—」, 日経エレクトロニクス, 6-6, No.901, pp.89-113 (2005).
- 7) Fukaishi, M., Nakamura, K., Heiuchi, H., Hirota, Y., Nakazawa, Y., Ikeno, H., Hayama, H. and Yotsuyanagi, M. : A 20-Gb/s CMOS Multichannel Transmitter and Receiver Chip Set for Ultra-High-Resolution Digital Displays, IEEE Journal of Solid-State Circuits, Vol.35, No.11, pp.1611-1618 (Nov. 2000).
- 8) Fiedler, A., Mactaggart, R., Welch, J. and Krishnan, S. : A 1.0625Gbps Transceiver with 2x-Oversampling and Transmit Signal Pre-Emphasis, IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.238-239 (Feb. 1997).
- 9) Farjad-Rad, R., Yang, C-K. k., Horowitz, M. A. and Lee, T. H. : A 0.4-m CMOS 10-Gb/s 4-PAM Pre-Emphasis Serial Link Transmitter, IEEE Journal of Solid-State Circuits, Vol.34, No.5, pp.580-585 (May 1999).
- 10) Yamaguchi, K., Sunaga, K., Kaeriyama, S., Nedachi, T., Takamiya, M., Nose, K., Nakagawa, Y., Sugawara, M. and Fukaishi, M. : 12Gb/s Duobinary Signaling with $\times 2$ Oversampled Edge Equalization, IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.70-71 (Feb. 2005).

(平成 18 年 3 月 13 日受付)