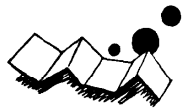
解　説



アートワーク・データとその検証†

吉　田　憲　司††

1. まえがき

集積回路の製造工程では，回路に応じたパターンをシリコン・ウェーハの表面に焼きつける工程が繰り返されるが，その手法としては電子ビーム描画装置（以下ではEBとする）で直接ウェーハ上に描画する方法とあらかじめ作成したマスクのパターンを光，電子ビーム，X線などでウェーハ上に転写する方法とが用いられる．VLSIのマスクの作成にはEBが用いられることが多いが，光学式のパターン作成装置（パターン・ジェネレータ，以下ではPGとする）もLSIのマスク作成に広く用いられている．集積回路の規模が小さかった時代のマスク作成は，手作業で精密な拡大図面を作成し（**アートワーク**と呼ぶ）これを光学的に縮小する方法をとった．このため，PGやEB装置で描画すべきマスクパターン・データは一般に**アートワーク・データ**と呼ばれる．

一般に一つのVLSIのアートワーク・データは数～数十層のパターンよりなり，一層のパターンは図-1に示すような塗りつぶされた閉図形の集合よりなる．一組のアートワーク・データの複雑さは各閉図形の頂点数の総和で表現できるが，たとえば64 Kbダイナミック RAMでは，全体で約百万点，一層当たり数十万点に達する．この数はVLSIの回路規模に比例して，年々増加している．

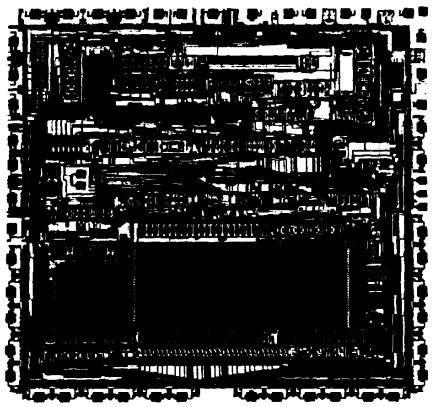


図-1　LSI マスクアートワークのパターンの例

VLSI設計の最終目標は意図した回路特性を，十分な製造歩どまりで実現するための，最適なアートワーク・データを得ることであるが，このため設計過程で次のような処理が必要となる．

i）アートワーク・データの入力……レイアウトが自動設計される場合はアートワーク・データも自動作成されるが，量産品種の場合のように設計の最適化の要求が非常に強い場合は，人手設計あるいは人手による設計の手直しが必要であり[1]，アートワーク・データの入力が必要となる．

ii）アートワーク・データの検証[2]……アートワーク・データ作成に人手作業が入っていると誤りはさけられないが，VLSIの大規模なデータに対しては目視による完全な検証は不可能で，計算機による検証の自動化が必要である．

iii）その他の処理……検図用の各種プロッタ，あるいはマスク製造用のPGやEBの入力データに変換する処理が必要である．さらに，製造条件に最適合させるために各種のパターン補正を行うことがある．

以上の各処理は比較的単純な処理であるが，VLSIの場合はデータ量が膨大であるため計算時間が問題となる．たとえば，$O(n^2)$ の時間複雑度の算法では実用にならず，$O(n)$ に近い算法が必要である．ここで n はパターンの複雑さを表わす．

本文では上に述べた各データ処理の現状と問題点について述べる．

2. アートワーク・データの入力

2.1 インタラクティブ設計システム

アートワーク・データの入力には，ディジタイザあ

† LSI Artwork Data and its Verification by Kenji YOSHIDA (Toshiba Corporation, Semiconductor Division).

†† 東京芝浦電気(株)半導体事業部

表-1 スタンドアロン型インタラクティブ設計装置の例[3),4)]

	A 社	B 社
CPU	ECLIPSE-S 230	PDP 11/34
メモリ（最大）	256 kW	112 kW
ディスク（〃）	300 MB×4	200 MB×4
ディスプレイ		
ストレージ型	19″	19″
白黒リフレッシュ型	19″（ベクタ・メモリ付）	21″
カラーリフレッシュ型	19″	19″
ディジタイザ	76″×58″	同左
データベース		
データ語長	32 bit	32 bit
層 数	64	256
基本図形データ	多角形，パス，アレイ，テキスト，セル等	同左，ほかに円弧，ストレッチブル・セル
セルネスティング	10 レベル	32 レベル
コマンド		
数	340	ほぼ同程度
入力法	キー，メニュ	同左，シンボル入力
デザインルール・チェック		
基本チェック機能	幅，間隔面積	同様のもの計画中
論理演算	OR，AND，SUB，XOR 太め/細め	同様のもの計画中
出力	各種プロッタ，PG，EB	同左
ユーザ言語	有	有
自動配置・配線	無	無
シンボリック設計	計画中	同左

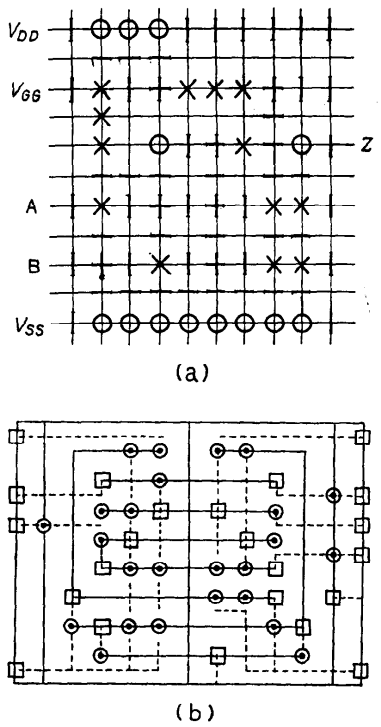


図-2 シンボリック設計の例

るいはタブレットが一般に用いられる．前者は 0.5 mm～1 mm 単位で A 1 程度のグラフ用紙に正確に描かれた図面をオペレータの操作により読み取るものである．最近は，ミニコンピュータにディジタイザまたはタブレットとグラフィック・ディスプレイの対を複数組接続し，必要なソフトウェアを備えた，スタンドアロン型のインタラクティブ設計システムと呼ばれるものが市販され，普及している．最近のシステムは VLSI に対処するため，データ精度，データ量，処理速度などの点で機能向上が図られ，単に入力のみでなく，3. や 4. で述べる各種のアートワーク・データ処理機能も備えている．表-1 は代表的なシステムの主な仕様をまとめたものである[3),4)]．

インタラクティブ設計システムのデータ構造は一般に単純で，各層に所属する単位図形の集りである．ただし，これら単位図形の集合であるセル（またはブロック）が定義でき，セルの中にセルが含まれるといったネスティング (nesting) も一般に許されている．これにより，繰り返しの多いパターンのデータ量削減が実現できる．

2.2 シンボリック設計

入力すべきデータ量を減らすため，シンボルを使ってアートワークを簡単に表現する方法であり，図-2 に示すような二通りに分かれる．一方は格子上の記号のみで表現する方法であり[5)]，パターンの自由度が少なくなるが，キーボードのみで入力可能である．他方は STICK ダイアグラムとも呼ばれ[6)]，記号と配線中心線で表現する．いずれの手法でも設計（図面作成）およびディジタイズ（入力）の省力化が実現できる．

これらの設計手法のためのデータ処理としては，シンボリック図データを最終的なアートワーク・データに変換するプログラムが必要である．シンボルをあらかじめ登録されたパターンに置きかえ，配線の幅づけを行う機能のほか，3.1 で述べる論理演算などの基本処理を組み合わせることにより実現できる．

シンボリック設計において，設計者が大ざっぱに設計したものを，デザイン・ルールの許すかぎりコンパクトに自動的に圧縮する算法が提案されている[7)]．図-3 に示すようにチップ領域を完全に横切る一定の幅のデッド・ゾーンを見出し，その一方の側を平行移動することにより圧縮する．これを X 軸方向，Y 軸方向に交互に繰り返す．現在のところ計算複雑度は

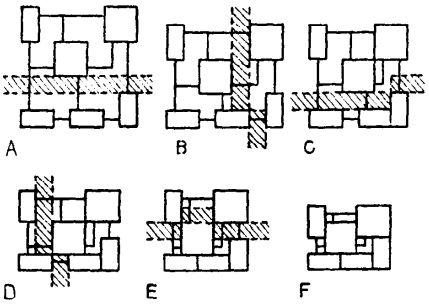


図-3　パターン圧縮の手法[7]

$O(n^{1.5})$ と言われている．

3. アートワーク・データの検証

アートワーク・データには各種の設計ミスや入力ミスが含まれる．これらのミスの内容に対応して心要な検査項目は次の三つに大別することができる[2]．

i）**幾何学的検査（デザイン・ルール・チェック）**……パターンの最小幅や最小間隔のように，製造プロセスにより定められた設計規則（デザイン・ルール）があるが，これに対する違反を検出する．

ii）**回路接続の検査**……回路素子や配線の誤りや欠落など回路接続構造の検査をする．

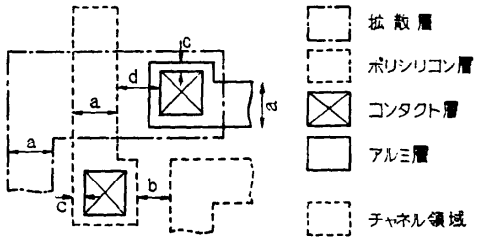
iii）**電気的特性の検査**……そのアートワーク・データによって意図した電気的特性が実現されるかどうか検査する．

以上の三種のうち幾何学的検査はパターンの幾何学的性質のみに基づいて行うことができるのに対し，後の二者はパターンの回路としての意味を認識することによって始めて可能となる．自動設計システムなどではパターンとその回路的意味が対応づけられているが，一般に，アートワーク・データとしては，純粋に幾何学的なデータしか与えられない．ここではこのようなデータに対する検査手法について述べる．

3.1 幾何学的検査

図-4 は LSI パターンの設計規則の一例を示しているが，製造プロセスにより検査項目は異なる．一般に**図-5** に示すような図形演算機能と検査機能を用意しておき，これらを組み合わせることにより，製造プロセスに応じて各種の検査処理を実現する[8],[9]．

VLSI の検査における問題点は，処理時間と擬似エラーであり，これらはいずれも膨大なデータ量に起因する．擬似エラーとは実際にはエラーでないものが処理プログラムの制限のためにエラーと認識されること



a：最小幅　b：最小間隔　c：包含関係　d：排他関係

図-4　設計規則の例

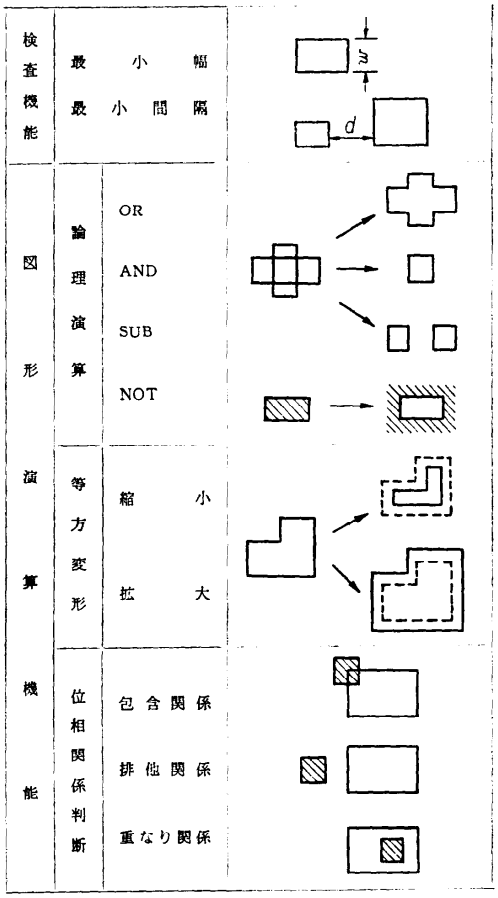


図-5　検査機能と図形演算機能

をさす．プログラムで処理できる，一つの閉図形の頂点数に制限を設けねばならないことに起因することが多い．処理時間に関しては次項で述べるように $O(n)$ に近い処理算法が種々提案されているが，今後の回路規模の増大を考えるとさらに短縮が必要であろう．

3.2 図形処理算法

大量の図形データに対して処理時間を短くするためには，無駄な比較を省略し隣接する図形の組を効率よく列挙する手法が重要である．以下の手法が用いられている[10),11)]．

ⅰ）**単純総当たり法**……すべての二図形を総当たり式に調べる方法で，図形数 n に対し $O(n^2)$ の手数が必要で，ごく小規模のデータにしか有効でない．

ⅱ）**領域分割法**……チップを複数（M とする）の領域に分割する方法で，一つの領域内で総当たりとすると $O(n^2/M)$ の手数となる．M を n に比例して大きくできれば $O(n)$ に近づけられるが，M が大きくなると領域に分割する処理が $O(n)$ ですまなくなる．また処理すべき機能によっては領域境界付近の図形と他の領域の図形との関係について特別の考慮が必要となる．

ⅲ）**スキャン法（ワークリスト法）**[8),10)]……すべての図形をあらかじめ x および y 座標でソートしておき，これを順次とり出してワークリストに入れ，**図-6** に示すように同じ x 座標（X_c）を共有する図形群の中で関係を調べる．最悪の場合 $O(n^{1.5})$ の手数が必要であるが，ワークリストの処理を高速化することにより，実際的なデータ量範囲で $O(n^{1.2})$ 程度の実測結果がある．

ⅳ）**スリット法**[11)]……**図-7** に示すように，頂点や交点の x（または y）座標により，全体を多数のスリットに分け，さらに各スリット内のデータ（線分）を y（または x）座標でソートし，隣接するもの同志を順次調べる方法である．ⅱ）と同様隣のスリットに属する図形との関係について考慮が必要であるが，実際的なデータ量の範囲で $O(n)$ に近い実測値が発表されている．

ⅴ）**ビット・マップ法**……領域をメッシュに分け，

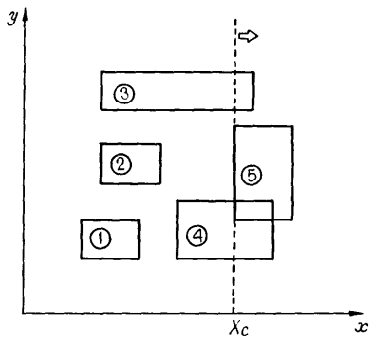


図-6 ワークリスト法

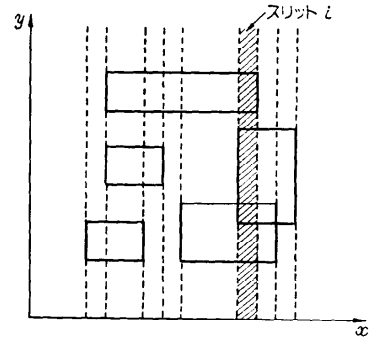


図-7 スリット法

各メッシュ点に1ビットを対応させたビット・マップを作り，これによって各種の演算を行う．大量のメモリ領域を必要とするので，可変格子を用いる方法，階層的ビット・パターンを用いる方法[12)]など各種の工夫がある．この方法はメモリ領域の問題のほか斜め図形の処理に問題があるが，演算自体は簡単であり，また n とメッシュ数が比例するとすると $O(n)$ の処理時間である．さらに，将来専用のハードウェアが開発される可能性もある．

また，二図形の論理演算などの処理の算法についても種々の工夫がある[13)]．

3.3 回路抽出[14)]

一般的なアートワーク・データに対して，回路接続あるいは電気的特性の検査を行うためには，まず回路素子とその相互接続を認識する必要がある．

ⅰ）回路素子の認識

回路素子は複数の層のパターンの組み合わせで決まるものであるから，いくつかの層のパターンの図形演算処理を組み合わせることによって抽出することができる．たとえば，シリコン・ゲート MOS プロセスで

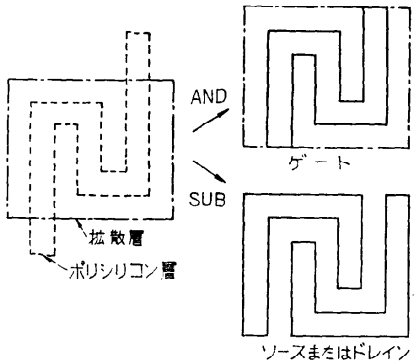


図-8 トランジスタ抽出の例

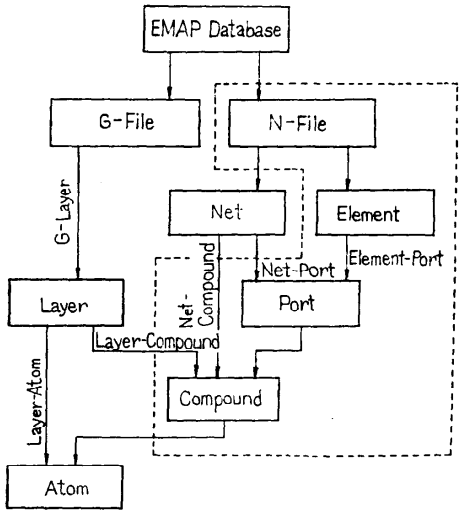


図-9 アートワーク解析システムのデータベース例[14]

は図-8に示すように，“拡散層”と“ポリシリコン層”の共通部分 (AND) をとり出すことによりトランジスタのゲートが抽出でき，また“拡散層”から“ポリシリコン層”との重なり部分を除去 (SUB) することによりソース／ドレイン領域が抽出できる．また，バイポーラ・プロセスの場合は，各層パターンの包含関係によってトランジスタおよびその各端子を認識することができる[15]．

ii）素子間相互接続の認識

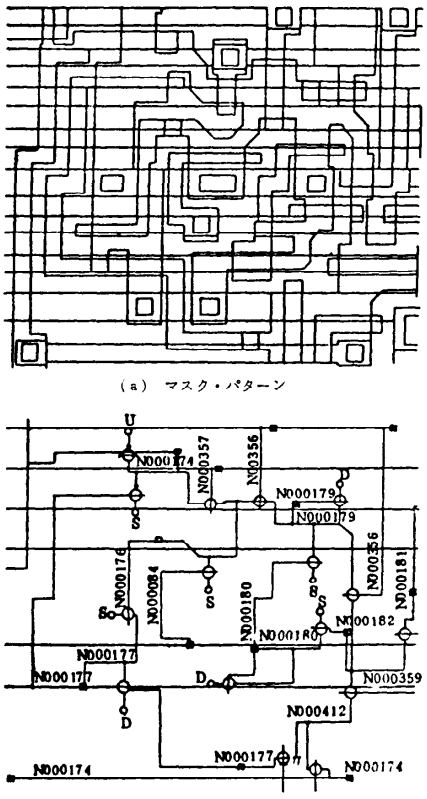
素子間相互接続は通常2ないし3層の配線パターンとそれらの層間接続用のコンタクト・ホールとによって実現されている．相互接続を認識するためには，各層配線，素子の端子およびコンタクト・ホールの各パターンの重なり関係を調べ，互いに重なりを持つパターンは同一ネット(同電位部分)によって接続されていると認識される．

抽出された回路接続情報は，以下に述べる検査処理で使いやすいような形で格納しておくことが望ましい．このためのデータ・ベースの一例を図-9に示す[14]．

以上の回路抽出の処理は基本的には 4.2 に述べた処理の組み合わせであり，したがって処理の時間複雑度としては $O(n^{1-1.2})$ 程度が実現されている．

3.4 回路図の描画

抽出された回路情報をわかりやすい形に出力するためプロッタで回路図を描くことが必要であるが，これは一種の配置配線問題である．設計者が描く回路図に近い形で描く方法[16]ともとのマスク・パターンのレイアウトに対応する形で描く方法[14]とがある．前者は電源線の位置，回路の対称性，信号の伝達方向などを考慮して素子の配置を決める方法であり，回路の意味の読み取りに便利であるが図面が大きくなる．後者は，もとのアートワークで素子が存在した位置に素子記号を描き配線マスパターンの閉図形領域内で，回路図の配線を行う．これにより配置配線問題を局所的な問題に帰着できる．図-10はこの手法で描いた回路図ともとのマスク・パターンの一例を示している[14]．



(a) マスク・パターン

(b) 回 路 図

図-10 マスク・パターンと抽出した回路図[14]

3.5 回路接続の検査

抽出された回路接続が正しいかどうかを検査する手段として次の手法が考えられている．

i）接続規則違反のチェック

接続ミスの初歩的なもの，たとえば電源やグランドに電流経路を持たない素子，次段へ入力しない信号線などは，基本的な“接続規則”を設定しこれに違反するかどうかという形で検査できる．この種の検査は比較的局部的な探索ですむので処理時間は $O(n)$ でよ

い．しかし初歩的ミスの検出に限られ，完全な検査は期待できない．

ⅱ）論理シミュレーションによる検査

回路の論理機能が正しければミスはないという考えであり，パターン設計の過程で回路の等価変換が行われている場合も対処できる．この方法の問題点としては，抽出されたトランジスタ・レベルの回路から論理ゲート・レベルの回路への変換の問題と論理シミュレーション自体の問題とがある．論理ゲートの抽出は，たとえばMOS回路ではトランジスタのゲート入力が論理ゲートの入力となることなどの特徴を利用して，回路を部分回路に分割した後各部分回路の論理機能を解析する手法がとられる[18]．

シミュレーション自体の問題としては，十分なテスト系列をいかにして得るかということと，それに対するシミュレーションに要する計算機時間とがある．しかしながら，実用的な処理時間の範囲内でもⅰ）に比べて十分大きなミス検出率が期待できる．

ⅲ）正しい回路接続情報との直接比較

アートワーク・データから抽出した接続情報をもとの正しい接続情報と比較できれば完全な検査が期待できる．この手法の問題点としては，二つの接続情報のレベル合わせの問題と回路網の同型判定の問題とがある．後者については，アートワーク・データ中に素子名などを与えておいて比較する例が報告されているが[17]，一般的にはグラフの同型判定問題として定式化される．この問題は多項式オーダの手数で解くことのできる算法が知られていないが，部分的な一対一対応を与えることにより $O(n)$ で判定できる算法が提案されている[19]．

3.6 電気的特性の検査

一般に行われる手法としては，アートワーク・データおよびプロセス・パラメータから回路解析に必要な回路パラメータを算出し，回路解析を実行させる．能動素子については解析に用いられる素子モデルのパラメータを，また抵抗や容量についてはそれらの値を，それぞれ適当な近似算法で計算する．複雑な形状の抵抗値を正確に計算するための算法も種々提案されている[20)~22)]．また，回路特性に影響を及ぼす寄生素子も必要に応じて考慮に入れる．

現在の回路解析プログラムは扱える回路規模が小さいので，処理すべき部分回路を切り出さねばならない．別の手段として，タイミング・シミュレータや回路遅れを含む論理シミュレータが用いられることもある．

4. その他のアートワーク・データ処理

その他のアートワーク・データ処理の主要なものとしては自動製図機用データへの変換処理がある．VLSIに用いられる製図機としては，**表-2**に示すように検図用製図機とマスク描画用装置とに分けられる．

ⅰ）検図用製図機

ベクター方式プロッタは描画時間が図形の複雑さに比例することから今後VLSIには適さなくなると思われるが，ドット方式プロッタのデータ作成にはベクター・ドット変換が必要で，処理時間がかかる．ベクター数に大体比例する変換プログラムが装置メーカより提供されているが，今後さらに高速化が必要であろう．

ⅱ）パターン・ジェネレータ

PGは**図-11**に示すように，5個のパラメータで表現される矩形を単位図形として，マスク・パターンを形成する装置である．したがって，このためのデータ変換では，任意形状の閉図形を矩形に分割する処理が必要である．ただし，矩形の重なりは許される．矩形分割の基本算法の発表もあるが[13]，斜めを含む任意図形の分割に対して最適に分割する算法の発表は見当たらず，ソフト供給各社のノウハウとなっている．

ⅲ）電子ビーム描画装置

EBにはベクター・スキャン型とラスター・スキャ

表-2 VLSI アートワーク処理用製図機

検図用	ベクター式…ペンプロッタ ドット式…{静電プロッタ インクジェットプロッタ（カラー）
マスク作成用	光学式……パターン・ジェネレータ 電子ビーム式…{ラスター・スキャン方式 ベクター・スキャン方式

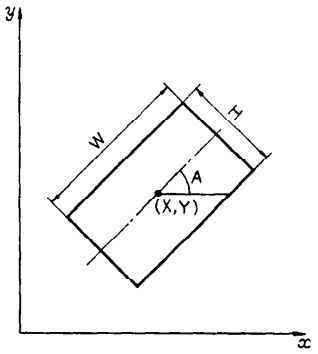


図-11 PG の基本図形

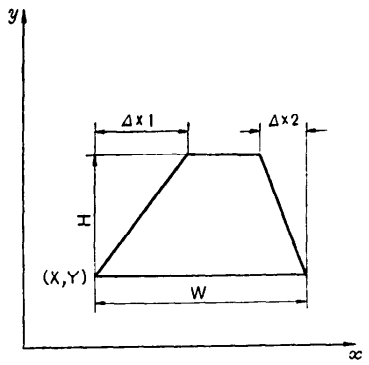


図-12 EB の基本図形の例

ン型とがあるが，いずれにしろ入力データ形式としては，図-12に示すような台形を単位図形とした形式が多い．任意閉図形を台形に分割する算法は基本的には矩形分割と同様である．EB 用データ変換の特別の処理としては，そのほかに，

a）量子化誤差の処理

b）データ圧縮

c）データ補正

が行われることがある．a）は装置で用いられるビーム径が精度の割に大きく，1ドットの誤差が無視できないことが多いため，装置での台形・ドット変換の算法を考慮に入れて誤差処理をあらかじめ行うものである．b）は装置で転送すべきデータ量を減らすために，データの重なり除去やデータの規則性を利用して行われる[24]．さらにc）は 1μ 前後の微細なパターンを描画する場合に，装置の座標歪みやビーム間の干渉によって起こる近接効果などに対するデータ補正である[23]．これらの処理はいずれも長い計算機時間を要する．

5. むすび

VLSI のアートワーク・データに対する各種処理について述べた．共通する問題点は膨大なデータ量による処理時間であり，回路規模の年々の増大により問題はますます深刻化すると考えられる．ほとんどの処理は $O(n)$ ないしは $O(n \log n)$ の算法が用いられているにもかかわらずさらに高速化が要求される．本来二次元的なデータ処理を一次元的な計算機で処理することによる無理があり，このような処理により適したハードウェアの開発が待たれる．すでにこのような動きがあることに注目したい[12]．また，マン・マシン・インタフェースについても，音声入出力，図面自動入力など新しいハードウェアの実用化を期待したい．

参考文献

1) 吉田憲司：LSI のレイアウト設計，信学誌，Vol. 61, No. 5, p. 737 (1978).

2) 吉田憲司，三橋 隆：LSI レイアウト設計の検査技術，昭 54 連合大会，p. 4-85 (1979).

3) Calma: CHIPS GDS-II Product Specification Rel. 3 (1980).

4) 丸紅エレクトロニクス(株)：APPLICON GRAPHIC SYSTEM 概説書 (1980).

5) Gibson, D. and Nance, S.: SLIC-Symbolic Layout of Integrated Circuits, Proc. 13th DA Conf. p. 434 (1976).

6) Williams, J. D.: STICKS-A Graphical Compiler For High Level LSI Design, NCC, p. 289 (1978).

7) Dunlop, A. E.: Integrated Circuit Mask Compaction, Computer-Aided Design, Vol. 10, No. 6, p. 387 (1978).

8) Yoshida, K. et al.: A Layout Checking System For Large Scale Integrated Circuits, Proc. 14th DA Conf., p. 322 (1977).

9) Alexander, D.: A Technology Independent Design Rule Checker, Proc. 3rd USA-Japan Computer, Conf., p. 412 (1978).

10) Baird, H. S.: Fast Algorithms for LSI Artwork Analysis, Proc. 14th DA Conf., p. 303 (1977).

11) 築添 明他：マスクパターンの図形演算手法，情処学会電子装置設計技術研資，3-2 (1979).

12) Wilmore, J. A.: A Hierarchical Bit-Map Format For the Representation of IC Mask Data, Proc. 17th DA Conf., p. 585 (1980).

13) 西出 雅他：LSI アートワーク・データの図形論理演算処理の一手法，信学技報，CST 78-126 (1979).

14) Mitsuhashi, T. et al.: An Integrated Mask Artwork Analysis System, Proc. 17th DA Conf., p. 277 (1980).

15) Chang, C. S.: LSI Layout Checking Using Bipolar Device Recognition Technique, Proc. 16th DA Conf., p. 88 (1979).

16) 西口信行他：LSI 回路図復元アルゴリズム，信学回路とシステム研資，CAS 80-75 (1980).

17) Kishimoto, A. et al.: An Interconnection Check Algorithm for Mask Pattern, 1979 ISCAS Proc., p. 478 (1979).

18) 今藤一行他：LSI マスク・レイアウト図論理照査システム—PALLEQ，三菱電機技報，Vol. 54, No. 12, p. 825 (1980).

19) 久保 登他：グラフ間の同形判定アルゴリズムにおける効率化について，信学論誌，Vol. J 61-A, No. 11, p. 1099 (1978).

20) Ozaki, T. et al.: PANAMAP-1: A Mask Pattern Analysis Program for IC/LSI, Proc. ISCAS, p. 1020 (1980).
21) Yoshimura, H. et al.: An Algorithm for Resistance Calculation from IC Mask Pattern Information, 1979 ISCAS Proc., p. 478 (1979).
22) 三橋 隆，小室勝夫：IC マスク情報からの抵抗値計算法，昭 55 情処学会全大，4 E-3 (1980).
23) Sugiyama, N.: Software for Electron-Beam VLSI Lithography, Proc. ICCC, p. 552 (1980).
24) Grobman, W. D.: An Overview of Pattern Data Preparation for Vector Scan Electron Beam Lithography, Proc. ICCC, p. 558 (1980).

(昭和 56 年 4 月 6 日受付)