

解 説

半 導 体 電 子 回 路 解 析†



西 出 雅†† 可 児 賢 二††

1. は し が き

1960年代の始め頃より、半導体素子のような非線形要素を含む電子回路の電氣的振舞いをシミュレートする汎用電子回路解析プログラム開発・改良が多くの人の努力により進められてきている。この間、集積回路(以下 IC と略す)の性能(集積規模、密度、速度、消費電力など)は、SSI、MSI、LSI と呼ばれるように急速に向上して、今日 VLSI と呼ばれる時代をむかえている。VLSI というとき、その意味するところは必ずしも明確でないが、習慣的には、具体的製品でいうと、メモリ用の IC では 64 K ビット相当ぐらいから、マイクロプロセッサに代表されるランダム・ロジック用の IC では高性能 16 ビットあるいは 32 ビットの CPU 相当ぐらいからで、ひとつのチップの上に作り込まれるトランジスタ、キャパシタなどの回路素子にして十萬個を越えるぐらいからのものを指して言うことが多い。従来と同等の規模のものでも、上記の IC を作る技術、特に製造技術、を使って高密度化し性能を向上させた IC を VLSI と呼ぶこともある。回路解析プログラムの方も、使われている算法の改良、実行させるコンピュータの高性能化によって著しい進歩を遂げていると同時にコンピュータの多様化、周辺技術の進歩、普及などもめざましいものがあり、これらは回路解析プログラムの入力、出力および実行のさせ方に大きな影響を与えてきている。しかしながら、汎用の回路解析プログラムで一度に経済的に取り扱える回路規模は、ひとつの VLSI 全体をとっても被いきれないのが現状である。それゆえ、精度を多少犠牲にして、より大規模な回路を高速で解析するプログラムが開発されている。

以下本文では、VLSI 設計における電子回路解析の役割り、解析の高速処理を可能にしたいいくつかのキー

(タブロー法、スパース行列処理技法、インプリシット積分)、さらに一層の高速シミュレーションを可能にした各種試みおよび最近の話題の 2、3 について、順次述べてみたい。

2. VLSI 設計における電子回路 CAD の役割り

2.1 電子回路 CAD の役割り

電子回路設計の目的は、望みの電氣的仕様を満たすような回路構成(すなわち素子間の接続関係)と素子特性(すなわち抵抗・容量値、トランジスタ・モデルのパラメータ値など)を定めることである。したがって、たとえば論理ゲートの場合、直流特性(入出力特性など)、スイッチング特性(伝搬遅延時間など)、論理機能(AND、OR など)、これらの特性の許容変動、許容消費電力などの電氣的仕様が与えられた時に、使用するデバイスおよびプロセスの制約条件を考慮して、これらの仕様から直接望みの電子回路が自動設計されるのが望ましいが、一般にはそのような手法は確立されていない。また、フィルタなどの簡単な線形回路で古くから行われてきたように¹⁾パラメータ最適化プログラムにより、設計者の定めた回路構成のもとで望みの仕様を満たすような素子値を定めることも、小規模 IC については徐々に行われるようになってきているが、だれでも容易に使えるという状況にはまだなっていない。

通常は、人手による設計結果を電子回路解析プログラムにより性能を評価し、それに基づいて回路構成と素子特性を改善する、という操作を繰り返しながら設計が行われる。ただし、経済的に実行できる電子回路解析プログラムの適用規模は現在のところ約千トランジスタ程度までである。したがって、約十萬個のトランジスタを含む VLSI の場合には、部分回路を電子回路解析プログラムにより詳細に設計したのち、IC 全体については論理シミュレータないしより上位のシミュレータによってその動作を確認することが行われる。

† A Survey of CAD for Electronic Circuit Analysis by Tadahshi NISHIDE and Kenji KANI (Nippon Electric Co., Ltd.).

†† 日本電気(株)集積回路事業部

論理シミュレータは論理信号を電圧、電流などのアナログ量ではなくデジタル量“1”“0”で、時間軸のほうも離散的に取り扱うのが基本になっているので、経済的に実行可能な回路の規模は桁違いに大きい²⁾。

このように、ICの電氣的振舞いを調べようとすると、電子回路解析プログラムは基本的な道具であり、重要な役割りを果たしている。回路設計者のこの道具に対するノウハウの蓄積の度合いが、電子回路設計のレベルを左右していると言っている。

2.2 電子回路解析プログラムの利用目的

VLSI設計の場合、電子回路解析プログラムは主として次の目的で用いられる。

- (i) 複雑な設計結果の確認 (verification).
- (ii) 最適設計案または設計パラメータの選択.
- (iii) 設計しようとする回路の定性的理解による設計指針の確立.

また、以上の目的のため、実物を作る代わりに、デジタル計算機を用いるのは主として次の理由による。

(i) 実物を作る場合と比べ、工数、期間、コストが短縮される。特に設計パラメータの変更が容易に行えることが利点である。

(ii) 実物では調べられない場合がある。たとえば、IC化に伴う寄生容量の影響、故障時の動作、試作前のデバイスを用いたときの特性などである。

2.3 VLSIの電子回路解析における特徴

電子回路解析プログラムは一般の電子回路の設計に用いられるが、特にVLSI設計という立場からの電子回路解析プログラムへの要請について以下に列挙しておく。

(i) 大規模回路の解析が可能なこと。先に述べたように、VLSIの特性確認には十万トランジスタを越える大規模回路解析が経済的に実行できるのが望ましい。そのための試みについては4.で述べる。

(ii) 日常的に使いやすいこと。設計の道具として手軽に利用でき、結果を得るまでの時間(ターン・アラウンド・タイム)が長くないことが望ましい。このため遠隔地のコンピュータを手元で利用できるTSS(Time Sharing System)端末³⁾またはRJE(Remote Job Entry)端末の利用が一般的になってきている。

(iii) 入力記述が容易なこと。回路解析プログラムの入力データ(回路構成と素子特性の記述および解析の指定)の作成が容易なことが望ましい。このためTSS端末での会話形入力データの作成³⁾、回路図面としての入力⁴⁾、階層的記述(部分回路を参照しながら

全体の回路を記述していくこと、マクロ機能とも言われる)などの対策がとられている。

(iv) デバイス(回路素子)・ライブラリが蓄積されていること。言うまでもないことであるが、電子回路解析の結果は、デバイス・モデルの精度によって左右されるので、設計の目的に必要な十分な精度をもつデバイス・モデルを用いねばならない。このため実測との比較により確認された信頼し得るデバイス・モデル・ライブラリを蓄積しておかねばならない。

(v) 変動解析が可能なこと。回路特性の電源、温度、製造ばらつきの影響による変動を取り扱えることが製造歩止まり向上のための適切なパラメータ設定のため重要である。通常これらの機能は汎用電子回路解析プログラムに組み込まれている。

(vi) ステップな回路の解析が安定して行えること。ICの動作は一般に寄生容量の影響を含めて解析する必要があるので、回路中の最大と最小の時定数の比が大きくなる(ステップであると言う)。このようなステップな回路の過渡解析が安定して行えることが必要で、3.で述べるようなインプリシット形の積分手法が用いられている。

(vii) そのほかVLSIでは特に低消費電力化をはかる設計が重要であるので、消費電力計算機能が必要である。これを一步進めて、回路の動作速度を満たす範囲で全体の消費電力を最小にするような各部分回路への電力配分の計算などの試みもなされている⁵⁾。ほかにグラフィック端末ないし自動作画機を利用した出力結果の図形表示、解析結果の再利用、他システムとの入出力データの共通利用などもプログラム機能として欠かせない。

3. 電子回路解析プログラム

前章2.では特にVLSI設計の立場から電子回路CADをながめてきたが、ここではもう少し中味に立ち入って、電子回路解析プログラムの発展の過程、定式化と解析手法の要点、代表的なプログラムの例について述べる。

3.1 電子回路解析プログラム小史

電子回路解析プログラムの発展の過程を振り返ってみると、次の4期に大別できよう。

第1期(1957~1963)フィルタ、等化器などの線形回路を対象とした時期であり、線形回路の伝達関数、周波数特性を計算する線形回路解析プログラムが各種作成された。その多くは作成された組織内での利用に

留まった。

第2期 (1964~1972) 個別部品または小・中規模のICを対象とした時期であり、TAP⁶⁾、ECAP⁷⁾、NET 1⁸⁾などの汎用電子回路解析プログラムが開発され、広く利用されるようになった。

第3期 (1973~1977) ICの大規模化が進み、大規模回路の高速解析が望まれるようになり、これに対処し得るプログラム (たとえばASTAP⁹⁾、SPICE¹⁰⁾) が開発された。この時期のプログラムは次の3.2で述べるような算法を取り入れている。

第4期 (1977~現在) 第3期に開発された手法を使っても、一度に経済的に取り扱える回路規模は、ひとつのVLSI全体をとっても被いきれないことが分かってきた。そこで精度を多少犠牲にしても、より大規模な回路を高速で解析する手法が模索され始めた (4.参照)。

3.2 定式化手法と解法

電気回路網を特徴付ける基本方程式は、キルヒホッフの電流則、電圧則および素子特性とから成っている。今、 b 個の2端子素子から成る回路網を考えれば、各素子の電圧と電流を決めるためには、 $2b$ 個の方程式が必要であるが、このうち b 個の方程式はキルヒホッフの両法則により与えられ、残りの b 個の方程式が素子特性から与えられる。ここで、キルヒホッフの両法則は素子間の接続関係だけから決まり、素子特性は各々の素子の電気的性質だけから決まるものである。

今、接続関係を接続行列 A で表し、 n を節点数、 b を素子枝数、 i_s, v_s, v_a, s を各々枝電流、枝電圧、節点電位、電源を表す列ベクトルとし、線形抵抗特性を $i_s = G v_s$ 、非線形抵抗特性を $i_s = f(v_s)$ とする。また、簡単のために、キャパシタ、インダクタは線形とすれば (非線形の場合取り扱いに注意を要する^{4b)})、回路の動特性を記述する回路方程式は形式的に次の式(1)の形で表現できる。

ここで、係数行列は ± 1 、定数 (G, C, L)、非線形オペレータ (f)、微分オペレータ (d/dt) を要素として含む行列であるが、非0要素の数が全体の要素数に比べて小さい (スパースであると言う) ことから、スパ

$$\begin{pmatrix} \text{キルヒホッフ電流則} \\ \text{キルヒホッフ電圧則} \\ \text{線形抵抗特性} \\ \text{非線形抵抗特性} \\ \text{キャパシタ特性} \\ \text{インダクタ特性} \end{pmatrix} \begin{bmatrix} 0 & A & 0 \\ A^T & 0 & -1 \\ & 1 & -G \\ & 1 & -f \\ 0 & 1 & -C \, d/dt \\ -L \, d/dt & 1 & \end{bmatrix} \begin{bmatrix} v_n \\ i_s \\ v_a \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ S \end{bmatrix} \quad (1)$$

スタブロと呼ばれる¹²⁾。DC解析は式(1)で $d/dt=0$ とした非線形方程式を、AC定常解析は d/dt を微分演算子 $s=j\omega$ で置き換え非線形オペレータを動作点における偏微分係数で置き換えた線形方程式を、過渡解析は微分オペレータを数値積分公式で置き換えた非線形方程式を解くことになる。ここで、非線形方程式を解くことは電気的には抵抗一種素子回路を解くことに相当している²⁾。非線形方程式はニュートン法などの反復解法で解かれるが、そのステップごとにながめれば線形方程式を繰り返し解くことになる。したがって、電子回路解析プログラムでは線形方程式をいかに高速に解くかが重要である。なお、従来定式化手法として知られている節点解析、閉路解析、状態変数解析など¹³⁾は、スパーススタブロの接続関係を表す部分の変数の消去順序の特殊な場合と考えて良い。

式(1)の解法における最近の進歩としては次の3点が重要である。

(1) スパース行列処理¹⁴⁾

上に述べたように式(1)の係数行列は問題の規模が大きくなるにつれてスパース性が增大するので、0要素に関する記憶と演算を省略させて処理能率を高めることができる。たとえば、線形方程式の解法としては、ガウス消去法が最も能率良いとされているが、変数を消去する順番によって新しく発生する非0要素の数が異なるのでスパース性を最も良く保存する方法がとられる。また、回路構成を変えない限り式(1)の係数行列のスパース構造 (非0要素の位置) は同一で、非0要素の値のみが変更されて解析が繰り返されるので、あらかじめ前処理によって非0要素に関する計算手順をプログラムとして発生する (コード発生方式と言われる) 方法もとられる。スパース行列処理技法の進歩によって大規模回路の高速解析が一步前進したと言えよう。

(2) インプリシット積分

常微分方程式、 $f(x, \dot{x})=0$ において時刻 n の解

* 接続行列はグラフの接続関係を行列の形で表現したもので次のように定義される¹¹⁾。

$$A = [a_{ij}] ; a_{ij} = \begin{cases} +1: \text{節点 } i \text{ が枝 } j \text{ の始点のとき} \\ -1: \text{節点 } i \text{ が枝 } j \text{ の終点のとき} \\ 0: \text{その他の場合} \end{cases}$$

通常、1つの行 (接地節点) を取り除いた既約接続行列が用いられる。また、3端子以上の素子を含むときは、ここでは2端子素子をつなぎ合わせたモデルで表現されているとする。

が求められているとき時刻 $n+1$ の解を求める数値積分公式は1次の場合一般に次のように表現される¹⁵⁾。

$$x_{n+1} = x_n + \Delta t [\mu \dot{x}_n + (1-\mu) \dot{x}_{n+1}] \quad (2)$$

ここで、 Δt は時間刻みを表す。この式で $\mu=1$ の場合を陽関数形 (explicit 法)、 $0 \leq \mu < 1$ の場合を陰関数形 (implicit 法) と言う。寄生容量を含む IC の場合のように、最大と最小の時定数の比が大きい場合、前者は実用的でない (安定性に欠ける) ことが分かっている¹⁶⁾。したがって、最近のプログラムでは、陰関数形積分公式が採用され、さらに時間刻みを適切に制御することによって安定な高速過渡解析が行えるようになってきている。

(3) 非線形方程式の解法

通常非線形方程式、 $f(x)=0$ の解法としては、ニュー

トン法が用いられる。これは適当な初期近似解 x_0 をもとに、次の式(3)の反復演算を繰り返す、 $|(x_{i+1}-x_i)/x_{i+1}|$ が十分小さくなったら収束したとみなす方法である。

$$x_{i+1} = x_i - J^{-1} f(x_i) : J = \partial f(x_i) / \partial x_i \quad (3)$$

この方法は $f(x)$ の性質が良ければ収束が早い、実際の回路では、多くの場合、初期近似解がかなり真の解に近くないと収束しないという欠陥をもつ。これを解決するため、過渡解析の問題に帰着させる方法¹⁷⁾ も一部では用いられているが、計算時間の面で問題がある。非線形特性の区分的線形近似を用いた場合には一般化 Katzenelson 法が考案され、収束性の問題が完全に解決されている¹⁸⁾。この方法は表-1 に示す ANAP プログラムに組み込まれている。

3.3 代表的な電子回路解析プログラム

表-1 代表的な電子回路解析プログラム

プログラム名	作 成	作成年	解 析 の 種 類				定 式 化	トランジスタモデル	接続関係の処理	備 考
			DC	AC	過渡	そ の 他				
NET 1 ¹⁾	カリフォルニア大	1964	○		○		状態変数解析	組み込み	テーブルドリブン	
ECAP ²⁾	IBM	1965	○	○	○	感度解析	節点解析	折線近似	テーブルドリブン	
SCEPTRE ³⁾	IBM	1971	○		○		状態変数解析	関数記述	コード発生	
ECAP=II ⁴⁾	IBM	1967	○		○		ハイブリッド法	関数記述	テーブルドリブン	日本 IBM で利用可
ASTAP ⁵⁾	IBM	1973	○	○	○	統計解析	変形タプロ法	関数記述	コード発生	日本 IBM で利用可
SPICE ⁶⁾	カリフォルニア大	1973	○	○	○	雑音、ひずみ解析	節点解析	組み込み	テーブルドリブン	プログラム入手可
ISPICE ⁷⁾	National CSS	1973	○	○	○	温度解析	節点解析	組み込み、関数記述	テーブルドリブン	
ECSS ⁸⁾	日電公社	1973	○	○	○	感度解析	節点解析	折線近似	テーブルドリブン	DEMOSE で利用可
FNAP ⁹⁾	富士通	1973	○	○	○	統計解析	混合解析	関数記述	コード発生	FACOM で利用可
LILAS ¹⁰⁾	三菱電機	1973	○		○		節点解析	組み込み	テーブルドリブン	MELCOM で利用可 (LILAS 4)
ANAP6 ¹¹⁾	日本電気	1975	○		○	統計解析	変形タプロ法	関数記述	コード発生	ACOS で利用可
ECAP ¹²⁾	日 立	1976	○	○	○	感度解析 統計解析	節点解析	関数記述	テーブルドリブン	HITAC で利用可
ECAP6 ¹³⁾	東 芝	1976	○		○		混合解析	関数記述	テーブルドリブン	ACOS で利用可
NAPII ¹⁴⁾	沖電気	1977	○	○	○	感度解析 最適化	混合解析	組み込み、関数記述	テーブルドリブン	OKITAC 50, UNIVAC 1100 で利用可
ICD ¹⁵⁾	IBM	1979	○	○	○	統計、感度解析	変形タプロ法	組み込み、関数記述		日本 IBM で利用可
SPICE-2 ¹⁶⁾	カリフォルニア大	1979	○	○	○	雑音、ひずみ 温度解析	節点解析	組み込み	テーブルドリブン	CRAY-1 (CRC) で利用可
LNAP ¹⁷⁾	日電公社	1980	○		○	統計解析	変形タプロ法	関数記述	コード発生	DEMOSE で利用可

電子回路解析プログラムは目的に応じて次のような選択の組み合わせにより数多く作成されている。

(1) 解析の種類

(イ)DC 解析, (ロ)AC 定常解析, (ハ)過渡解析, (ニ)統計解析, (ホ)ひずみ解析, (ヘ)雑音解析, (ト)感度解析, (チ)最適化, など。

(2) 回路方程式の定式化

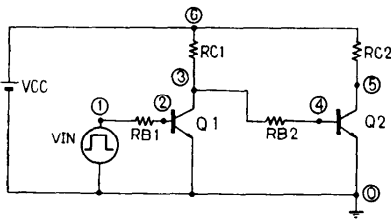
(イ)節点解析, (ロ)カットセット解析, (ハ)閉路解析, (ニ)混合解析, (ホ)状態変数解析, (ヘ)タブロ法。

(3) 素子モデル

(イ)R, L, C, 電源の組み合わせで表現する, (ロ)組み込みトランジスタ・モデルをもつ, (ハ)任意の関数記述を許す。

(4) 接続関係の処理

(イ)接続関係を表現するデータ構造を実行時にアク



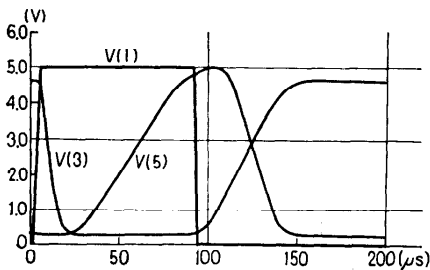
(a) 回路図

```

*TRAN 2NS 200NS
VCC 6 0 5
VIN 1 0 PULSE(0 5 2NS 2NS 2NS 80NS)
RB1 1 2 10K
RC1 6 3 1K
Q1 3 2 0 QND
RB2 3 4 10K
Q2 5 4 0 QND
RC2 6 5 1K
*MODEL QND NPN(BF=50 RB=70 RC=40 CCS=2PF
+ TF=0.1NS TR=10NS CJE=0.9PF CJC=1.5PF
+ PC=0.85 VA=50)
*PLOT TRAN V(3) V(5) V(1)

```

(b) 入力データ



(c) 出力

図-1 回路解析プログラムの利用例 (SPICE)³⁰⁾

セスする方法 (テーブル・ドリブン方式), (ロ)あらかじめ前処理の段階で接続関係をアクセスしながら能率の良いプログラムを発生しておき, 数値演算の実行時には接続関係をもたない方法 (コード発生方式, またはコンパイル方式)。

代表的な電子回路解析プログラムについて, これらの選択は表-1 のようになっている。なお, 文献 31), 32) に電子回路解析プログラムの比較の述べられている。また, 入力形式, 出力形式については通常利用しやすいように工夫されており, 一例を 図-1 に示す。

4. 大規模回路の高速シミュレーション

前章 3. で述べたような算法の改善により, 電子回路解析プログラムは対象回路規模の拡大化と解析速度の高速度化を遂げてきた。しかし, 表-1 の中の最近のプログラムでも, 対象回路規模は実用上約千トランジスタ (約 200 ゲートに相当) 止まりであり, 過渡解析の演算速度はギブソン・ミックス約 $1\mu\text{s}$ のコンピュータで数十〜数百 (ms)/ (ゲート)・(時間刻み) 程度である。このため最近の VLSI 1 チップ分の回路設計確認にこれらの電子回路解析プログラムを用いることは経済的に非実用的である。この状況に対処するものとして, 対象を MOS 論理回路の過渡解析に限定することによりさらに大規模な回路の高速シミュレーションを可能にするプログラムが発表されている。

(1) ゲート・レベルのシミュレーション

代表的なプログラムに MOTIS³³⁾, MOTIS-C³⁴⁾ がある。これらのプログラムの特徴は次の 3 点にある。

(i) 基本ゲート (AND-OR-インバータ, トランスミッション・ゲートなど) の組み込みモデルをもち, ゲート出力電圧の計算を容易にしている。

(ii) MOS トランジスタの特性をあらかじめテーブルに記憶しておく。

(iii) 各ゲートの出力節点について節点方程式を作成し, 節点解析を行うが, 非線形反復計算は 1 回だけ行う。

これらは従来の電子回路解析プログラムにくらべて, 適用範囲が MOS 論理回路の過渡解析に限定されるという欠点はあるが, 取り扱える回路規模で約 1 けたの増加, 演算速度で約 2 けたの高速化を達成しており, 論理シミュレータと電子回路解析プログラムのギャップを埋めるものとして有用である。この種の算法に基づいて基本ゲートの組み込みモデルを改良したプログラム³⁵⁾, ゲートのマクロモデルを利用者が定義す

るプログラム³⁸⁾なども発表されている。

(2) 回路分割と回路の不活性性の活用

論理回路は信号の伝搬経路に沿って活性化されるので、動作状態の大規模回路で実際に出力の変動しているゲートは1部分と見なせる。この特徴に着目して活性な部分回路だけを選択して、これに回路解析を適用する手法が幾つか発表されている^{37)~39)}。この場合、全体の回路から個別に解析できる部分回路に分割する方法として、各々の節点ごとに接続素子を分割する手法⁴⁰⁾、MOS トランジスタの直流的な分離性を利用した手法³⁹⁾などがある。しかし、これらは各積分時間刻みにおいて回路方程式の変数の1部を、それより前の時間刻みの解より推定し、連立方程式を分離して解くので、従来の電子回路解析に比べ解析精度の低下は否めない。この問題を、階層的な非線形反復計算(個々の部分回路とそれらを要素とする全体回路の繰り返し計算)を用いて解決する試みがなされている^{41), 42)}。

そのほか、電子回路解析と論理シミュレーションの混在シミュレータ⁴³⁾、いわゆるスーパーコンピュータと呼ばれるコンピュータに採用されているベクトル・プロセッサを活用した算法⁴⁴⁾も大規模回路の高速回路解析には有効となろう。

5. あとがき

VLSI 設計における電子回路 CAD の役割、電子回路解析プログラムの動向について述べてきた。今後の傾向としては、すでに線形回路で行われているような最適回路パラメータの決定、製造ばらつきを考慮したパラメータ最適化など VLSI 設計に適用していくことが挙げられる。これらの実用化のためにはより一層の解析の高速化と個々の問題における経験の積み重ねが大切と思われる。なお本文では感度解析、統計解析などは紙数の都合で省略させていただいた。

おわりに表-1の作成に当たり、富士通、日立、三菱電機、日本電信電話公社、日本放送協会、日本 IBM、沖電気、センチュリー・リサーチ・センターおよび東芝の各社のご協力をいただきました。ご協力いただいた各社の方々に深く感謝致します。

参 考 文 献

1) たとえば

Ishizaki, Y. and Watanabe, H.: An iterative Chebyshev approximation method for network design, IEEE Trans. Circuit Theory, Vol. CT-15, No. 4, p. 326 (1968).

- 2) 可児, 大附: デバイスと回路の設計におけるシミュレーション技術, 信学誌, Vol. 60, No. 7, p. 753 (July 1977).
- 3) Interactive circuit design users guide, SH 20-2336-0, IBM (1979).
- 4) Spence, R. and Apperley, M.: The interactive-graphic man-computer dialogue in computer-aided circuit design, Proc. IEEE ISCAS, p. 134 (1976).
- 5) Ruehli, A. E. et al.: Power and timing optimization of large digital systems, ibid., p. 402.
- 6) Branin, Jr., F. H.: DC and transient analysis of networks using a digital computer, IRE Intern. Conv. Record, Vol. 10, pt. 2, p. 236 (1962).
- 7) 1620 electronic circuit analysis program (EC-AP) user's manual, IBM Corp. (1965).
- 8) Malmberg, A. F. and Cornwell, F. L.: NET-1 network analysis program, Report of Los Alamos Scientific Lab. of Univ. California, LA 3119 (1964).
- 9) Weeks, W. T. et al.: Algorithms for ASTAP-a network analysis program, IEEE Trans. Circuit Theory, Vol. CT-20, No. 6, p. 628 (1973).
- 10) Nagel, L. W. and Pederson, D. O.: SPICE, simulation programs with integrated circuits analysis, Memorandum No. ERL-M 382, Univ. of California (1973).
- 11) 可児, 大附: 設計自動化におけるグラフ理論と組み合わせ算法, (1)~(3), 情報処理, No. 16, p. 440, p. 526, p. 581 (1975).
- 12) Hachtel, G. D., Braton, R. K. and Gustavson, F. G.: The Sparse tableau approach to network analysis and design, IEEE Trans. Circuit Theory, Vol. CT-18, p. 101 (1971).
- 13) 渡部: 線形回路理論, 昭晃堂 (1971).
- 14) 大附, 川北: スパース行列処理技法(1)~(3), 情報処理, Vol. 17, p. 42, p. 142, p. 229 (1976).
- 15) Brayton, R. K., Gustavson, F. G. and Hachtel, G. D.: A new efficient algorithm for solving differential-algebraic systems using implicit backward differentiation formulas, Proc. IEEE, Vol. 60, No. 1, p. 98 (1972).
- 16) Dahlquist, G. D.: a special stability problem for linear multistep methods, BIT, No. 3, p. 27 (1963).
- 17) Branin, Jr., F. H.: Widely convergent method for finding multiple solutions of simultaneous nonlinear equations, IBM J. Res. & Dev., Vol. 16, No. 5, p. 504 (1972).
- 18) Ohtsuki, T., Fujisawa, T. and Kumagai, F.: Existence theorems and a solution algorithm

- for piecewise-linear resistor networks, SIAM J. Math. Anal., No. 8, p. 69 (1977).
- 19) Sedore, S.R.: SCEPTRE: A program for automatic network analysis, IBM J. Res. & Dev., No. 11, p. 627 (1967).
- 20) ISPICE reference guide, National CSS Inc. (1973).
- 21) 杉森他: DEMOSE 用の回路解析プログラム ECSS, 信学全大, p. 1784 (1974).
- 22) 小島他: 電気回路の CAD, Fujitsu, Vol. 24, No. 7, p. 175 (1973).
- 23) 土屋他: 非線形 RC 回路網解析プログラム LILAS, 信学全大, p. 1419 (1973).
- 24) ACOS 6 電子回路解析システム説明書 (ANAP 6 機能編), 日本電気 (1977).
- 25) VOS 2/VOS 3 回路解析プログラム ECAP 機能編, 日立 (1976).
- 26) ACOS 6 電子回路解析システム説明書 (ECAP 6 機能編), 日電東芝 (1976).
- 27) NAP II 操作説明書, 沖電気 (1977).
- 28) Branin, F.H. et al.: ECAP II-A new electric circuit analysis program, IEEE Jour. Solid-State Circuit, Vol. SC-6, No. 4, p. 146 (1971).
- 29) 回路解析プログラム (SPICE-2): アプリケーション・プログラム説明書, AP-537, センチュリー・リサーチ・センター (1980).
- 30) 児島他: 汎用回路解析プログラム—LNAP, 通研実報, Vol. 30, No. 2, p. 597 (1981).
- 31) Blattner, D.J.: Choosing the right programs for computer-aided design, Electronics, p. 102 (Apr. 29, 1976).
- 32) Kaplan, G.: Computer-aided design, IEEE Spectrum, Vol. 12, No. 10, p. 40 (1975).
- 33) Chawla, B.R., Gummel, H.K. and Kozak, P.: MOTIS-an MOS timing simulator, IEEE Trans. Circuit & Sys., Vol. CAS-22, No. 12, p. 901 (1975).
- 34) Fan, S. P. et al.: MOTIS-C: a new circuit simulator for MOS LSI circuits, Proc. IEEE ISCAS, p. 700 (1977).
- 35) 山田他: 大規模回路シミュレータ (LOTAS), 信学全大, p. 63 (1979).
- 36) Hirabayashi, K. and Watanabe, J.: MATIS-macromodel timing simulator for large scale integrated MOS circuits, 3rd USA-JAPAN Computer Conf., p. 457 (1978).
- 37) De Man, H. and Arnout, G.: The use of Boolean controlled elements for macromodeling digital circuits, Proc. IEEE ISCAS, p. 522 (1978).
- 38) Newton, A.R. and Pederson, D.O.: A simulation program with large-scale integrated circuit emphasis, *ibid.*, p. 1 (1978).
- 39) Tanabe, N., Nakamura, H. and Kawakita, K.: MOSTAP: an MOS circuit simulator for LSI circuits, Proc. IEEE ISCAS, p. 1035 (1980).
- 40) 田辺他: タイミングシミュレーション: 高速化の一手法, 信学全大, p. 2-215 (1981).
- 41) Linardis, P., Nichols, K.G. and Zaluska, E.J.: Network partitioning and latency exploitation in time-domain analysis of nonlinear electric circuits, Proc. IEEE ISCAS, p. 510 (1978).
- 42) Rabbat, N.B., Sangiovanni-Vincentelli, A.L. and Hsieh, H.Y.: A multilevel Newton algorithm with macromodeling and latency for the analysis of large-scale nonlinear circuits in the time domain, IEEE Trans. Circuit & Sys., Vol. CAS-26, No. 9, p. 733 (1979).
- 43) De Man, H.J. and Newton, A.R.: Hybrid simulation, Proc. IEEE ISCAS, p. 249 (1979).
- 44) Calahan, D.A. and Ames, W.G.: Vector processors: models and applications, Trans. Circuit & Sys., Vol. CAS-26, No. 9, p. 715 (1979).
- 45) たとえば
Calahan, D.A.: Computer-aided network design, McGraw-Hill (1972).

(昭和56年4月16日受付)