

導波路型スマートピクセルと 光スイッチへの応用

中原 達志 NTTフォトニクス研究所先端光エレクトロニクス研究部 nak@aecl.ntt.co.jp

スマートピクセルは、広帯域低電力の光I/O付きLSIであり、チップ間・内の短距離光インタコネクションシステムに適用することが期待される。本稿ではスマートピクセルの集積方法について、CMOS-VLSIに面発光レーザ（VCSEL）とフォトダイオードをハイブリッドに集積するウェーハボンディング法を中心に紹介し、実際に作製したCMOSスマートピクセルを用いた光スイッチング実験について紹介する。多数のスマートピクセルチップを平面導波路で相互に接続し、光接続型のMCM（マルチチップモジュール）を構成することができる。この導波路型スマートピクセルによる大規模な光スイッチシステムは、光交換システムや多数のプロセッサ間の接続などに応用できる。

◆スマートピクセルとチップ間・チップ内 光インタコネクション◆

スマートピクセルとは、元来、光入力／演算／光出力の3機能を持った基本単位（賢い画素）を意味し、そのデバイス開発の目的は、2次元アレー化することによって、高機能な画像処理システムや並列光演算処理システムを実現することにあった。しかし、半導体スマートピクセルの実体は光電子集積回路であり、その集積技術の適用先は光学的情報処理に限定されない。スマートピクセル集積技術は、近年、光I/O（インプット／アウトプット）付きのLSI（大規模電子集積回路）集積技術として、LSIチップ間・チップ内光インタコネクションシステムへの応用が期待されている。

多数の光I/Oを具備したスマートピクセルチップ同士を光接続する方法は、大きく、導波路接続型と自由空

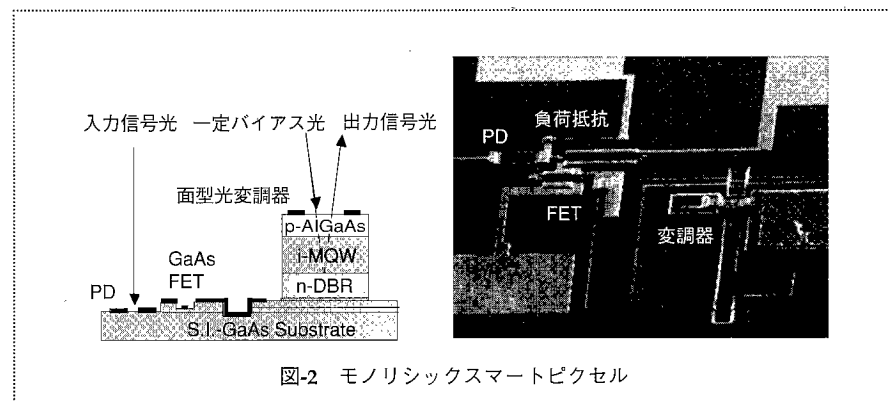
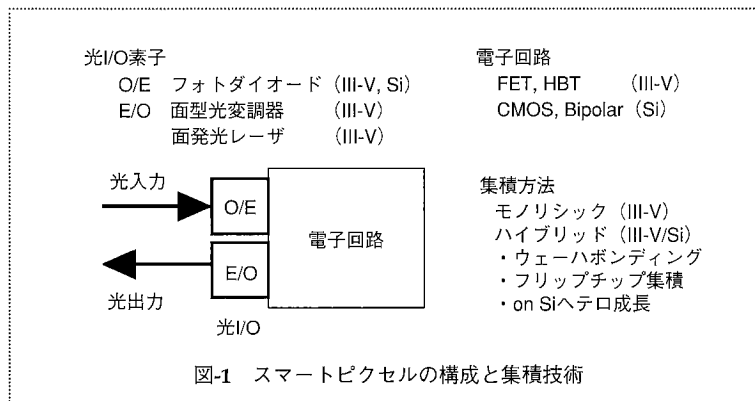
間接続型に分けられる。導波路型は、信頼性の高いリジッドな接続を平面小型の実装形態で提供できるため、本稿で考えるLSIチップ間・内の光インタコネクションシステムの構築に適している。これに対し、自由空間型は、3次元的に光線を配置するため、多数のファンイン・ファンアウトがとれ、また、光接続網の動的な再配置が可能など、柔軟な接続ができる利点を持つ。また、2次元アレーチップ同士を対向配置で接続することができるため、光学的情報処理（画像処理）システム指向の接続方法といえる。

本稿では、スマートピクセルの集積技術について解説し、導波路接続技術と融合させたチップ間光インタコネクションシステムの例として大規模光スイッチの構成について述べる。

◆スマートピクセルの構成と集積技術◆

スマートピクセルの構成要素は、光I/OであるO/E（光／電気）変換素子、E/O（電気／光）変換素子と電子回路である（図-1）。ここで、多数の光I/Oを同時に動作させる必要があるため、集積形態は、面型の光素子を電子回路基板上にアレー状に並べたものであり、また、光アクセス（光入力と光出力）は、基板面に垂直な方向から行うのが前提である。

O/E変換素子には、通常、面型フォトダイオード（PD）が用いられる。PDは層構成が単純で、動作電圧が低いため、電子回路との集積に適しているからである。しかし、PDは利得を持たないため、O/E変換部には、電子回路による受信アンプ回路が必要となる。この受信



アンプ回路の小型化と広帯域低消費電力化は、後に述べるスマートピクセル集積技術の1つの課題である。

E/O変換素子には、面型の光変調器や面発光レーザ (VCSEL) が用いられる。変調器は、10Gbps以上の高速動作が可能であるが、外部光源を要するため、光学系・制御系まで含めたシステムが大がかりとなる欠点がある。一方、VCSELは、高速の直接変調は容易ではないが、自ら発光するため外部光源を要せず、小型化に適している。また動作電圧や駆動電流も低く、電子回路との集積に適している。したがって、比較的低速のLSIチップからなる小型のシステムを指向する場合はVCSELが適しているといえる¹⁾。

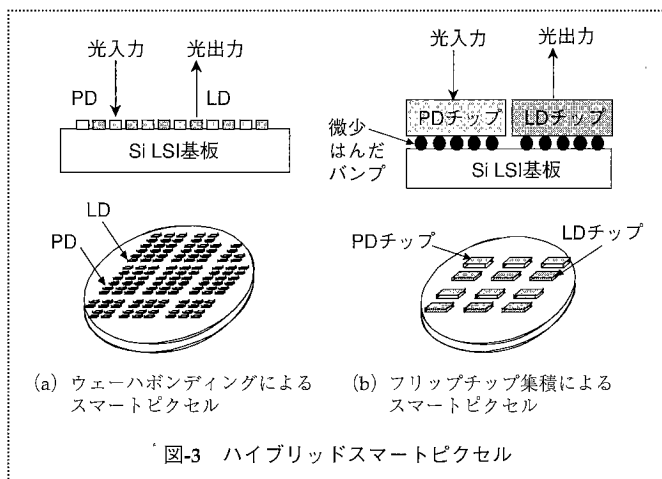
電子回路は、III-V化合物系のFET回路やHBT回路が高速狙いの素子として、Si系では、CMOSのVLSI回路やBipolar回路を用いることが考えられる。

これら3つの構成要素を集積する技術は、モノリシック集積とハイブリッド集積に分類される。

Si系のE/O変換素子は作れないため、モノリシック集積はIII-V化合物系でのみ可能である。中でも、効率のよい面型のE/O素子が得られるのは、現状では波長帯0.85 μm のGaAs系である。これまで、GaAs系の面型変調器あるいはVCSELを、同じくGaAs系のFET回路とモノリシックに集積したスマートピクセルが作製されている。図-2は、変調器型のモノリシックスmartピ

クセルの写真である²⁾。面型変調器、PD、FETアンプ、FETドライバが集積されている。

一方、ハイブリッド集積法は、異種材料の光電素子を単一基板上に一体化集積する技術であり、ウェーハボンディング法³⁾やフリップチップ集積法⁴⁾が代表的である。ウェーハボンディング法は、電子回路基板と光素子基板を素子側が対向するように貼り合わせ、光素子側の基板を化学エッチングで除去した後に、光素子を作製、配線する方法である。O/E素子とE/O素子を同時に高密度にLSI基板上に集積できるため、ウェーハ単位の大量生産向きの技術である。一方、フリップチップ集積法は、元来、はんだバンプにより電子回路チップをパッケージに実装する技術であるが、はんだバンプを微少化し、かつ、光素子側の基板を剥離する（あるいは透明基板を採用する）ことにより、スマートピクセル集積技術に適用された。図-3 (a) (b) に、ウェーハボンディング法、および、フリップチップ集積法によるスマートピクセルの模式図を示す。ウェーハボンディング法によれば、Si LSI基板上に、モノリシック集積のごとく光I/Oを高密度集積することができ、また、作製したスマートピクセルチップをパッケージ実装する際に、通常のフリップチップ集積法を併用することも可能である。一方、フリップチップ集積法では、O/EチップとE/Oチップを別々にチップ単位で集積するため、光I/Oの高密度集積には

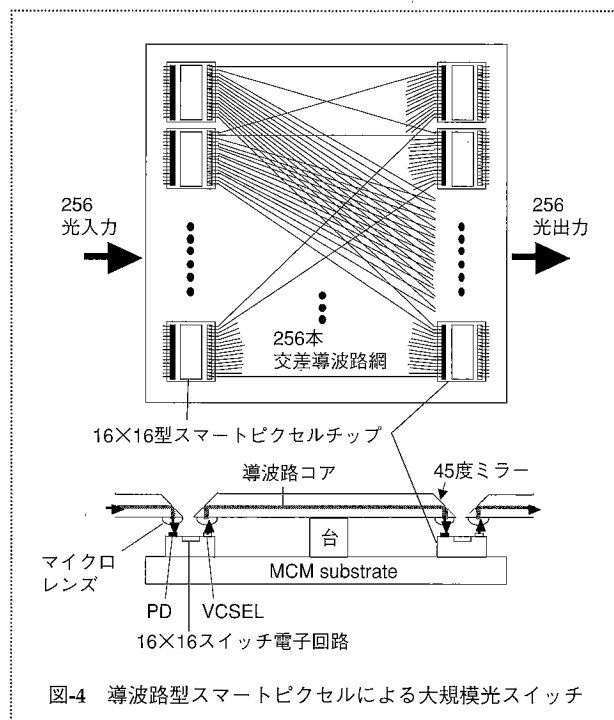


不向きである。さらに、ウェーハボンディング法は、集積に起因する寄生容量をほとんど発生させないため、後に述べる高性能な光受信回路を構成するのにも適している。

以上に説明したように、スマートピクセルを光I/O付きのLSIと考えるとき、Si CMOS-VLSIとPDとVCSELを、ウェーハボンディング法でハイブリッド集積したデバイス（CMOSスマートピクセル）がきわめて有効である。このCMOSスマートピクセルの設計と試作状況については、最後の章で述べる。

◆導波路型スマートピクセルによる大規模光スイッチ◆

導波路型接続は、再配置のできないリジッドな接続であり、それ自体はスイッチ機能を持たない。しかし、導波路同士が交差した交差配線網を構成することはできる。一方、スマートピクセルは、電子回路によるスイッチ機能を容易に実現できるが、1チップに搭載できる回路規模はチップ面積で制限される。そこで、スマートピクセルによる多数の（小規模）光スイッチチップを、交差光導波路網によって相互接続することにより、大規模な光スイッチシステムを構成することが有効である。図-4に示したのは、 256×256 光スイッチを構成した例である。ここに、1個のスマートピクセルチップは16の光入力ポートと16の光出力ポートを持ち、その間に、電子回路の 16×16 スイッチを搭載する。この 16×16 型のスマートピクセルチップを、入力側、出力側、各々に16個ずつ配置した、MCM（マルチチップモジュール）基板を用意する。このMCM基板上に、さらに、入力側と出力側のチップ間を接続する、256本の交差光導波路基板を実装し、光接続型のMCMとする。



これにより、任意の入力ポートの光信号を任意の出力ポートに出力するスイッチシステムを構成することができる。

光導波路には、たとえば有機ポリマーのマルチモード導波路を用いることができる。これは、 $0.85\mu\text{m}$ 波長帯における伝播損失や曲げ損失が低く、45度ミラー光路変換素子（面型－導波路型変換素子）の作製も容易であり、導波路型スマートピクセルシステムに適している⁵⁾。100回の交差を有する導波路にVCSELの出力光を結合させ、エラーフリー伝送できることも確認されている。

この導波路型スマートピクセルは、光交換システムや、多数のプロセッサの交換接続にも応用が期待できよう。

◆CMOSスマートピクセル◆

この章ではCMOSスマートピクセルの回路設計と試作状況について述べる⁶⁾。回路設計においては、光送受信回路の広帯域低電力化が重要である。光送信回路はE/O変換素子の性能でほぼ決定され、VCSELを用いた場合、帯域は数Gbps以上、電力10～20mW以下が可能である。

光受信回路においては、PDの寄生容量削減が重要である。図-5に、PDの低容量化が受信回路の高性能化に寄与する様子を示す（回路構成は図-8を参照）。受信回路の帯域はCR時定数により制限されるため、PDの低容量化は広帯域化に直結する。また、帯域を一定とした

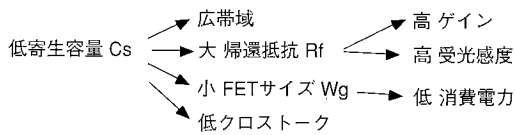


図-5 光受信回路におけるPD低容量化の効果

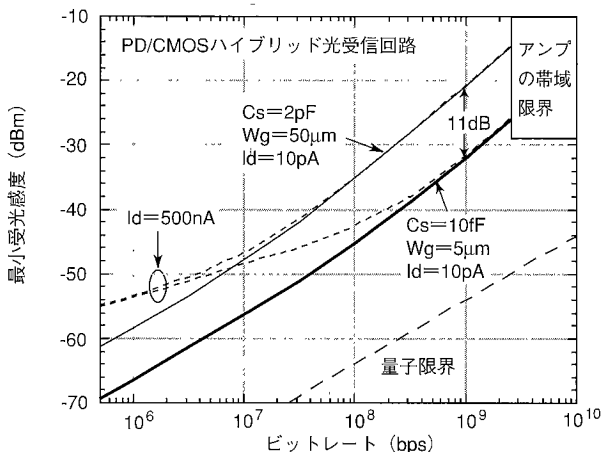
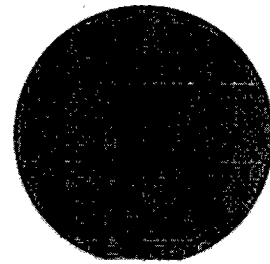


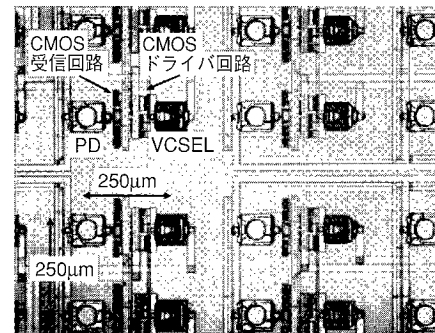
図-6 CMOS受信回路における受光感度とビットレートの関係

場合、帰還抵抗値を大きくできるため、高利得化できると同時に、雑音を低減でき、高感度化もなされる。さらに、PDを低容量化すると、最高感度が得られるFETのサイズが小さくなり、小型低消費電力化にも寄与する。容量低減は、容量性結合を低減し、多チャネル系におけるクロストーク低減効果も持つ。図-6に、計算例を示す。ここにCMOSの設計ルールは0.5 μ mを仮定し、横軸を帯域（最速ビットレート）、縦軸を受光感度とした。PDの寄生容量Csがほとんどない（10fF）場合と大きい（2pF）場合を比較した。これらは、それぞれ、ウェーハボンディング集積した場合、および、PDチップと別の受信回路チップをワイヤ接続した場合の寄生容量に相当する。初段FETのサイズWgは1Gbpsにて最高感度となる最適値、5 μ mおよび50 μ mに固定した。すなわち、寄生容量の低減によりFETのサイズは1/10に小型化される。図では、帯域1Gbpsのとき、容量の低減により、11dBの高感度化がなされている。図中には、PDの暗電流Id = 10pAの場合と500nAの場合の比較も示した。低速領域において暗電流が受光感度を決定するため、寄生容量の低減とともに、暗電流の抑制も重要である。

図-7 (a) に、ウェーハボンディング法により実際に作製したCMOSスマートピクセルウェーハの写真を示



(a) ウェーハボンディング法で作製したCMOSスマートピクセルウェーハ



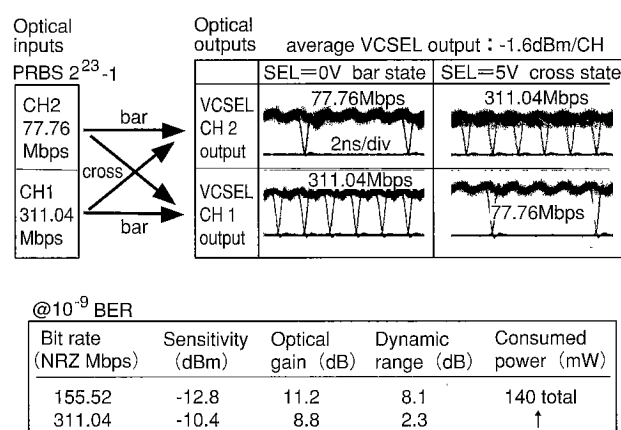
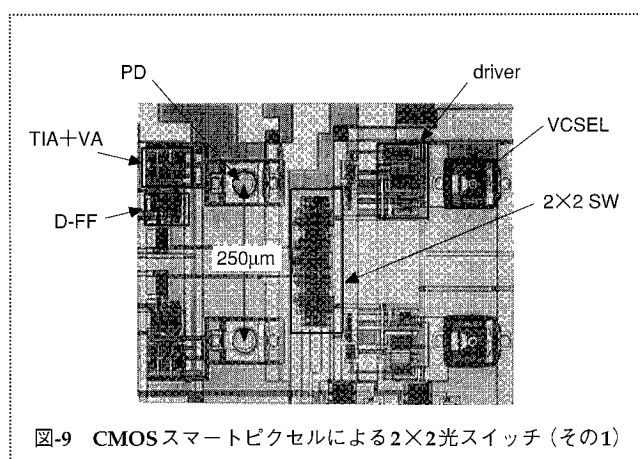
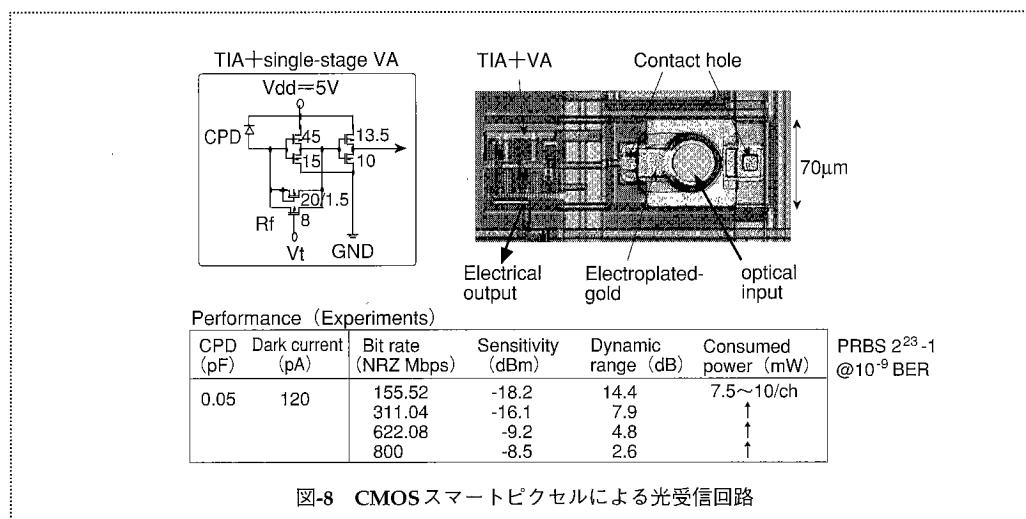
(b) CMOSスマートピクセルによる光送受信回路アレー

図-7

す。基板サイズは2インチであり、VCSELとPDがCMOS基板上全面に同時に集積されている。LSI回路は、2 $\times$ 2や16 $\times$ 16のスイッチ回路、送受信アレー回路などが作り込まれている。図-7 (b) は送受信回路アレーの写真である。これは、PD/受信回路/送信回路/VCSELの基本単位を、250 μ m間隔で並べたものである。ウェーハボンディング法の、高密度同時大面積集積の利点が見られる。

図-8に、0.8 μ mルールのCMOSとGaAs-PDによる光受信回路の回路図、写真、測定結果を示す⁶⁾。集積したPDは寄生成分をほとんど含まない50fFの容量を示し（計算値49fF）、この低容量性のために光受信回路は800Mbpsの高速帯域まで動作した。また、初段FETのサイズを15 μ mに小型化し、10mW以下の低消費電力を達成した。また、暗電流も120pAに抑えられた。受光感度は、311Mbpsにおいて-16.1dBmであった。なお、感度に関しては、最近、0.5 μ mルールのCMOS回路を用いて、図-6の計算値に近い値（1Gbpsにおいて-27.1dBm）も得られている。

集積したVCSELの室温連続発振も確認された。しかし、現状ではしきい値電流が約20mAあり、ウェーハボンディング法のリファインが必要である。図-9に、2 $\times$ 2光スイッチの写真と実験結果を示す⁶⁾。実験は、光出



力用に別チップのVCSELをワイヤ接続して行った。チャンネル1とチャンネル2に異なるビットレートの擬似ランダム光信号を入射し、電子回路の2×2スイッチでパスの切替えを行い、VCSELから光出力する構成である。CMOS回路にはD-FF（フリップフロップ）識別回路を搭載し、外部電気クロックで同期した。光出力アイパターンに示されるように、正常な2×2スイッチング動作が確認された。受光感度は311.04Mbpsにて-10.4dBmであった。VCSELの平均光出力は-1.6dBm/chであり、8.8dBの光利得が得られた。また、2つの入力信号間のクロストークによる受光感度のペナルティは0.1dB以下であった。送受信回路の消費電力は合計約35mW/chであった。以上により、CMOSスマートピクセルが、広帯域低消費電力の光I/O付きLSIとして機能することを示した。PDの低容量化と受信回路の高性能化、および、電気信号のデジタル化により、低クロストークで3R機能を有する短距離光インタコネクション用チップを実現できたともいえる。

◆おわりに◆

スマートピクセルの集積技術は、光と電子を利用するさまざまなシステムに適用可能である。特に、本稿で述べた導波路接続型のスマートピクセルは、多数のLSIチップを相互に接続した大規模な処理システムを、きわめて小型の実装形態で実現する技術として、デバイスとシステム応用、両面からの今後の開発が期待される。

参考文献

- 1) Nakahara, T. et al.: Appl. Opt., 35, pp.860-871 (1996).
- 2) Nakahara, T. et al.: IEEE Photon. Technol. Lett., 7, pp.53-55 (1995).
- 3) Matsuo, S. et al.: Trends in Optics and Photonics, 14, Spatial Light Modulators, pp.39-46 (1997).
- 4) Goossen, K. W. et al.: IEEE Photon. Technol. Lett., 7, pp.360-362 (1995).
- 5) Yoshimura, R. et al.: Electron. Lett., 33, pp.1240-1242 (1997).
- 6) Nakahara, T. et al.: IEEE J. Select. Topics Quantum Electron., 5, pp.209-216 (1999).

(平成12年8月1日受付)

