

反転・非反転ダイナミック光再構成アーキテクチャの比較評価

加藤 進一[†] 渡邊 実[†]

[†] 静岡大学 工学部 〒 432-8561 静岡県浜松市城北 3-5-1

E-mail: [†]tmwatan@ipc.shizuoka.ac.jp

あらまし 我々は光を用いて再構成を行う光再構成型ゲートアレイ (ORGA:Optically Reconfigurable Gate Array) の研究を進めている。光再構成型ゲートアレイは、レーザアレイ、ホログラムメモリ、ゲートアレイ VLSI から構成され、光によって 2 次元的に回路情報が書き込まれることから高速な再構成が可能である。さらに光メモリに大量の回路情報を保有できるため、仮想的に大規模なゲートアレイが実現可能である。その中で我々は、高密度の利点を持つダイナミック光再構成アーキテクチャ、高速再構成の利点を持つ差分光再構成アーキテクチャ、その双方の利点を持つ反転・非反転ダイナミック光再構成アーキテクチャを提案している。本稿では、同一条件下による、それぞれのアーキテクチャの設計結果を示し、実装面積、ゲート数について比較評価する。また、反転・非反転ダイナミック光再構成アーキテクチャの高速再構成試験の結果について報告する。

キーワード 光再構成型ゲートアレイ、光バス、ホログラムメモリ、VLSI

Comparison evaluation of an inversion / non-inversion dynamic optically reconfiguration architecture

Shinichi KATO[†] and Minoru WATANABE[†]

[†] Faculty of Engineering, Shizuoka University
3-5-1 Johoku, Hamamatsu, Shizuoka 432-8561, Japan
E-mail: [†]tmwatan@ipc.shizuoka.ac.jp

Abstract We have been developing Optically Reconfigurable Gate Arrays (ORGAs) which can be reconfigured optically. The ORGAs consist of a laser array, a hologram memory, a programmable gate array VLSI. ORGAs can realize a large virtual gate count that is much larger than those of current VLSI chips by exploiting the large storage capacity of a holographic memory. Also, ORGAs can realize fast reconfiguration through use of large bandwidth optical connections between a holographic memory and a programmable gate array VLSI. Among such developments, we have proposed a dynamic optically reconfigurable gate array using a photodiode memory architecture to realize huge gate count VLSI, an optically differential reconfigurable gate array using a differential reconfiguration strategy to achieve a fast reconfiguration capability, and an inversion/noninversion optically reconfigurable architecture that combines both architectures to realize both advantages of rapid configuration and high gate count. This paper shows the estimation results of the three architectures under a same condition and fast configuration experimental results of the inversion/noninversion optically reconfigurable architecture.

Key words Optically Reconfigurable Gate Arrays (ORGAs), Optical bus, Holographic memories, VLSIs

1. はじめに

近年、製品の多様化や高機能化が進み、集積回路技術への要求が日増しに高まっている。現在、集積回路の高密度化が進んでいるが、LSI の利用効率の点で言えば、ある瞬間に着目をすると、休止状態の部分が多く、効率的に使用できているとは言い難い状況にある。そこで、LSI の利用効率が最大限に高

められる動的再構成デバイスに注目が集まっている。

その中で我々は光を用いて回路の書き換えを行う光再構成型ゲートアレイ (Optically Reconfigurable Gate Array)[1][2][3] の研究を進めている。光再構成型ゲートアレイはレーザアレイ、ホログラムメモリ、ゲートアレイ VLSI から構成されている。光によるパラレル転送を用いることから高速な再構成が可能であり、またホログラムメモリを用いることにより、仮想的

に大規模なゲートアレイが実現できる。このように光再構成型ゲートアレイでは大規模な仮想ゲートを動的にゲートアレイに実装し、処理できる利点を持っているが、さらにVLSIの瞬間的な性能を向上させるためにはVLSI部の高密度化も不可欠である。そのような中で我々は、高密度の利点を持つダイナミック光再構成アーキテクチャ、高速再構成の利点を持つ差分光再構成アーキテクチャ、その双方の利点を持つ反転・非反転ダイナミック光再構成アーキテクチャを提案している。

本稿では、同一条件下による、それぞれのアーキテクチャの設計結果を示し、実装面積、ゲート数について比較評価する。また、反転・非反転ダイナミック光再構成アーキテクチャの高速再構成試験の結果について報告する。

2. 光再構成型ゲートアレイ

2.1 概 要

光再構成型ゲートアレイの基本構成を図1に示す。光再構成型ゲートアレイはレーザアレイ、ホログラムメモリ、ゲートアレイVLSIから構成される。再構成は以下の手順で行われる。まずレーザアレイから再構成情報が保存されているホログラムメモリに対してレーザが照射される。ホログラムメモリに光が照射されることにより、保存されている再構成情報から特定の再構成情報が選択され、光の強度分布として読み出される。それを光再構成型ゲートアレイVLSI上のフォトダイオードによって受光し、ゲートアレイVLSIの書き換えを行う。ホログラムメモリの大容量性と2次元の光バスにより、大規模な動的再構成が可能である。

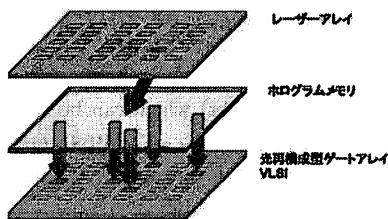


図1 光再構成型ゲートアレイの基本構成

Fig. 1 Basic constitution of an Optically Reconfigurable Gate Array

2.2 差分光再構成アーキテクチャ

差分光再構成アーキテクチャ[4]では図2に示すように受光部の後段にトグルフリップフロップを実装している。これにより光が照射された場所のみ前状態の反転を取り、照射されない場所は前状態を保持する差分動作が実現できる。この差分動作により、動的な再構成時に多用されるビット単位での部分再構成が可能になる。

ここで、ホログラムメモリからの回折光の各ビットの輝度値は、そのコンテキスト内に含まれる明点のビット数に反比例する。よって、高速な再構成を行う場合、コンテキスト内に含まれる明点のビット数を削減する方法が有効である。差分光再構成アーキテクチャでは再構成を行う部分のみ光の照射を行う

で、照射ビット数を削減でき、高速な再構成が可能である。また、差分光再構成アーキテクチャには、反転ビットを加える手法も提案されており[5]、この手法によりコンテキスト内の明点ビット数がさらに約2割削減でき、より高速な再構成が可能になる[6][7]。

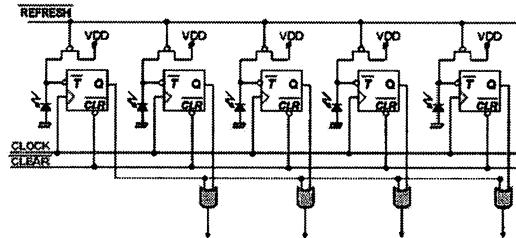


図2 差分光再構成アーキテクチャの受光回路

Fig. 2 Circuit diagram of optically differential reconfiguration architecture

2.3 ダイナミック光再構成アーキテクチャ

従来の光再構成型ゲートアレイでは図3の左に示すように、受光部に静的なメモリを含んでいた。フォトダイオードで受け取った回路情報を一時的に静的メモリに保存し、そこから情報を読み出すことによりゲートアレイが定常的に動作していた。しかし、この静的メモリの存在がゲートアレイVLSIのさらなる高密度化を阻んでいた。そこで、ダイナミック光再構成アーキテクチャが提案された[8]。ダイナミック光再構成アーキテクチャでは、図3の右に示すように、回路情報を受け取るためのフォトダイオードの接合容量をメモリとして使用することにより、静的メモリを排除することに成功した。これにより光再構成型ゲートアレイの更なる高密度化が可能となった。

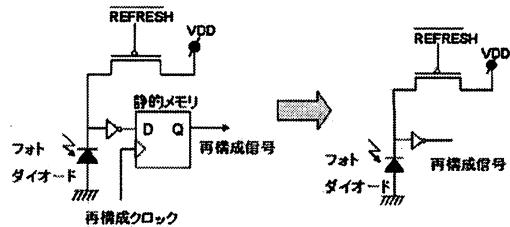


図3 静的メモリを用いた従来の受光回路とダイナミック光再構成アーキテクチャの受光回路

Fig. 3 Conventional circuit diagram using static configuration memory and dynamic optically reconfiguration architecture without static configuration memory.

2.4 反転・非反転ダイナミック光再構成アーキテクチャ

反転・非反転ダイナミック光再構成アーキテクチャではダイナミック光再構成アーキテクチャ、差分光再構成アーキテクチャ、両方の利点を有している。図4に反転・非反転ダイナミック光再構成アーキテクチャの受光回路を示す。このアーキテクチャでは、ダイナミック光再構成アーキテクチャと同様に、フォトダイオードメモリアーキテクチャを用いることによって高密度化を実現している。同時に、差分光再構成アーキテクチャで用い

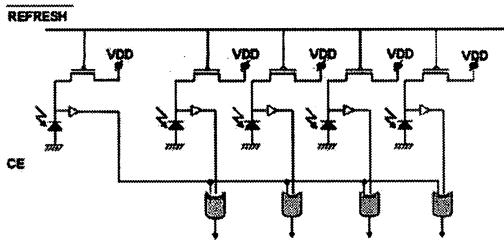


図 4 反転・非反転ダイナミック光再構成アーキテクチャの受光回路
Fig. 4 Circuit diagram of inversion / non-inversion dynamic optically reconfiguration architecture

表 1 反転フォトダイオード使用時の明点削減の効果
Table 1 Effectiveness of the inversion/non-inversion method.

反転フォトダイオード無し	反転フォトダイオード有り
F4 F3 F2 F1	FInv F4 F3 F2 F1
0 0 0 0	0 0 0 0 0
0 0 0 1	0 0 0 0 1
0 0 1 0	0 0 0 1 0
0 0 1 1	0 0 0 1 1
0 1 0 0	0 0 1 0 0
0 1 0 1	0 0 1 0 1
0 1 1 0	0 0 1 1 0
0 1 1 1	1 1 0 0 0
1 0 0 0	0 1 0 0 0
1 0 0 1	0 1 0 0 1
1 0 1 0	0 1 0 1 0
1 0 1 1	1 0 1 0 0
1 1 0 0	0 1 1 0 0
1 1 0 1	1 0 0 1 0
1 1 1 0	1 0 0 0 1
1 1 1 1	1 0 0 0 0
平均 2 ビット	平均 1.526 ビット

た反転フォトダイオードの手法を使用することにより、高速な再構成も可能にしている。表 1 にフォトダイオード 4つと反転フォトダイオードを含む 1つのグループの明点の削減効果を示した。表 1 から分かるように、反転フォトダイオードを使用した場合、明点の平均は 2 ビットから 1.526 ビット削減されており、これにより高速な再構成が可能となる。

3. 反転・非反転ダイナミック光再構成アーキテクチャのエミュレーション試験

3.1 光再構成ゲートアレイ VLSI

本稿の試験で使用した光再構成ゲートアレイ VLSI は $0.35\mu\text{m}$ CMOS プロセスを使用し、チップサイズは 4.9mm 角である。フォトダイオード受光部の大きさは $25.5 \times 25.5\mu\text{m}$ であり、 $90\mu\text{m}$ 間隔で実装されている。この光再構成ゲートアレイ VLSI には論理演算を行う論理ブロックが 4 個、配線の切り替えを担う 3 方向のスイッチングマトリクスが 4 個、3 方向のスイッチングマトリクスが 1 個、I/O が 12 ビット実装されている。ゲート総数は 68 である。またこの光再構成ゲートアレイには、実際には静的なメモリが実装されているが、本工

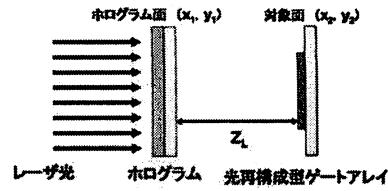


図 5 ホログラムメモリの計算
Fig. 5 Calculation for a hologram memory

ミュレーション試験では、これら静的なメモリを無効化して使用した。

3.2 ホログラムメモリ

3.2.1 干渉縞の計算

干渉縞の計算式は以下のように与えられる。光再構成ゲートアレイ VLSI と液晶ホログラムの位置関係が図 5 のように与えられるものとすると、この構成上のホログラムのある点の透過率 $H(x_1, y_1)$ は以下の式にて求められる。

$$H(x_1, y_1) \propto \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} O(x_2, y_2) \sin(kr) dx_2 dy_2, \\ r = \sqrt{Z_L^2 + (x_1 - x_2)^2 + (y_1 - y_2)^2} \quad (1)$$

ここで、 $O(x_2, y_2)$ は光再構成ゲートアレイ上の光コンテキストを示す開口関数であり、明点、暗点の状態、つまり、2 値のピクセル値分布を示す。また、 Z_L はホログラムメモリと光再構成ゲートアレイ VLSI との距離を示す。 k はレーザーの波数である。そして、(1) 式の結果を規格化するのが以下の式である。

$$H'(x_1, y_1) = \frac{H(x_1, y_1) - H_{\min}}{H_{\max} - H_{\min}}. \quad (2)$$

最終的に $H'(x_1, y_1)$ の値がホログラムの値として使用される。

前述の式から 2 入力-1 出力の NAND 回路、4 入力-1 出力の OR 回路のホログラムを作成した。それぞれの回路に対して、反転ビットを使用した場合、反転ビットを使用しない場合でのホログラムを作成した。例として NAND 回路のコンテキストパターンと生成されたホログラムメモリのパターンを図 7 に示す。

3.3 実験システム

実験光学系とその写真を図 6 に示す。レーザ光源として波長 532nm、光強度約 300mW の半導体レーザ (torus 532; Laser Quantum Ltd.) を使用し、出射された光を焦点距離 50mm のレンズに通過させ、ビーム径約 1.7mm を 6 倍の 10.2mm に拡大し、液晶テレビパネルに入射させた。ここで使用した液晶パネルはセイコー社製の L3D07U-81G00 である。この液晶パネルの画素数は 1920×1080 ピクセル、1 画素のサイズは $8.5 \times 8.5\mu\text{m}$ であり、評価ボード (L3B07-E60A) を介してパソコンによる制御される。また液晶ホログラムからの回折光は偏光板を通してゲートアレイ VLSI に照射される。液晶テレビパネルとゲートアレイ VLSI 間の距離は 100mm とした。

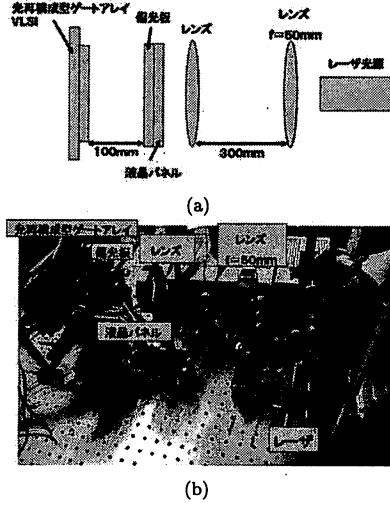


図 6 実験システム
Fig. 6 Experiment system.

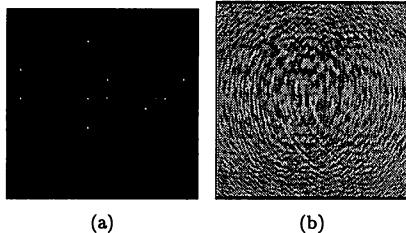


図 7 NAND 回路 (a) コンテキストパターン (b) ホログラムパターン
Fig. 7 NAND circuit. Figure(a)Context pattern. Figure(b)Hologram pattern

3.4 実験結果

前述の実験システムを使用して、反転・非反転ダイナミック光再構成アーキテクチャをエミュレートし、再構成試験を行った。2 入力 1 出力の NAND 回路、4 入力 1 出力の OR 回路を実装した。実験結果を図 8、図 9 に示す。図 8 で示した NAND 回路の実装では、反転フォトダイオード未使用時に再構成時間が $43\mu s$ 、保持時間が $254\mu s$ であったのに対して反転フォトダイオードを使用した場合では NAND 回路のコンテキスト内の光の明点のビット数が 1 ビット減らせ、再構成時間が $35\mu s$ に短縮できた。また保持時間も $331\mu s$ と好結果得た。

また図 9 で示した 4 入力 1 出力の OR 回路の実装では、反転フォトダイオード未使用時に再構成時間 $108\mu s$ 、保持時間 $90\mu s$ の結果を得た。それに対して、反転フォトダイオードを使用した場合では、OR 回路のコンテキスト内の明点のビット数を 28 ビットから 18 ビットへ減らすことができるので、その結果として再構成時間が $71\mu s$ に短縮された。また保持時間は $222\mu s$ の結果を得た。

またそれぞれの回路において、反転フォトダイオード未使用時の再構成時間、反転フォトダイオード使用時の再構成時間よ

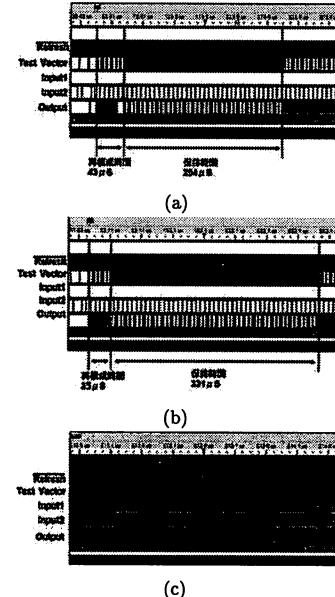


図 8 NAND 回路実装結果 (a) 反転フォトダイオード未使用時の波形 (b) 反転フォトダイオード使用時の波形 (c) NAND 回路の入出力波形

Fig. 8 Implementation result of a NAND circuit. Figure(a) shows the timing diagram of a configuration without inversion photodiodes. Figure (b) shows the timing diagram of a configuration using inversion photodiodes. Figure(c) shows the timing diagram of operations of a NAND circuit

り再構成周波数の割合を求めるとき、NAND 回路で 1.22 倍、OR 回路で 1.52 倍、平均で 1.37 倍、再構成周波数が加速する結果となつた。

よってこの実験で、反転フォトダイオードを用いている反転・非反転ダイナミック光再構成アーキテクチャは高速再構成に有用性があることを示した。また保持時間に関しては今実験では $200\mu s \sim 300\mu s$ の結果を得たが、1 クロック単位での動的再構成を目指している光再構成型ゲートアレイにおいては、十分な保持時間と言える。

4. VLSI 設計結果

本稿では反転・非反転ダイナミック光再構成アーキテクチャの比較評価の為に、前述のダイナミック光再構成アーキテクチャ、差分光再構成アーキテクチャ、において同一サイズの LSI の設計を行った。表 2, 3, 4 に設計結果を示す。VLSI の設計には $0.35\mu m$ CMOS プロセスを使用し、チップサイズは $9.8mm$ 角で設計を行った。反転・非反転ダイナミック光再構成アーキテクチャ、差分光再構成アーキテクチャに用いている反転フォトダイオードは一番利用効率が高い論理ブロックのルックアップテーブル部分にのみ実装した。また差分光再構成アーキテクチャの受光回路に含まれる静的メモリは全ての受光回路に実装した。

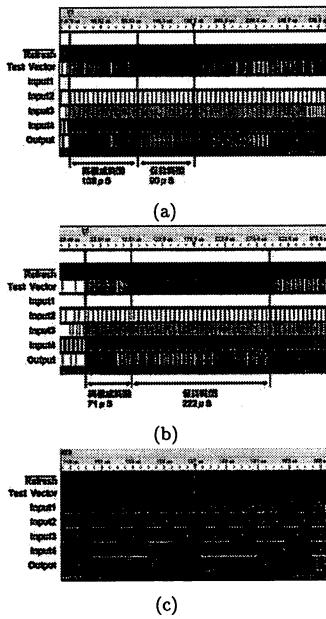


図 9 OR 回路実装結果 (a) 反転フォトダイオード未使用時の波形
(b) 反転フォトダイオード使用時の波形 (c) OR 回路の入出力
波形

Fig.9 Implementation result of an OR circuit. Figure(a) shows the timing diagram of a configuration without inversion photodiodes. Figure (b) shows the timing diagram of a configuration using inversion photodiodes. Figure(c) shows the timing diagram of operations of an OR circuit

表 2 反転・非反転ダイナミック光再構成型ゲートアレイ VLSI の詳細
Table 2 Specifications of an inversion / non-inversion dynamic optically reconfigurable gate array VLSI

0.35μmCMOS プロセス使用	
チップサイズ	9.8 × 9.8(mm)
フォトダイオードサイズ	9.5 × 8.8(μ m)
フォトダイオード間の距離	縦 33.0 , 34.5 横 33.0(μ m)
論理ブロック数	336
スイッチングマトリクス数	360
ルーティングチャネル	
のワイヤー数	8
I/O ブロック数	8(32 ビット)
ゲート総数	11,424

5. 反転・非反転ダイナミック光再構成アーキテクチャの比較評価

動的再構成デバイスを目指している光再構成型ゲートアレイでは、VLSI の瞬間的な性能を向上させるために、LSI の高密度化と再構成速度のさらなる高速化が求められている。よってこの二点について比較評価を行う。まずそれぞれの LSI のゲート数は、ダイナミック光再構成アーキテクチャでは 12,240、反転・非反転ダイナミック光再構成アーキテクチャでは 11,424、差

表 3 差分光再構成型ゲートアレイ VLSI の詳細
Table 3 Specifications of an optically differential reconfigurable gate array VLSI

0.35μmCMOS プロセス使用	
チップサイズ	9.8 × 9.8(mm)
フォトダイオードサイズ	9.5 × 8.8(μ m)
フォトダイオード間の距離	縦 84.0 , 72.0 , 54.0 横 33.0(μ m)
論理ブロック数	144
スイッチングマトリクス数	168
ルーティングチャネル	
のワイヤー数	8
I/O ブロック数	7(28 ビット)
ゲート総数	4,896

分光再構成アーキテクチャでは 4,896 となり、ダイナミック光再構成アーキテクチャが高密度化において高い性能を持つことが分かる。これは反転・非反転ダイナミック光再構成アーキテクチャには反転フォトダイオード、差分光再構成アーキテクチャには反転フォトダイオードと静的メモリが実装されている為である。

またダイナミック光再構成アーキテクチャの再構成周波数を 1 とした場合、それぞれのアーキテクチャの再構成周波数は、反転・非反転ダイナミック光再構成アーキテクチャ、差分光再構成アーキテクチャとともに再構成周波数約 1.38 となる。これは反転・非反転ダイナミック光再構成アーキテクチャと差分光再構成アーキテクチャには反転フォトダイオードが実装されており、前述の実験より、反転フォトダイオードを用いることによってコンテキスト内の明点のビット数の削減が可能となり、再構成周波数が 1.38 倍加速する結果が得られた為である。また差分光再構成アーキテクチャにおいては、静的メモリを実装することによる差分再構成手法をも用いているので、動的再構成時には、さらに高い高速再構成の能力を示すことが実証されている。

ここで反転・非反転ダイナミック光再構成アーキテクチャの性能を見ると、再構成周波数は初期の光再構成型ゲートアレイ、ダイナミック光再構成アーキテクチャと比べ 1.38 倍となり、高速再構成において有用性を持つ。

またゲート数では、差分光再構成アーキテクチャの 2.3 倍の 11,424 を実現している。これは高密度化において一番高い性能を持つダイナミック光再構成アーキテクチャのゲート数と比べても 0.93 倍であり、反転・非反転ダイナミック光再構成アーキテクチャは高密度化においても有用性を持つと言える。

よって反転・非反転ダイナミック光再構成アーキテクチャは高速再構成、高密度、両方に対して有用性を持つアーキテクチャと言える。

6. ま と め

本稿では、我々が新しく提案している反転・非反転ダイナミック光再構成アーキテクチャと従来の手法とを同一条件下において比較評価した。結果、反転・非反転ダイナミック光再構成アーキテクチャは初期の光再構成型ゲートアレイ、ダイナミック光

表 4 ダイナミック光再構成型ゲートアレイ VLSI の詳細

Table 4 Specifications of a dynamic optically reconfigurable gate array VLSI

0.35μmCMOS プロセス使用	
チップサイズ	9.8 × 9.8(mm)
フォトダイオードサイズ	9.5 × 8.8(μ m)
フォトダイオード間の距離	縦 34.5 , 33.0 横 33.0(μ m)
論理ブロック数	360
スイッチングマトリクス数	384
ルーティングチャネル	
のワイヤー数	8
I/O ブロック数	8(32 ビット)
ゲート総数	12,240

- [8] M.Watanabe, F.Kobayashi,"A high-density optically reconfigurable gate array using dynamic method," International conference on Field-Programmable Logic and its Applications, pp.261-269, 2004

再構成アーキテクチャと比べ再構成周波数を 1.38 倍高速化できた。また、ゲート規模においても、初期の差分光再構成型ゲートアレイの 2.3 倍を達成でき、高密度化が果たせた。もちろん高密度化において最も有利であるダイナミックアーキテクチャと比較した場合には、ゲート規模は 93 % に低下したが、再構成速度の利点からも許容できるレベルであることが確認できた。結果、反転・非反転ダイナミック光再構成アーキテクチャは高速再構成、高密度、両方に対して有用性を持つことを示せた。

謝辞 本研究の一部は総務省・戦略的情報通信研究開発推進制度（SCOPE）の支援を受けて行われた。また、本研究に使用したチップは東京大学大規模集積システム設計教育研究センターを通し、ローム（株）および凸版印刷（株）の協力で試作されたものである。

文 献

- [1] J.Mumbru, G.Panopoulos, D.Psaltis, X.An, F.Mok, S.Ay, S.Barna, E.Fossum, "Optically Programmable Gate Array," SPIE of Optics in computing 2000, Vol.4089,pp.763-771,2000.
- [2] J.Mumbru, G.zhou, X.An, W.Liu, G.Panopoulos, F.Mok, D.Psaltis, "Optical memory for computing and information processing," SPIE on Algorithms,Devices, and Systems for Optical Information Processing , Vol.3804, pp. 14-24,1999.
- [3] J.Mumbru, G.zhou, S.Ay, X.An, G.Panopoulos, F.Mok, D.Psaltis, "Optically Reconfigurable Processors," SPIE Critical Review 1999 Euro-American Workshop on Optoelectronic Information Processing, Vol. 74, pp.265-288,1999
- [4] M.Watanabe, M.Miyano, F.Kobayashi,"Differential Reconfiguration Architecture suitable for a Holographic Memory," International Conference on engineering of reconfigurable system and algorithms, pp.198-203,2006
- [5] M.Watanabe, F.Kobayashi,"An Optically Differential Reconfigurable Gate Array and its power consumption estimation," IEEE International Conference on Field-Programmable Technology , pp.197-202, 2002.
- [6] M.Watanabe, F.Kobayashi,"An Optically Differential Reconfigurable Gate Array with a partial reconfiguration optical system and its power consumption estimation," 17th International Conference on VLSI Design, pp 735-738, 2004
- [7] M.Miyano, M.Watanabe, F.Kobayashi,"Rapid Reconfigurable Gate Array with Pulse Lasers," IEEE International Conference on Field Programmable Technology, pp. 287-288, 2005.