

9 コンテキスト・プログラマブル光再構成型ゲートアレイとライター

久保田 慎也[†] 渡邊 実[†]

[†] 静岡大学工学部 〒432-8561 静岡県浜松市城北 3-5-1

E-mail: †tmwatan@ipc.shizuoka.ac.jp

あらまし 近年、将来予想される集積回路の高性能化の鈍化に対する打開策として、光によって動的に再構成ができる光再構成型ゲートアレイの研究が進められている。この光再構成型ゲートアレイは、レーザアレイ、ホログラムメモリ、ゲートアレイ VLSI から構成され、レーザアレイ部からの光の照射によってホログラムメモリ内に記憶されたコンテキスト情報を選択的に読み出し、ゲートアレイ VLSI を動的に書き換えていく新しいタイプの VLSI である。しかし、これまでの研究ではホログラム内の回路情報を書き換える事については考慮されていなかった。そこで我々は、ライターを用いることによって外部からホログラムメモリを書き換える事ができる新しいタイプの光再構成型ゲートアレイの開発を進めている。本稿では、光メモリ部に 9 つのコンテキストまで実装できることを実証した試験結果について報告する。

キーワード 光再構成型ゲートアレイ, FPGA, ホログラムメモリ, 再構成デバイス

A programmable 9-contexts optically reconfigurable gate arrays and its writer

Shinya KUBOTA[†] and Minoru WATANABE[†]

[†] Shizuoka University

3-5-1, Johoku, Hamamatsu, Shizuoka, 432-8561 Japan

E-mail: †tmwatan@ipc.shizuoka.ac.jp

Abstract Recently, optically reconfigurable gate arrays (ORGAs) that can realize dynamic reconfiguration have been developed. The ORGAs consists of a holographic memory, a laser array, and a gate array VLSI. ORGAs are new type VLSIs, the gate arrays of which are optically reconfigured using diffraction patterns from a holographic memory that is addressed using a laser diode array. However, conventional ORGAs have one important shortcoming. They cannot be reprogrammed after fabrication. Therefore, to improve that shortcoming, we have been developing a programmable optically reconfigurable gate array architecture. So, this paper presents the demonstration of a programmable 9-contexts optically reconfigurable gate arrays and its writer.

Key words Optically reconfigurable gate arrays, FPGAs, holographic memories, Reconfigurable devices

1. はじめに

今日までに集積回路の集積度は飛躍的に進歩してきたが、近年、物理的限界が近づきつつあり、近い将来における高性能化の鈍化が懸念されている。そのような中で、LSI の利用効率を高めることが可能である再構成デバイスに注目が集まっている。動的再構成可能なデバイスでは必要な回路を必要な時に実装することが出来るので稼働率を高めることができる。しかし、動的再構成デバイスには、高速再構成の性能と、その再構成を持続可能な大容量のコンテキストの両立が必要である。

再構成デバイスの一つに FPGA (Field Programmable Gate

Array) がある [1][2][3]。FPGA は、通常、外部メモリとセットで用いられ、外部メモリに記憶された回路情報を FPGA 本体にダウンロードすることによって使用される。しかし、この転送はシリアル転送であるため大規模な回路を高速に実装することが難しかった。

一方、IP-Flex 社が開発した DAP/DNA [4] や NEC 社の DRP のようなマルチコンテキストデバイスでは、複数のバンクを持つメモリが実装されており、1 クロックでの高速再構成が可能である。しかし、コンテキストのメモリ容量がチップサイズから制限されており、コンテキスト数を多くできない問題がある。

このような中、光を用いて高速な動的再構成が可能な光再

構成型ゲートアレイ (ORGA:Optically Reconfigurable Gate Array) [5][6][7] が開発されている。これは、レーザーアレイ、ホログラムメモリ、ゲートアレイ VLSI によって構成され、ホログラムメモリの大容量性により多数のコンテキストの実装が可能であり、かつ、2 次元の光バスにより高速な再構成が可能である。

しかし、これまでの研究ではホログラム内の回路情報を書き換える事については考慮されていなかった。そこで我々は、ライターを用いることによって外部からホログラムメモリを書き換える事ができる新しいタイプの光再構成型ゲートアレイの開発を進めている。本稿では、光メモリ部に 9 つのコンテキストまで実装できることを実証した試験結果について報告する。

2. 光再構成型ゲートアレイ

2.1 概 要

光再構成型ゲートアレイはレーザーアレイ、光メモリ、ゲートアレイ VLSI から構成されている。この概略図を図 1 に示す。光メモリには多数のコンテキスト情報が保存されており、それらコンテキスト情報はレーザーアレイにより選択的に読み出され、フォトダイオードを介してゲートアレイ取り込まれる。点灯させるレーザーを選択することによって実装する回路の変更が可能である。

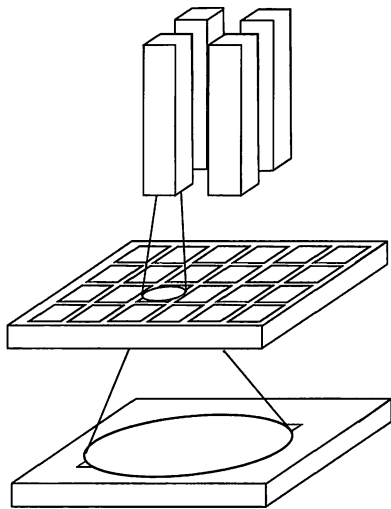


図 1 光再構成型ゲートアレイの概略図
Fig.1 Overview of an ORGA.

2.2 ゲートアレイ VLSI

本実験で使用したプロトタイプの光再構成型ゲートアレイ VLSI チップのゲートアレイ構成を図 2 に示す。演算回路を実装する論理ブロック (CLB) が 4 つ、3 方向の配線を決定するスイッチングマトリクス (3SM) が 4 つ、4 方向の配線を決定するスイッチングマトリクス (4SM) が 1 つ、そして外部との情報のやり取りを行う I/O ブロック (IOB) が 1 2 個実装されている。このゲートアレイ VLSI にはフォトダイオードがマトリクス状に配置されておりフォトダイオードへの照射パターンに

よって回路情報を変更することができる。フォトダイオードの受光部の大きさは $25.5\mu\text{m} \times 25.5\mu\text{m}$ で $90\mu\text{m}$ 間隔で配置されており、縦 17 個、横 20 個ずつの計 340 個並んでいる。

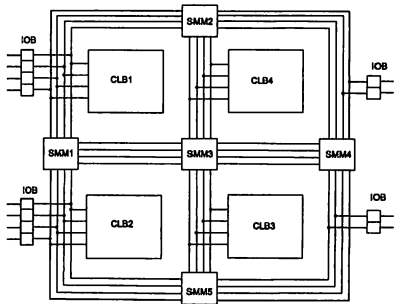


図 2 ゲートアレイ VLSI ブロック図
Fig.2 Block diagram of a gate array structure.

3. ライター

図 3 がライターを用いた光再構成型ゲートアレイの概要である。上部がライターであり下部がプログラマブル光再構成型ゲートアレイである。ライターによってプログラマブル光再構成型ゲートアレイ上面からホログラムパターンがプログラムされる。プログラム完了後、プログラマブル光再構成型ゲートアレイはライター部から取り出され、使用される。

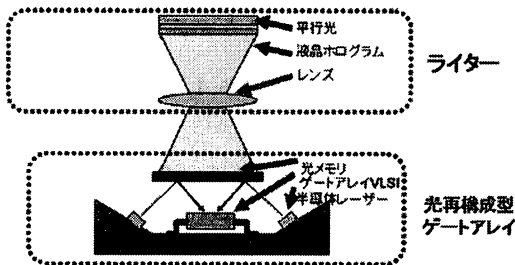


図 3 ライターを用いた光再構成型ゲートアレイの概要
Fig.3 Overview of a programmable ORGA and its writer.

4. ホログラムメモリ

4.1 干渉縞の計算

干渉縞の計算式は以下のように与えられる。図 4 のような位置関係でホログラムメモリ P とゲートアレイ VLSI に相当する点 Q を考える。この構成上のホログラムのある点における透過率 $H(x_1, y_1)$ は以下の式を用いて求められる。

$$H(x_1, y_1) \propto \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} O(x_2, y_2) \sin(kr) dx_2 dy_2$$

$$r = \sqrt{L^2 + (x_1 - x_2)^2 + (y_1 - y_2)^2}$$

(1)

ここで、 $O(x_2, y_2)$ は光再構成型ゲートアレイ上の光コンテ

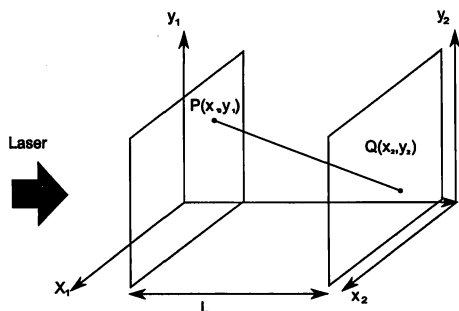


図4 干渉縞の計算方法

Fig.4 Calculation of an interference pattern

キストを示す開口関数であり、コンテキストの強度分布に相当する。明点を1，暗点を0として2値の分布を示す。また k はレーザの波数であり、 L はホログラムメモリとゲートアレイ VLSI の距離を示す。そして、(1) 式の結果を規格化したものが以下の式である。

$$H'(x_1, y_1) = \frac{H(x_1, y_1) - H_{min}}{H_{max} - H_{min}} \quad (2)$$

最終的に $H'(x_1, y_1)$ の値がホログラムメモリの値として使用される。マルチコンテキストの場合、コンテキスト毎に、ホログラムの実装位置が異なるが、こちらも前述の計算式によって同様に計算する事ができる。

4.2 ホログラムの生成

前述の計算方法により作製したホログラムパターンを図5に示す。このホログラムパターンには合計9つの回路情報が記録されており、今度の再構成試験では、左上のAND回路を使用した。AND回路のコンテキストパターンを図6に示す。AND回路のホログラムパターンは中心位置から $x=3570\mu m, y=3570\mu m$ の位置にある。各回路のホログラムパターンは 250×250 ピクセルで構成され、各々のピクセルの大きさは $14\mu m \times 14\mu m$ である。ホログラムメモリからゲートアレイ VLSI 間の距離は $250mm$ である。また、使用したレーザの波長は $635 nm$ である。

5. 光学系と光再構成試験

光学系を図7に、その写真を図8に示す。この光学系にはプログラマブル光再構成型ゲートアレイとライターが含まれる。ライターの部分には液晶が実装されており、ゲートアレイ VLSI に実装するホログラムパターンをこの液晶上に実装する。そして、レーザを点灯させると、その液晶上のホログラム情報が、ゲートアレイ VLSI 部のホログラムメモリ、ここでは光アドレス型空間光変調器 (PAL-SLM) に転写される。転写後、光再構成型ゲートアレイ上ではこのホログラム情報に基づき、オーバーレイが実行されることになる。この度は、ホログラムメモリとして揮発性のデバイス、PAL-SLM を用いたもので、ライターから分離して使用することは出来ないが、将来的に不揮発性のホログラム材料をこの部分に用いることで、ライターから取り外して使用することが可能になる。ここでは、



図5 ホログラムメモリパターン

Fig.5 Holographic memory.

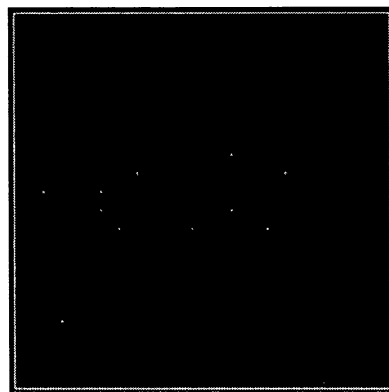


図6 AND回路のコンテキスト

Fig.6 AND circuit context.

PAL-SLM とゲートアレイ VLSI 間の距離を $250mm$ 、液晶パネルから PAL-SLM 間での距離を $400mm$ とした。光源には波長 $635nm$ の可視半導体レーザーを用いた。

6. 実験結果

図5のホログラムパターンを実装し、プログラマブル光再構成型ゲートアレイ部へのプログラム、再構成試験を実施した。液晶パネルから PAL-SLM へと転写されたホログラムパターンより得ることのできたコンテキストパターンを図9に示す。動作波形を図11、再構成波形を図10に示す。これらより再構成時間は $5.62ms$ であり、そのとき9コンテキスト・プログラマブル光再構成型ゲートアレイが正常に動作を行っていることが確認できた。

7. まとめ

本稿では、ライターと共に9コンテキスト・プログラマブル光再構成型ゲートアレイを構築し、その動作を実証した。本実験では、ホログラムメモリとして揮発性のデバイスである PAL-SLM を用いたため、ライター部とプログラマブル光再構成

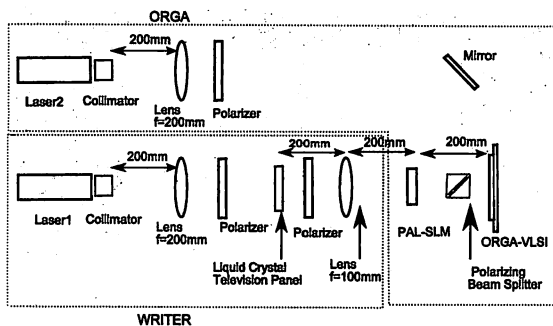


図 7 光学系

Fig. 7 Optical system including an ORGA part and a writer part.



図 8 光学系写真

Fig. 8 Photograph of the experimental system

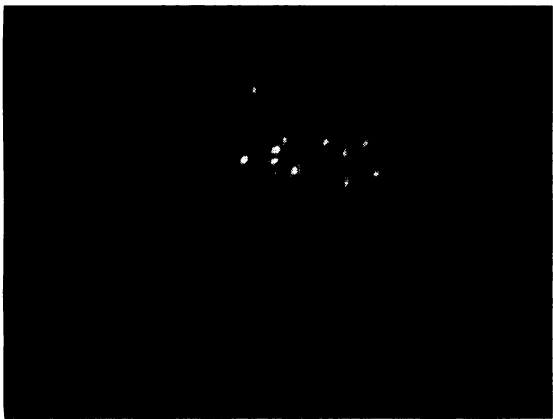


図 9 回折パターン

Fig. 9 Diffraction pattern.

成型ゲートアレイ部を分離することはできないが、ホログラムメモリを不揮発性のデバイスと使用することによって分離することができる。今後、不揮発性のデバイスを使用した研究を進めていく予定である。

謝辞 本研究の一部は科学研究費補助金 基盤研究 (C)(20560322) の支援を受けて行われた。また、本研究に使

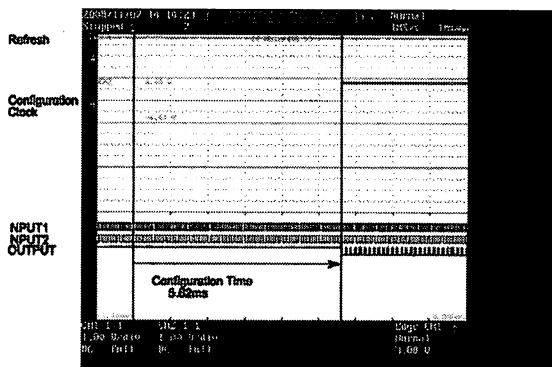


図 10 AND 回路の動作波形

Fig. 10 An AND circuit operation.

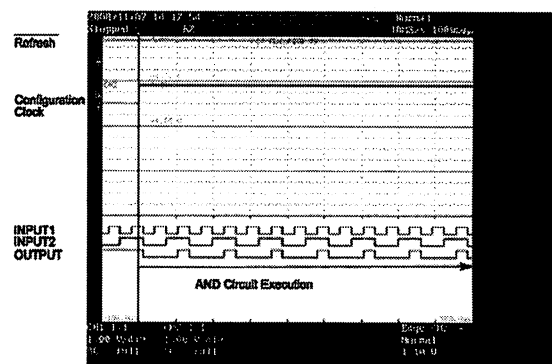


図 11 AND 回路の再構成処理 (5.62ms)

Fig. 11 Reconfiguration time of AND circuit.(5.62ms)

用したチップは東京大学大規模集積システム設計教育研究センターを通し、ローム (株) および凸版印刷 (株) の協力で試作されたものである。

文 献

- [1] Altera Corporation, "Altera Devices," <http://www.altera.com>.
- [2] Xilinx Inc., "Xilinx Product Data Sheets," <http://www.xilinx.com>.
- [3] Lattice Semiconductor Corporation, "LatticeEPC and EC Family Date Sheet," <http://www.latticesemi.co.jp/products>, 2005.
- [4] IPFlex Inc. "DAPDNA Features" <http://www.ipflex.com/jp/>
- [5] J.Mumbru, G.Panotopoulos, D.Psaltis, X. An, F.Mok, S.Ay, S.Barna, E.Fossum, "Optically Programmable Gate Array," SPIE of Optics in Computing 2000, Vol. 4089, pp. 763-771, 2000.
- [6] J.Mumbru, G.zhou, X. An, W.Liu, G.Panotopoulos, F.Mok, D.Psaltis, "Optical memory for computing and infometion processing," SPIE on Algorithms, Devices, and Systems for Optical Infomation Processing III, Vol. 3804, pp. 14-24, 1999.
- [7] J.Mumbru, G.Zhou, S.Ay, X.An, G.Panotopoulos, F.Mok, D.Psaltis, "Optically Reconfigurable Processors," SPIE Critical Review 1999 Euro-Americean Workshop on Optoelectronic Information Processing, Vol. 74, pp. 265-288, 1999.