

## [招待講演] Customizable Dataplane Processors for System-on-Chip

菅原 崇之

テンシリカ株式会社 〒222-0033 横浜市港北区新横浜 3-12-4 エクステ新横浜 2F

E-mail: sugawara@tensilica.com

あらまし System-on-Chip (SOC)に向けた customizable processor である Xtensa プロセッサについて、そのアーキテクチャ及びその適用事例を述べる。SOC の開発手法の 1 つとして、プロセッサソリューションを導入することにより、SOC 開発のリスクを減少する。同時に、customizable processor であることから、必要十分なパフォーマンスと低消費電力を同時に実現する。また、自動化されたプロセッサ及び開発ツールの生成により、システム構成の検討に合わせた、逐次的なシステム構成変更を迅速に行うことが可能になり、設計生産性が向上する。

キーワード Customizable Processor, Dataplane Processor Unit, DPU

## Customizable Dataplane Processors for System-on-Chip

Takayuki SUGAWARA

Tensilica K.K. Xte Shin-Yokoham 2F, 3-12-4, Shin-Yokohama, Kohoku-ku, Yokohama, 222-0033 Japan

E-mail: sugawara@tensilica.com

**Abstract** The architecture of Xtensa processor, which is the leading customizable processor for System-on-Chip (SOC), and its user examples are illustrated. The risks around the large SOC development are decreased by introducing these processor solutions. At the same time, the both of the performance requirement and the low-power requirement are achieved simultaneously by using the customizable processor platform. The automated processor generation and related software tools generation enable to execute the iterative system architecture update at design phase and increases the design productivity rate.

**Keyword** Customizable Processor, Dataplane Processor Unit, DPU

**tensilica**  
The Dataplane Processor Company

## Customizable Dataplane Processors for System-on-Chip

テンシリカ株式会社  
菅原 崇之

V15.3

**tensilica Tensilica, Inc.**

**製品 - Customizable Processors IP**

- Dataplane Processor Units (DPU)s IP cores: 低消費電力、小面積、ハイパフォーマンスなCPU/DSPコアとソフトウェアデザインツールを合わせて提供
- オーディオ、ビデオ、イメージング、ベースバンド向け、スタンダードDPUソリューション
- configurable processor technology について、40以上の特許

**ターゲット - Broad-based success**

- Consumer wireless, Home entertainment, Printing and digital imaging, Wireline network access, Networking infrastructure, Graphics GPUs and PC components

**ビジネスモデル - 半導体IPライセンス**

- 130社以上にライセンス(半導体トップ10企業の5社を含む)
- 年間2億以上の出資
- Fastest growing processor/DSP IP company (22% revenue growth in 2007)

**会社概要**

- 1997年設立、米上場
- 本社: カリフォルニア、サンタクララ
- 1999年日本法人設立(テンシリカ株式会社)

© 2008 Tensilica Inc.

**tensilica Xtensa Processor Generator Evolution**

**Ver. 6**

- XTENSA LX Processor Series
  - FLX (VLIW) Architecture
  - Designer-defined I/O Ports
  - 5 or 7-Stage Pipeline
  - Dual LoadStore
- Xtensa LX
- XPRES Compiler
- Xtensa 6

**Ver. 7**

- Xtensa LX2
- TurboXim
- XTSC
- Xenergy
- Xtensa 7

**SOC DESIGN AUTOMATION**

- MP SW development tool chain
- System Simulation, Analysis
- Automated Instruction extension generation

**Automated SW Tool Chain Generation**

- XTMP
- Xtensa Xplorer
- Xtensa V

**XTENSA Processor Series**

- Classic 5-Stage Pipeline processor
- Hardware & Software Tool Co-Generation based on TIE

1999 thru 2008

© 2008 Tensilica Inc.

**tensilica Tensilica Focus: Dataplane**

**Data plane**

- Analog
- RTL
- Video Codec
- Video Codec DSP
- Audio Codec
- Embedded Controller
- Dataplane Processing
- Protocol processing

**Control plane**

- Main Applications CPU
- Memory
- Baseband DSP
- Baseband MAC/Connect
- Security

Tensilica fit and success - Embedded Control and DSP

© 2008 Tensilica Inc.

**tensilica Complex SOC's: Risk & Reward**

**Complex SOC's deliver many benefits**

- High performance
- Low cost and low power through integration

**Complex SOC design is risky**

- Time to market - design productivity gap
- Verification of millions of gates of custom logic

2M to 10M+ Gates Application-Specific Logic Designed with RTL

© 2008 Tensilica Inc.

**tensilica Fixed RTL Logic: The Risk Factor**

... **Increases risk, slows time to market**

**RTL Logic**

- Verification of complex state machines
- Costly silicon respins to make changes
- Obsolescence as markets or standards change

INPUT

RTL

State Machine

Conventional logic

OUTPUT

10% of Gates, 90% of Risk

90% of Gates, 10% of Risk

© 2008 Tensilica Inc.

# Processor Solution for SOC Design

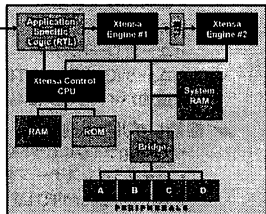
## **Optimized Processors as Building Blocks**

- Task-specific, optimized processors
- Optimal performance/power/cost; similar to RTL performance
- Hardware and Software Design productivity

**Lower Risk**

- Verify Algorithm in Software within hours
- Change in Software

**Higher Productivity Design**



Bus topology shown for illustration purposes only  
Numerous topologies and configurations possible

© 2004, Tensilica, Inc.



# Tensilica's Processor Technology

© 2006, Tensilica, Inc.



## Customizability

- **Configurability**
  - ・ 予め用意された機能を選択
  - ・ チェックボックス、ドロップダウンメニューで設定
- **Extensibility**
  - ・ 実行ユニット、レジスタ、レジスタファイル、IOを追加し、命令の振る舞いを定義
  - ・ TIE: Tensilica Instruction Extensionによる記述
- **CustomizabilityはConfigurabilityとExtensibilityの両方を含む概念**

[illegible]

**Xtensa Architecture: 3 Layer**

- **Core ISA**
  - 32-bit RISC architecture
- **Configurable options**
  - Execution Unit and ISA options
  - Interface options
  - Memory Subsystem options
- **Processor extension**
  - Instruction
  - User Register, User Register File
  - I/O

© 2008, Tensilica Inc.



# Xtensa Core ISA

- ハーバードアーキテクチャ
- 32ビットオペレーション
- 24ビット長命令
  - ・ 16ビット長命令はオプション
- レジスタウィンドウ
- 条件分岐命令
- 5段パイプライン
  - ・ 7段パイプラインはオプション

12

© 2004, Tensilica Inc.

## tenillica Xtensa Configurable Options

- レジスタファイル: 16/32/64エントリ
- ゼロオーバーヘッドループ
- MUL16/32, MAC16, DIV
- DSP engine, FPU
- PIF: Processor Interface, 32/64/128bit width
- I-Cache, D-Cache, Local Memory
- MMU
- Exception, Interrupt
- On-Chip Debug, Trace,
- ...

13 © 2006, Tenillica Inc.

## tenillica Processor Extension: TIE

- TIE言語による拡張記述
  - 命令の機能を記述
  - ユーザレジスタ
  - ユーザロードストア
  - ユーザIO(TIE port, TIE queue, TIE look-up)
  - 追加パイプライン (3-issue VLIW)
- 機能レベルで記述
  - Verilogライクにビット幅を明示
  - パイプラインステージを考慮する必要はない
  - TIE compilerがRTLを自動生成

14 © 2006, Tenillica Inc.

## tenillica Design Support

- Xplorer IDE
  - Processor Configuration Development
  - Software Development
- Automatic Generation of Processor Extension
  - XPRES compiler
- Automatic Generation of SW tools
  - Processor Extensionに完全対応したツール生成
  - Compiler, Assembler, Linker, ISSISS
  - C/C++ API (XTMP), SystemC Model (XTSC)
- EDA scripts generation
  - Verification environment, Synthesis scripts

15 © 2006, Tenillica Inc.

## tenillica ツールチェーンの自動化

16 \* US Patent: 6,477,697 © 2006, Tenillica Inc.

## tenillica Tensilica Product Portfolio

|                          | Controller               | Comms DSP                     | HiFi Audio                    | Video/Imaging     | Other             |
|--------------------------|--------------------------|-------------------------------|-------------------------------|-------------------|-------------------|
| Fully customizable Cores | Xtensa controllers       | Xtensa with Vectra DSPs       | Xtensa with HiFi audio        | Xtensa for Video  | Security          |
| Configurable Cores       | Configurable Controllers | Configurable Vectra Cores DSP | Configurable HiFi Audio Cores | Standard VIO Mega | Storage Data Comm |
| Standard Cores           | Standard Controllers     | Standard Cores DSPs 545CK     | Standard Audio DSP 5304AF     |                   |                   |

**Processor Foundation**

Cero Xtensa Instruction Set and Base Processor  
 Xtensa Processor Generator (XPG) Automatic Processor Creation in 1 Hour  
 Complete Software Toolchain, 3rd Party Ecosystem, EDA Flows, Models  
 Multiple Processor SOC Design Infrastructure

17 © 2006, Tenillica Inc.

## tenillica SoC platformとしての今後の課題

- エコシステムの構築
  - ソフトウェア資産の集積が課題
- Extensibilityと汎用性のトレードオフ
  - Extensibilityによる性能向上はSWの再利用性を妨げがら
- マルチコアシステム構築の支援
  - シングルコアとしてのcustomizable processor環境
  - マルチコアシステムは各アプリケーションに合わせて、アドホックに構築される
  - ソフトウェア開発環境が未対応

18 © 2006, Tenillica Inc.

## 様々なon-chip communications



## 2

**Tensilica**  
**Diamond 388VDO Video Engine Core**



## AMP example: Epson's REALiD Printer SOCs



## AMP Printer Concept: SOC block diagram

## Embarrassingly Parallel Example:



