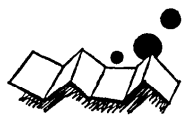


解説



三次元 IC†

黒川 恭一†† 相磯 秀夫††

1. ま え が き

集積回路 (Integrated Circuit: IC) は、1958 年に発明されて以来今日に至るまで、目覚ましく発展し続けている。このような IC の隆盛は、経済的に許容できる範囲内で電子装置を大規模化・複雑化してほしいという社会的要請が、年とともに指数関数的に高まり、IC がまさしくこの要請に適していたためであるといえる¹⁾。図-1 に、近年における IC の需要の推移を示す。

このように、IC が広く利用されるようになったゆえには、その長所として

- 小型・軽量
- 高生産性・安価
- 高信頼性
- 低消費電力
- 高速性

などの利点が存在するためだといわれている^{2)~4)}。

さらに、ここで挙げた IC の各長所は、集積度を高くすればするほど顕著になるものである⁴⁾。そのため IC の集積度は、図-2 のメモリ容量の増大に代表されるように、着実に増大し続けている。この、集積度増大の技術的背景としては、

- (1) デバイス、回路の改良
- (2) チップ面積の増大
- (3) 微細化

などが挙げられる^{4)~6)}。

このうち(1)の回路の改良は、1 トランジスタの DRAM セルが登場するなど、二次元的にはすでに限界に達しつつあり、代わって溝掘りやスタック構造などのデバイスの部分的三次元化が試みられてきている。

また、(2)、(3)の方法による集積度の向上は、1980

年代の主流となっているが、1990 年代までにはどちらも経済的限界に到達してしまうといわれている。その理由を以下に要約する。

まず(2)のようにチップ面積を増大させると、チップ内に欠陥の含まれる確率が増すため歩留りが低下してしまい、結局生産コストが上昇してしまうことになる。この経緯をマイクロプロセッサを例に示す⁷⁾。マイクロプロセッサチップの生産コスト C は、その面積を A とするとき、

$$C = K \cdot 10^{0.0264A}$$

と表される。ただし、 A はチップの面積 ($\text{mil}^2/1000$)、 K は製造技術などによって定まる定数である。

この例で示したように、一般的にチップ面積の増大に伴い生産コストは、指数関数的に増大してしまうため、将来経済的生産が困難になることが予想される。

また(3)の微細化については、サブミクロン領域に入るにつれて、

- 不純物のゆらぎ
- 放射線損傷
- 基板中の二次衝突電離による性能低下
- 光露光技術の限界
- 量産可能な程度にスループットの高い電子ビーム露光技術の限界

など理論的・技術的に多くの問題が生じ、経済的な量産を困難にさせてしまう^{5), 6), 8)}。

さらに、集積規模の大規模化に伴い、

- トランジスタ相互の配線領域が相対的に増大してしまうため、集積度を上げた割にはチップ内のトランジスタ数を上げられない。
 - 配線長の増大により信号伝達が遅れてしまう。
- などの問題も生じてしまう^{9), 10)}。

以上のような種々の理由により、従来の二次元的な集積方式による集積度の増大に、限界が見えはじめてきたといえよう。この限界を打ち破る集積方式として最近具体化されてきているものの一つに、三次元 IC がある。本解説では、この三次元 IC についてその分

† Three-Dimensional IC by Takakazu KUROKAWA and Hideo AISO (Dept. of E. E., Faculty of Science and Technology, Keio University).

†† 慶應義塾大学理工学部電気工学科

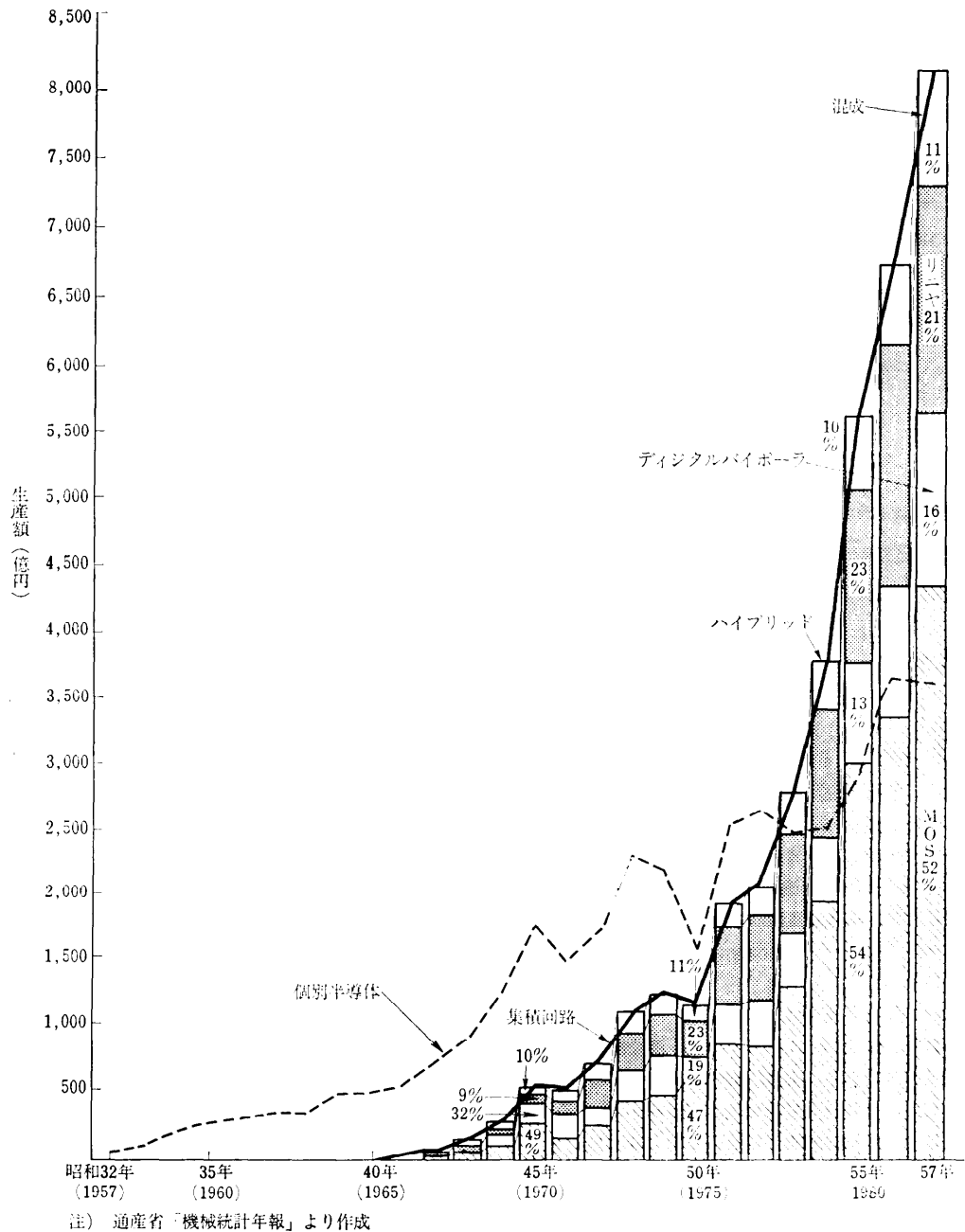


図-1 日本における IC 生産の推移 (電子材料 1983 年 7 月号より)

類、特徴、現状、応用分野、課題などの一般的概説を加えるとともに、将来の三次元 IC のあるべき姿を考察する。

2. 三次元 IC の分類

三次元 IC には、表-1 に示すようにいくつかの分類方法がある。以降、各分類法を紹介してゆく。

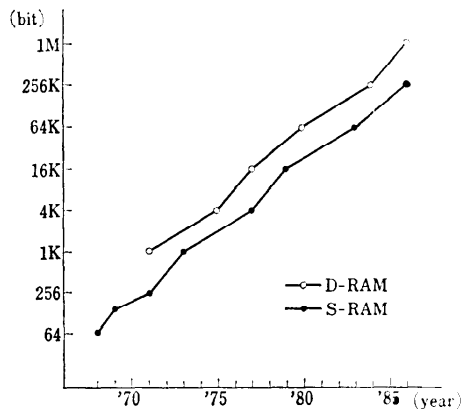


図-2 記憶素子の集積密度の変化

表-1 三次元 IC の分類

(形態による分類)

- 三次元 IC
 - 積層高密度集積素子
 - 積層多機能集積素子

(構造による分類)

- 三次元 CI
 - 張り合わせ型
 - 入出力端子間での張り合わせ
 - 素子レベルでの張り合わせ
 - モノリシック型
 - 能動層方式
 - 全能動層方式

2.1 形態による分類^{5), 6)}

(1) 積層高密度集積素子

これは、図-3(a)に示すように、ひたすら積み重ねてゆく方式であり、実用段階の目標として考えられているのは、8~10層構造でゲート遅延時間が10 ps/gate程度とされ、具体的実現例としては、16 Mbits/chipのメモリや50 kゲート/chipの論理機能素子などが挙げられる。

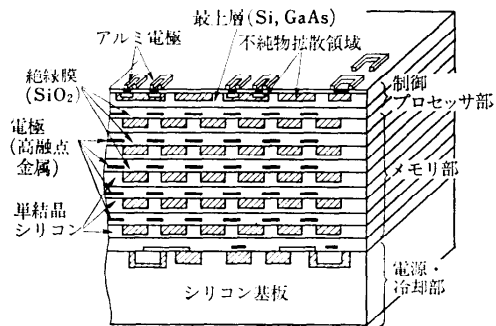
(2) 積層多機能集積素子

これは、図-3(b)に示すように、層を機能ごとに分割する方式であり、実用段階の目標として考えられているのは、5層以上で集積度が0.1~10 M素子/chip程度とされ、具体的実現例としてはI/Oインテリジェントターミナルやインテリジェント・イメージプロセッサなどが挙げられている。

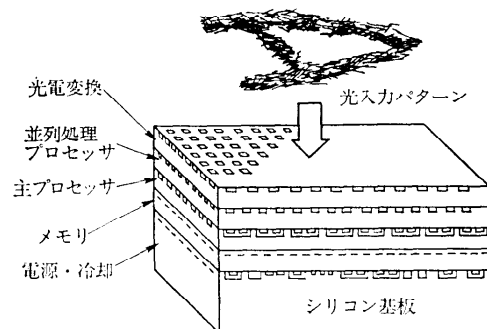
2.2 構造による分類^{4), 11)~14)}

(1) 張り合わせ型

これは、図-4(a), (b)に示すように、IC同士を互いに張り合わせて作る方式であり、二次元IC積層型とか、ハイブリッド型などと呼ばれている。この型の特徴としては、



(a) 積層高密度集積素子 (メモリへの応用例)



(b) 積層多機能集積素子 (イメージプロセッサへの応用例)

図-3 三次元 IC の形態による分類 (参考文献5)より)

- 生産が容易
- 歩留りが高い
- いろいろな機能を容易に付加できる
- 技術上の問題が少ない

などが挙げられる。この方式は、さらに張り合わせるレベルによって、表-1や図-4に示したように2通りに分類できる。

このうち、入出力端子間で張り合わせる方式は、基本的には1958年以降用いられてきた高密度実装技術の一つであるマイクロモジュールと同様の発想の産物であるが、

- 電極面積が大きいため集積度を上げられない。
- チップ同士に空隙があるため、熱冷却効果が低下してしまう。

などの問題がある。

一方、素子レベルで張り合わせる方式は、1984年12月に日本電気が発表したELVIC (Element Level Vertically Integrated Circuit) に代表される方式である。図-5にELVIC技術の概要を示す。この方式の利点としては、

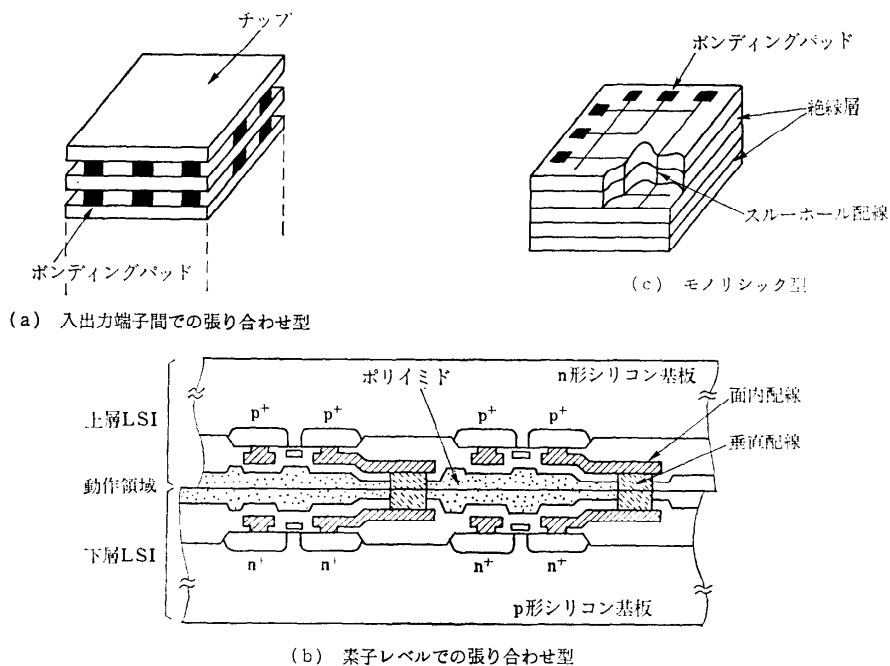
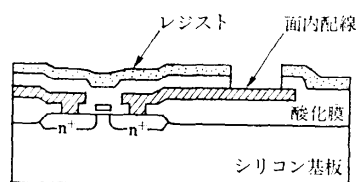


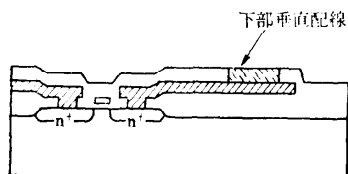
図-4 三次元 IC の構造による分類 ((a), (c)は参考文献 12) より, (b)は電子材料 Vol. 24, No. 1 より)

- セルサイズを $2/3$ にできる。
 - α 線が入ってきても動作領域まで達しないため、その影響を阻止できる。
 - CMOS で問題となるラッチアップを完全に防げる。
- などがあるが、一方

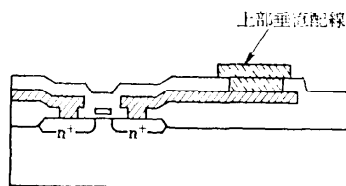
- 圧着時に Si 薄膜へ欠陥を誘発してしまう。
- 接続用電極が比較的大きな静電容量を持つため、



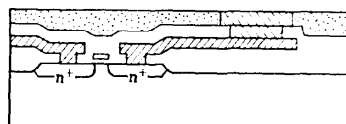
(c) 開口部形成



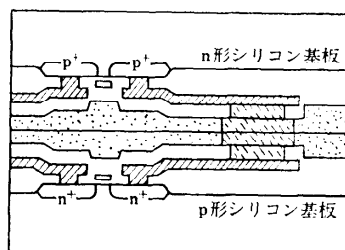
(b) 下部垂直配線形成



(c) 上部垂直配線



(d) 平坦化



(e) 整合および熱圧着

図-5 ELVIC 技術 (電子材料 Vol. 24, No. 1 より)

電極のクロストークや信号遅延時間の増大を招いてしまう。

などの問題もあるといわれている。しかし、将来、次に述べるモノリシック型三次元 IC 同士をこの技術で張り合わせられるようになれば、容易に集積度を倍増できるなどの利点も忘られないものである。

(2) モノリシック型

これは、図-4(c)に示すように、ブレナ技術の繰り返しにより積層構造を得るものである。ただし、この方法は能動層の作り方の違いによって、さらに表-1に示したように2通りに分類できる^{(15),(16)}。このうち、一能動層方式 (OAL; One Active Level mode) は、能動層を一層にのみ作り、残りの層をワイヤルーティングに用いる方法であり、従来からの技術の応用で比較的容易に製造できる。一方、全能動層方式 (AAL; All Active Level mode) は、能動層をすべての層に配する方式で、将来の三次元 IC の本命であり、ほかの各方式に比べ集積度をかなり上げられる。しかし、これを実現してゆく過程には種々の問題がある。それに関しては、6章で改めて述べる。

3. 三次元 IC の特徴

ここで、三次元 IC の特徴をまとめてみると、次のようになる^{(4),(8)-21)}。

(1) 従来からの IC の長所 (1章の5項目) は当然そのまま継承されるが、中には小形化や高速性など二次元 IC に比べ格段に勝る項目もある。

(2) 集積度の飛躍的増大

一般に集積度は、同一面積のまま n 層にすると、単純には n 倍の増加を見込める。しかし、実際には以下の理由により n 倍以上の増加が見込める。これは、レントの法則

$$P = aG^b$$

P : 入出力ピン数

a : 定数 ≈ 4

G : ゲート数

b : 定数 ≈ 0.6

から、1チップに集積されるゲート数が増大しても、入出力端子やその周辺保護回路などの熱の発生源がそれほど増大しないため、平均消費電力が相対的に低下し、より多くのデバイスを集積できるためである。

(3) 高 速 化

これには、以下のようにいくつかの要因が存在する。

- 素子の使い分けによる高速化

- 配線長、配線容量の大幅な減少による素子間配線遅延時間の短縮

- 並列処理や並行処理などで三次元的構成に適した構成法を工夫することによる高速化

- SOI 構成により浮遊容量が減少するための高速化

(4) 多 機 能 化

各機能別に異なる層に集積してゆけば、結果的に1チップに多くの機能を集積することができる。

(5) 基板をあまり選ばない

これは、SOI 技術 (後述) による特徴であり、製作費の低減に寄与することになる。

4. 三次元 IC の研究状況

三次元 IC の考えは従来からあったが、それはあくまでも希望的なものでしかなかった。しかるに、1980年前後から SOI 技術 (Silicon On Insulator; 三次元 IC に欠かせない積層構造を作るための基礎技術で、絶縁層の上に Si の単結晶層を作る技術) が現実のものになって以来、三次元 IC の実現が真剣に検討されるようになってきた。そこで、以下に現在までの研究状況について概説してゆく。

まず日本では、1981年に通産省に創設された「次世代産業基盤技術研究制度」における新機能素子の一テーマとして研究・開発が進められている。これは、(財)新機能素子研究開発協会 (日立製作所、日本電気、東京芝浦電気、富士通、三菱電機、沖電気工業、松下電器産業、住友電気工業、三洋電機、シャープの10社で構成) が主として研究開発を行い、電総研が先導的、基礎的研究を行うというものである。この研究制度により、最近着実に三次元 IC としての姿が現れだしている。表-2に各研究機関の成果の一例を示す。

一方、世界的にみると、主としてアメリカでの研究が中心といえよう。これも、現在のところ SOI 技術の開発が中心であるが、スタンフォード大学やマサチューセッツ工科大学などから新しい三次元構造素子が発表されている (6.2(a)参照)。一方、Duke 大学の A. L. Rosenberg 氏らにより三次元化によってどの程度集積度が上がるかをいくつかの具体的ネットワークのレイアウトを通して評価する一連の研究も行われている (6.2(d)参照)。

アメリカ以外では、フランスから新しい三次元構造素子が発表されている程度である。

表-2 日本における三次元素子開発状況

機関名	年月日	開 発 内 容
沖	85. 7	Si 基板上に GaAs 層を直接成長させるプロセス技術の開発 →17 段 E/D 構成リングオシレータの作製 Ge の SOI 技術の開発
シャープ	84.	SOI 構造二層デバイスの作製 ポリキャップ方式の提案
	85. 7	エッチバック平坦化技術による三次元三層デバイスの試作 →三層構造イメージセンサの評価用素子の試作
東 芝	84.	SOI 技術による MOS デバイスのシミュレータの開発
	84.11	SOI 技術の開発
	85. 7	二層 CMOS SOI 53 段リングオシレータの試作 4 ビット全加算器の試作
日 電	83.10	SOI による二層 CMOS 回路の試作 →21 段インバータ回路の試作
	84.12	ELVIC の開発
日 立	84.	SOI 結晶膜の作製
	84.12	三次元デバイス CAD 技術の開発
	85. 4	三次元 LSI 256K CMOS EPROM 発売
富士通	83. 4	SOI 構造デバイスの試作 →ウェル形 npn トランジスタ, プリ ンタ駆動用高圧 IC, 13 段 MOS リン グオシレータなどの試作
	83. 8	日本初の三次元 IC 試作 →三次元 7 ステージ CMOS リングオ シレータの試作
	84. 3	レーザ再結晶化 SOI 技術の開発 →三次元 CMOS ゲートアレイ (2 層) 三次元 SRAM (2 層) 三次元 CMOS SRAM (3 層) などを試作
松 下	84.	レーザ照射による島状 SOI 領域の再結 晶化技術の開発
	85. 6	ウェハ全面にわたる三次元 IC 用積層単 結晶化技術の開発 →三層構造多機能三次元素子の試作
三 菱	83. 2	SOI CMOS 試作 →19 段リング発振器の試作
	84. 3	選択レーザ再結晶化法の開発 →二層構造三次元回路素子の試作
	85. 3	1,100 ゲート CMOS SOI ゲートアレイ, 三層デバイスなどの試作

5. 三次元 IC の応用分野

三次元 IC の応用分野は、二次元 IC に比べて劇的に変わるものではない。1 章ですでにみてきたように、三次元 IC の登場してきたゆえんは、増大の一途にある IC の大規模化、高機能化などの要請に答える

ためである。したがって、三次元 IC の応用分野としては、基本的に従来の二次元 IC の路線を踏襲し、その限界を補ってゆくものと考えてよい。ちまたでは、三次元でなければならない用法、すなわち三次元 IC の必要性をうんぬんしているものが多いが、このような用途は全く新しい三次元論理演算素子を用いてのみ現れるものであり、従来と同様の集積技術や論理演算機構を考えている限りあくまでも特殊なものに限られよう。これは、二次元 IC 開発の経緯を振り返ってみれば分かる。すなわち二次元 IC は本来、宇宙用として小型・軽量を目標として開発されたものである。しかし、現在二次元 IC の用途のうち、IC チップほど小型で軽量でなければ困るという用途は非常に限定され、大概の用途ではむしろ小さすぎるためパッケージングによって適度に扱いやすい大きさにまで大きくしている。代わって、IC の長所として 1 章で記した 2～5 項目も注目されるようになり、現在のような IC の隆盛をもたらしたのである²²⁾。これと同様に、三次元 IC もまたなぜ三次元でなければならないかではなくて、三次元化することで 3 章に示した三次元 IC の特徴を生かしながら IC に対する社会的要請に答えてゆくことのできる分野に適用してゆくことで、十分三次元 IC の意義はあるものと考えられる。このような三次元 IC の応用法は、当面三次元 IC が普及してゆく上での主たる用法となるものといえよう。

6. 三次元 IC の研究課題

三次元 IC を実現する上では表-3 に示すように、三次元回路素子製造におけるプロセス的課題や、三次元 IC が実用化されるに当たっての設計法や構成法などのシステムの課題など、多くの課題が山積している。ここでは、それらの諸課題を列挙し、おのおの若干の解説を加えてゆく。

6.1 プロセス的課題

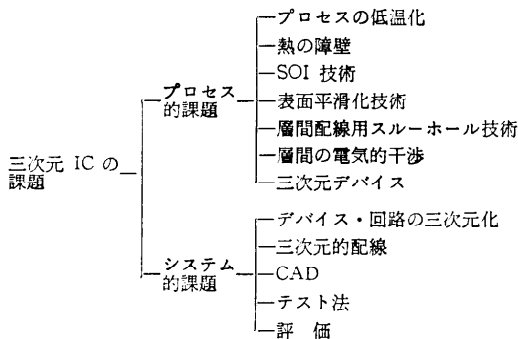
(a) プロセスの低温化^{8),11),14),20)}

三次元素子の場合、すでに下層に作り込まれているデバイスや回路を損うことなく積層してゆかなければならず、従来のプロセスに比べて低温化が必要となる。具体的には 700°C～800°C 程度のプロセスを開発してゆくことと、融点 660.4°C の Al を金属配線として用いる代わりに融点 3,387°C の W などの高融点金属を用いてゆくことなどが考えられている。

(b) 熱の障壁^{11),14)}

三次元 IC では、高集積になるため、熱の対策が問

表-3 三次元 IC の課題



題となる。そこでは、当然 CMOS 化などの発熱量の小さい低消費電力型のデバイスの利用を図る必要がある。

一方、中間層で発生した熱がこもってしまうのではという心配もあるが、これに対しては、チップと外部との間の熱抵抗の方が層間の熱抵抗よりも大きくなることが算出されており、当面のところあまり問題にはならない。

結局、1 チップ全体が発する熱の総量が集積度の増大につれ増加することが問題であり、そのための有効な熱の除去方法を工夫することが必要となる。

(c) SOI 技術^{5), 11), 13), 14), 17), 20)}

絶縁層上に単結晶 Si 膜を作る SOI 技術は、現在着実に進歩してきており、その過程において多くの方法が生まれている。表-4 に、その主な方法を示す。

この SOI 技術における課題としては、

- 過熱方法の検討
- 単結晶領域の大面積化
- 位置制御の確立
- 配向性の確立

などがある。

(d) 表面平滑化技術^{5), 8), 11), 13), 14), 17)}

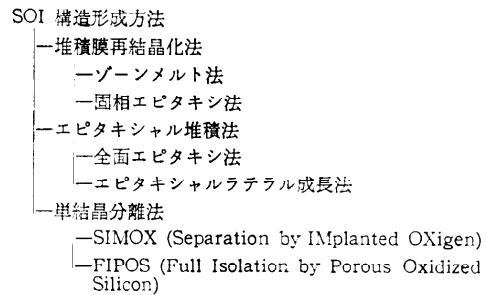
三次元 IC は積層構造をとるため、各層ごとに平滑化がしっかり行われないと、それより上の層に悪影響を及ぼしてしまう。そのため、現在

- リン・ガラスを高温処理して凹凸を埋める。
 - レジスト塗布後ドライエッチングで平らに削る。
- 等々、種々の平滑化が試みられている。

(e) 層間配線用スルーホール技術^{8), 11), 13), 14), 17)}

層間配線用スルーホールを作ることは、現在のところもっぱらプロセス技術の問題となっている。すなわち、高融点金属を用いていかに層間配線用スルーホールを作るか、トランジスタとどう接続するかなどが検

表-4 SOI 技術



討されている。

しかし、将来この技術が実用化されてきたとき、場合によっては二次元 IC とは異なる配線法が必要となり、システム構成法自体にもかかわりかねない問題になるかもしれない。

(f) 層間の電氣的干涉^{8), 13)}

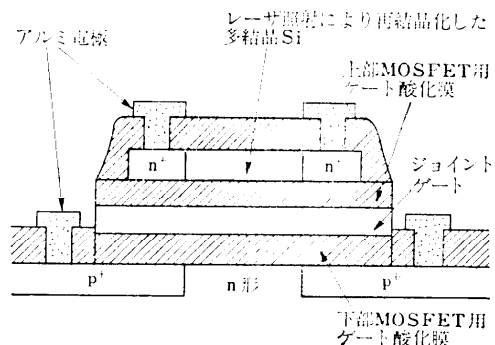
現在、層間の電氣的干涉を排除しようとする立場と、反対に積極的に利用しようとする立場とが存在する。後者は、JMOS (後述) などにみられるように、層間の電氣的干涉を積極的に利用して数層にまたがるデバイスを作製する立場である。

しかし、いずれの立場でも、IC 全体をみれば層間の電氣的干涉排除は不可欠であり、これに対しては現在、絶縁層を厚くするとか、多結晶 Si の導電層を層間にはさむなど、種々の方策が検討されている。

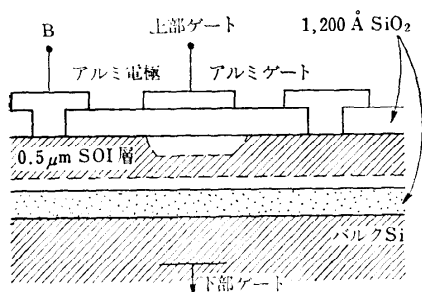
6.2 システム的課題

(a) デバイス、回路の三次元化^{5), 9), 10), 13), 17)}

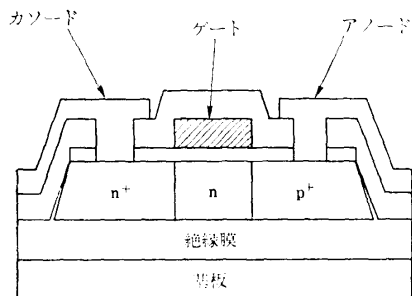
これは、デバイス関係の技術的課題であるとともに、順次システム関係の課題にもなってくるものである。



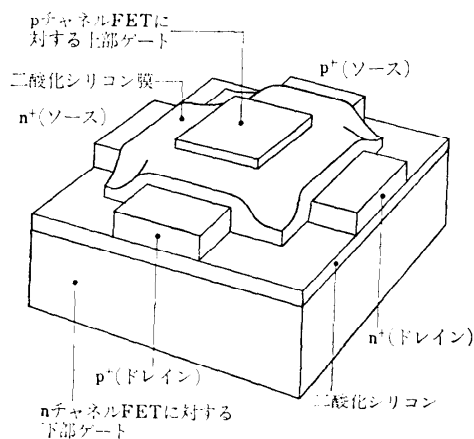
(a) JMOS (J.F. Gibbons and K.F. Lee: One-gate-wide CMOS Inverter on Laser-recrystallized Polysilicon, IEEE Trans., EDL-1, 6, pp. 117-118 (June 1980).)



(b) Transpacitor (D.J. Bartelink: IEEE Electron Dev. Lett., EDL-g. 198 (1982).)



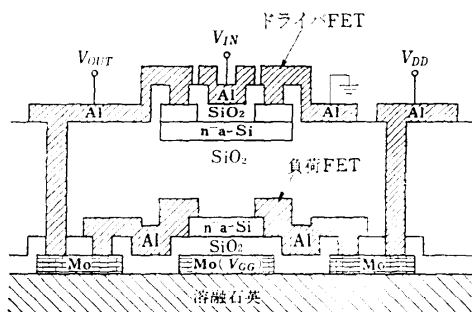
(c) Lubistor (Y. Omura: Appl. Phys. Lett. 40, 529(1982).)



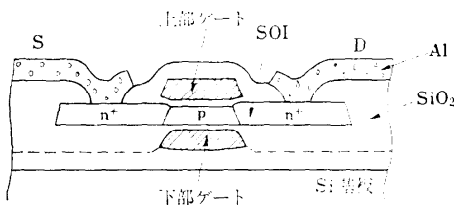
(d) クロスド CMOS

現在までに、三次元素子特有の新構造デバイスに関しては、いくつも提案されている。図-6に、それらのうち代表的なものを示す。

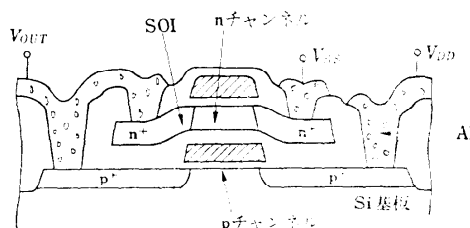
一方、回路あるいは論理構成自身に対する三次元素子特有の新たな構成法は、まだそれほど提案されていない。本来三次元 IC で実現されるべきものは、一つの完結したシステムであるから、そのシステム全体で



(e) アモルファス Si によるもの (奈良, 松村他: 信学技資, ED 82-78 (1982).)



(f) デュアルゲート MOS FET (B.Y. Tsaur et al.: Mar. Res. Soc. Symp. Proc., Vol. 13, 593 (1983).)



(g) スタック形 CMOS (S. Kawamura et al.: IEDM Tech. Dig. (1983).)

図-6 新構造デバイス

((a), (b), (c)は大倉理等「最新の SOI 技術とデバイスの応用」電子材料, Vol. 22, No. 1, pp. 98~104, 1983年1月, (d)は参考文献10), (e)は参考文献12), (f)は参考文献17)より)

三次元素子の特徴を引き出すようなシステム構成法を考えるべきである。数トランジスタの三次元的構成を考えるのも現時点では当然重要ではあるが、今後はさらに、それらを組み合わせたシステムの三次元的構成も考えるべきであろう。

(b) 三次元配線と CAD^{5),10),13),14)}

そもそも、人間は三次元の世界に生きているため、人間にとって十分把握できるのは二次元が精いっぱいであり、これが三次元になると大変苦勞せざるをえない。

したがって、三次元 IC 実現において従来の二次元と同一の次元でさらに次元追加するのは、レイアウト設計過程において設計者を混乱の奈落へ引きずり込んでしまいかねないものであり、層間の二次元的配線をいかにするべきか、あるいは CAD がどう手助けしてゆくかが大きな問題となってゆこう。

(c) テ ス ト 法

三次元 IC になると集積度が今の IC に比べて格段に増大する。このとき、相対的に少なくなった端子を使っていかに短い時間でテストするかが問題となる¹¹⁾。また従来の IC は、不良品を出荷しないというメーカ側の立場から、製造工程の各段階においてそれぞれ各種のテストが行われていたが、三次元 IC の場合には、これら従来のテストに加えて以下に述べるようなテストが必要不可欠となってくる。

その一つは、三次元 IC が積層構造になることから、従来行われていたプローブ試験がむずかしくなるために必要となる、積層構造用のテストである。

その二つめは、三次元 IC が 1 チップですでに一つのシステムであることから、出荷後実用に供されて以降必要になってくるテストである。

前者のテストは、おそらく純粋にデバイス関係の問題となろうが、後者のようなテストは、三次元 IC システムを作り上げる過程で、システム関係でも考えなければならない問題となる。そこで、ここでは後者のテスト法について、将来を見越した簡単な解説を加えておく。

一般に論理回路の故障診断用には、各種の手法が考案されている。そのうち、現在広く用いられているものは、あらかじめ対象となる論理回路を十分検討して、その回路の故障を調べることのできるテストベクトルとその応答ベクトルを求めておき、テストベクトルを入力したときの応答と応答ベクトルとを比べることで故障か否かを判定する方式である^{23), 24)}。しかしこの方式では、有効なテストベクトルを求める作業が現在の集積度でさえ大変な手間を要するため、集積度が格段に増大した三次元 IC のテストベクトルをすべて求めるのは、きわめてむずかしくなることが予想される。また、テストベクトルとその応答ベクトルすべてをどこに記憶させるかということも重大な問題となる。

ここで、ユーザが利用する実用時を考えると、どのチップが故障しているか否かさえ判別できさえすれば十分で、チップ内のどこが故障しているか判明す

る必要はそれほどないといえる。

したがって、三次元 IC のこの種のテストとしては、チップ自身にテスト用回路を内蔵して運用と並行しながらテストもするというような自己テスト法²⁴⁾の採用を検討すべきであろう。具体的には、組み合わせ回路に対するコンパクトテスト法^{24), 25)}と、順序回路に対するスキャン方式^{24), 26)~28)}を併用した自己テスト法などが有力な候補と考えられる。

また、単にテストをするだけでなく、さらに一步進んで、故障が起こっても自ら救済してしまうようなフォールト・トレラントシステムの導入も重要な検討課題となろう。

(d) 評 価

三次元 IC の評価としては、デバイスレベルの評価とシステムレベルの評価とがある。このうち、デバイスレベルの評価には、結晶評価・光学的評価・電気的評価などがあり⁸⁾、これらは三次元デバイスの試作とともに着実に進歩してきている。一方、システムレベルの評価法は、まだ厳密には定まっていないのが現状といえる。そこで、以下にシステムレベルの評価法に関して、その概要を示す。

集積度が小さい SSI などに比べて、LSI や VLSI などのように集積度が大規模になるにつれて、回路構成法や採用するアルゴリズムに、かなり広い選択の余地が生じてくる。

このうち回路構成法には、ランダム論理ネットワークから、トランジスタアレイ・ROM・PLA などの規則的構造ネットワークを用いたり、ゲートアレイやポリセル方式に代表されるような基本モジュールの繰返し構造を活用する方式などの選択範囲が存在する²⁹⁾。

一方、アルゴリズムにも、行列乗算とかソーティングなど一つの問題を解くために通常なん種類ものアルゴリズムが存在することが多い。そこで三次元 IC 化においても、どのアルゴリズムが三次元 IC で実現するのに最も適しているのかを洗い出す必要がある^{21), 30)}。

原理的には、上記各種の選択範囲の中で、3 章に記した三次元 IC の特徴を最も引き出してくれるものを選ぶべく、特に回路構成法の選択は、従来の二次元 IC と同様に行ってゆけばよい。

一方、アルゴリズムの評価法としては、現在 VLSI に対して面積時間複雑度などの評価法が存在する^{31)~35)}。これは、ある問題を解くに当たり必要とな

表-5-1 ネットワークレイアウトの評価例 (参考文献 15), 16) による)

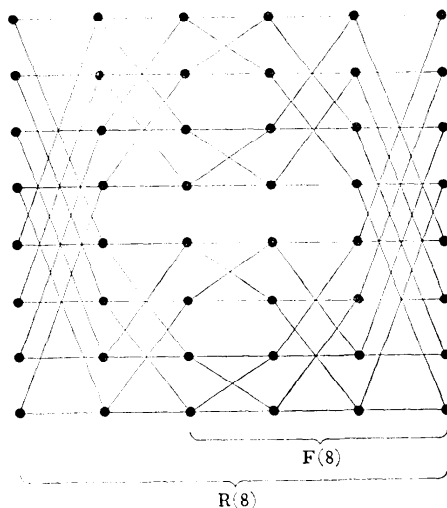
	R(n)		P(n)		完全二進木	
	ハードウェア量	最大配線長	ハードウェア量	最大配線長	ハードウェア量	最大配線長
2-D	$O(n^2)$	$O(n/\log n)$	$O(n^2)$	$O(n/\log n)$	$O(n)$	$O(n^{1/2}/\log n)$
3-D	一能動層方式	$O(n^{1/2} \log n)$ $O(n^{1/2})$	$O(n^{1/2}(\log n)^{1/2})$	$O(n^{1/2}/\log^{5/6} n)$	$O(n)$	$O(n^{1/2}/\log n)$
	全能動層方式	$O(n^{3/2})$ $O(n^{1/2}/\log n)$	$O(n^{3/2})$	$O(n^{1/2}/\log n)$	$O(n)$	$O(n^{1/2})$

表-5-2 ネットワークレイアウトの評価例
(参考文献 36) による)

	FFT	CCC
一能動層方式	$V = O(n^{1/2}(\log n)^{1/2})$	$VT = O(n^{1/2}/\log n)$
全能動層方式	$V = O(n^{3/2})$	$VT^{3/2} = O(n^{1/2})$

表-6 三つの基本的下界

	2-D	3-D OAL	3-D AAL
メモリベースな下界	A	A	V
入出力ベースな下界	AT	AT	VT
情報の流れの下界	$\sqrt{AT}$ (AT^2)	AT	$V^{2/3}T$ (V^2T^3)

図-7 リアレンジャブルネットワーク R(8)と8ポイント
FFT ネットワーク F(8)

る IC の面積(A)と計算時間(T)をその問題の規模 n をパラメータにして各アルゴリズムに対して求め、そのオーダを評価対象とするものである。そこで、一例として表-5 に参考文献 15), 16), 36) の論文で示された各ネットワークのレイアウトに要するハードウェア量 (2-D の場合はチップの面積 A, 3-D の場合はチップの体積 V に相当する量) と最大配線長を示す。ここで、R(n)は n 点のリアレンジャブル・ネットワーク (Rearrangeable network) であり、FFT ネットワークの拡張版とも考えられる。図-7 に R(8)の

例を F(8) (8ポイントの FFT ネットワーク) と対比させて示す。また、P(n) は、 n 個の入力から n 個の出力へいたる独立のパスが n 個あるような任意のネットワークである。

実際の評価法には、回路に占めるメモリ量の下界を示すメモリベースな下界や入出力ベースな下界、情報の流れの下界など数種の下界が存在する³⁴⁾。そこで、これら二次元の各評価手法に対応する三次元版を求めてみると、表-6 のようになる。ただし、ここでは三次元 IC の面積を A, 体積を V としている。

したがって、たとえば、二次元 IC の評価法として有名な AT^2 という「面積時間複雑度」に対応する三次元 IC (全能動層方式) の評価法としては、 V^2T^3 という「体積時間複雑度」を採用すればよいことになる。

しかし、三次元 IC の実現を考えると 6.2(b) に示したように、上下方向の配線を完全に二次元的配線と同様に行うことが難しいという第一の制限と、層数も十数層が限度であるという第二の制限がある。そのため、三次元 IC の面積を A, 層数を h とすると、おのの制限による伝達情報量は、

$$V^{2/3} \cong A, \text{ あるいは } \cong \sqrt{Ah} \cong \sqrt{A}$$

として

$$I = AT, \text{ あるいは } \cong \sqrt{Ah}T \cong \sqrt{AT}$$

となるので、AT から AT^2 の間のものが三次元 IC 用の評価基準の目安となろう。

また、これらの評価手法は現在のところ、そのオー

ダを比較するだけで、問題の規模 n のオーダに対してまで考慮しているものが少ない。三次元 IC を用いて IC システムを実現させてゆく場合、具体的に問題の規模 n がどの程度のオーダになるのか、あるいは実現可能な範囲はどのぐらいか、これらを検討した上で、体積時間複雑度などのオーダを評価してゆくのが正論といえよう。

7. 三次元 VLSI アルゴリズム

本章では、将来三次元 VLSI システムを効率良く設計できるようなアルゴリズムのあり方、すなわち三次元 VLSI アルゴリズムを示す。

7.1 VLSI アルゴリズム

一般に、VLSI を考える場合、従来のノイマン型マシンを基準にして考案されたアルゴリズムや回路構成法はそのままでは不十分な場合が多く、そこで再構成が必要となる。また、集積度が 100k ゲート以上に達すると、設計時間が増大してきて経済性が損なわれてしまうため、いかに効率良く設計してゆかということが新たな問題となってきた。以上のことを背景として考案されたのが、VLSI アルゴリズムである。すなわち、VLSI 化されるアルゴリズムにおいては、以下の 3 項を満足することが望ましいとされている^{2), 30), 37)}。

- (1) データ及び制御の流れが規則的であること。
- (2) 少種の単純なセルの繰り返し構造により回路が構成されていること。
- (3) 並列処理方式やパイプライン処理方式が導入されていること。

7.2 三次元 VLSI アルゴリズム

一方、三次元 VLSI においてこのようなアルゴリズムに対する要件はいまだまとめられていない。そこで本節において、三次元 VLSI 化するのに適するアルゴリズムの要件をまとめてみる。三次元 IC の場合、二次元的な信号の授受だけでなく、上下方向を含めた三次元的な信号の授受が必要となる。ところが、6.2(b) で述べたように、三次元 IC のうち設計効率を重視する用途においては、三次元配線として従来の二次元と同様にして、さらに次元追加する方式をとるわけにはゆかない。また、入出力も最上層あるいは最下層に限定されてしまい、中間層へ直接入出力することは難しい。そのため、たとえデバイスとしては三次元化されようとも、アルゴリズムあるいはシステム構成法としては、各層の機能分担を考えて層別に設計してゆき

その後層間を接続してゆくという、真の三次元というよりも若干次元の低い、いわば 2.5 次元(?) 程度の構成法をとるのが、設計効率の点でも主流となってゆく。またデバイス面でも、6.1(c) で述べたようにスルーホール作製上の問題から、上下方向の配線は二次元的な配線と比べて面積的に不利となる。これらの理由により三次元 VLSI に適するアルゴリズムとしては、前記(1)～(3)に加えて、次の要件を要する。

- (4) 各層の機能分担が明確であること。
- (5) 上下間の配線が簡潔で、規則的であること。

8. む す び

本解説においては、三次元 IC の出現してきた歴史的・社会的必然性を示すとともに、三次元 IC 全般にわたってその現状を概説した。さらに将来、三次元 IC が実用化されたときのハードウェアアルゴリズムについても、三次元 VLSI アルゴリズムという三次元 VLSI に適した設計効率の良い構成法や、評価法を新たに示した。

三次元 IC は登場したばかりのものであり、これに対する研究もまだ始まったばかりである。今後、三次元 IC が実用化されてゆくに従って、新たな問題点などが明確になってくるとともに、その意義・必要性も明らかになってくるであろう。

参 考 文 献

- 1) 柳井久義, 永田 稔: 集積回路工学(1), コロナ社, pp. 7 (Apr. 1979).
- 2) LSI 応用, 電子通信学会編, pp. 3, (Oct. 1982).
- 3) N. G. エインズブラチ編著, 岩田倫典訳: 超 LSI エレクトロニクス: 応用編(I), 現代工学社, pp. 1, 10 (July 1983).
- 4) 古川静二郎: 二次元回路の限界を越える, 日本の科学と技術, 1-2月号, Vol. 25, No. 225, pp. 45-51 (Jan. 1984).
- 5) 坂本統徳: 新機能素子, 電子材料, Vol. 21, No. 4, pp. 36-43 (Apr. 1982).
- 6) 坂本統徳: わが国の最先端エレクトロニクス技術, エレクトロニクス, 昭和 57 年 7 月号, pp. 681-713 (July 1982).
- 7) Cragon, H. G.: The Elements of Single-Chip Micro computer Architecture, COMPUTER, Vol. 13, No. 10, pp. 27-41 (Oct. 1980).
- 8) 林 豊: 3 次元 IC の構想, 電子通信学会誌, Vol. 66, No. 8, pp. 831-834 (Aug. 1983).
- 9) 片岡照榮: 創造的新技術の誕生を目指して, 日本の科学と技術, 1-2月号, Vol. 25, No. 225, pp. 20-23 (Jan. 1984).
- 10) 成田正弘: 平屋建てから超高層ビルへ, 研究開

- 発が進む3次元回路素子, 日経コンピュータ, 1984年8月6日号, pp. 71-82 (Aug. 1984).
- 11) 古川静二郎: 3次元デバイス, テレビジョン学会誌, Vol. 36, No. 12, pp. 1060-1067 (Dec. 1982).
 - 12) 古川静二郎: 3次元デバイス, 電子材料, Vol. 22, No. 4, pp. 82, 105-110 (Apr. 1983).
 - 13) 3次元/SOI LSI 2層構成を含めて2000年にはLSIの大半が3次元に, 日経マイクロデバイス特集・2000年へのLSI技術, 1985年7月号, pp. 175-192 (July 1985).
 - 14) 赤坂洋一, 西村 正: 高集積, 多機能デバイスとして姿が見えてきた3次元LSI, 日経エレクトロニクス, 1985年10月7日号, pp. 229-253 (Oct. 1985).
 - 15) Rosenberg, A. L.: Three-Dimensional Integrated Circuitry, VLSI SYSTEMS AND COMPUTERS, pp. 69-80, Computer Science Press (1981).
 - 16) Rosenberg, A. L.: Three-Dimensional VLSI: A Case Study, Journal of ACM, Vol. 30, No. 3, pp. 397-416 (July 1983).
 - 17) 中野元雄: 3次元IC, 電子材料, Vol. 23, No. 1, pp. 54-63 (Jan. 1984).
 - 18) 栗根克相, 木場正義, 工藤 淳, 宮嶋利明, 森下賢幸: 3次元デバイスとSOI技術, 電子材料, Vol. 24, No. 1, pp. 78-82 (Jan. 1985).
 - 19) 佐々木伸夫, 中野元雄: 大容量化の可能性を秘める3次元SOI MOSデバイス, 電子材料, Vol. 24, No. 6, pp. 74-79 (June 1985).
 - 20) 桜井潤治, 東迎良育: 三次元デバイス展望, 電気化学および工業物理化学, Vol. 51, No. 7, pp. 546-549 (July 1983).
 - 21) 須賀原和之, 西村 正, 赤坂洋一: 三層構造三次元回路素子, 電子技術, 第27巻, 第9号, pp. 10-16 (Sep. 1985).
 - 22) 傳田精一: 集積回路技術, 工業調査会, pp. 5-10 (Dec. 1967).
 - 23) 安居院猛, 内藤祥雄: 論理回路の故障診断, 廣済堂産報出版(株), 195p. (July 1976).
 - 24) 田中善一郎: テスタの手を借りずにテストができる論理LSI, 日経エレクトロニクス, 1983年6月20日号, pp. 124-133 (June 1983).
 - 25) 田中善一郎: ロジック回路の故障検出が手軽にできるコンパクトテスト法, 日経エレクトロニクス, 1977年10月3日号, pp. 50-64 (Oct. 1977).
 - 26) 樹下行三, 浅田邦博, 唐津 修: VLSIの設計II, 岩波書店, pp. 287-292 (May 1985).
 - 27) 田中善一郎: テスト容易な回路構造によりLSIの故障検出率を大幅に改善, 日経エレクトロニクス, 1979年4月16日号, pp. 57-79 (Apr. 1979).
 - 28) Eichelberger, E. B. and Williams, T. W.: A LOGIC DESIGN STRUCTURE FOR LSI TESTABILITY, Proc. of Design Automation Conf, pp. 462-468 (1977).
 - 29) サブロー・ムロガ著, 渡辺 誠・菅野卓雄日本語版監修: VLSIシステム設計, ワイリー・ジャパン, pp. 427-513 (Apr. 1984).
 - 30) Mead, C. and Conway, L.: Introduction to VLSI Systems, Addison-Wesley Publishing Company, pp. 263-332 (1980).
 - 31) Thompson, C. D.: Area-Time Complexity for VLSI, Proc. of 11th Annual ACM Symp. on Theory of Computing, pp. 81-88 (May 1979).
 - 32) Thompson, C. D.: A Complexity Theory for VLSI, CMU-CS-80-140 (Aug. 1980).
 - 33) 都倉信樹: VLSI アルゴリズムおよび面積時間複雑度, 情報処理, Vol. 23, No. 3, pp. 176-186 (Mar. 1982).
 - 34) Ullman, J. D.: Computational Aspects of VLSI, Computer Science Press, 495p. (1984).
 - 35) 都倉, 萩原, 和田: VLSI モデルと面積時間複雑度, 情報処理, Vol. 26, No. 6, pp. 583-592 (June 1985).
 - 36) Preparata, F. P.: Optimal Three-Dimensional VLSI Layouts, Mathematical Systems Theory, Vol. 16, No. 1, pp. 1-8 (Feb. 1983).
 - 37) Foster, M. J. and Kung, H. T.: The Design of Special-Purpose VLSI Chips, COMPUTER, Vol. 13, No. 1, pp. 26-40 (Jan. 1980).

(昭和60年12月26日受付)