

柔軟性を有した並列画像処理装置FP³ の構成及び処理形態

金子 正秀

小池 淳

羽鳥 好律

国際電信電話(株)上福岡研究所

ディジタル画像処理で必要とされる、並列処理、パイプライン処理を始めとした様々な処理形態に対応したアルゴリズムの効率的な開発・実行用ツールとして、マルチマイクロプロセッサ構成による柔軟性を有した並列画像処理装置FP³を新たに開発した。本装置は、8台のプロセッサエレメント(PE)と分散配置された画像メモリとを基本構成要素とし、更に、上位のプロセッサ群、画像出力部、通信用共有メモリ、等を有している。画像処理形態として、ハードウェアの変更無しに、1画面 n 分割或いは n 画面同時での並列処理、隣接PE間で順次処理結果を受渡す形のパイプライン処理、プロセッサ群の階層構成を利用した階層処理、等を実現することができる。また、画像メモリ間のデータ転送をビデオレートで高速に行なうことができる。

Flexible Parallel Picture Processor FP³ and Its Application to Various Types of Image Processings

Masahide KANEKO, Atsushi KOIKE and Yoshinori HATORI

KDD Kamifukuoka R&D Laboratories

1-15, 2-chome, Ohara, Kamifukuoka-shi, Saitama, 356, Japan

We have developed a flexible parallel picture processor (FP³) as a useful tool to develop and execute various algorithms corresponding to various processing modes, such as parallel processing, utilized in digital image processing. Basic components of the FP³ are eight processor elements (PE) and distributed video memories. Upper processor elements, communication memory and video output unit are also provided. Typical processing modes supported by the FP³ are (a) parallel processing in which one image is processed after being divided into n parts or n images are processed simultaneously, (b) pipeline processing in which processed result at each PE is transmitted to neighboring PE sequentially and (c) hierarchical processing which utilizes the hierarchical arrangement of processors. These modes are controlled easily by software. Image data transmission between each video memory is carried out at video rate, i.e. 16.11MHz.

1. まえがき

膨大なデータ量を有したデジタル画像信号を効率良く処理するため、演算器を各画素に対応して配置した完全並列型、近傍演算の高速化を図った局所並列型、演算器を縦続に多段接続したパイプライン型、複数台のプロセッサを結合させたマルチプロセッサ型、など種々の考え方に基づいた処理装置の開発が進められている[1,2]。これらの中で、マルチプロセッサ型は、処理内容がハードウェア構成に拘束されることなく、ソフトウェアにより柔軟に対処できる、low-level処理からhigh-level処理まで実現可能、という点で特長がある。特に、近年におけるマイクロプロセッサやDSPの性能の著しい向上に支えられ、例えば画像符号化分野において、静止画像や動画画像に対するマルチプロセッサ構成に基づく符号化装置が開発されてきているのを始めとして、画像関連分野におけるマルチプロセッサを用いた実用装置の開発が現実的なものとなってきている。

この様な状況下では、近傍演算等、特定の画像処理アルゴリズムを高速に実行するという考え方に基づいた処理装置とは別に、マルチプロセッサの利用を前提として、並列処理、パイプライン処理、等を始めた様々な画像処理形態に対応した処理アルゴリズムの開発・実行を効率良く行なうことができる様な実験用ツールが望まれる。

筆者らは、この様な観点、及び既存画像処理プログラムのより効率的な実行環境を用意するという観点から、マルチマイクロプロセッサと分散配置され

た画像メモリとから構成される柔軟性を有した並列画像処理装置FP³ (Flexible Parallel Picture Processor)を開発した[3,4]。本論文では、同装置の設計方針、構成概要、及び具体的な画像処理形態について述べる。

2. 設計方針

本装置の設計方針の基本を以下に示す。

(1) マルチマイクロプロセッサ構成

処理に関しては、汎用のマイクロプロセッサを複数台用い、階層的に構成する。これにより、処理の効率化、種々の処理形態への対応を可能とする。また、画像処理用LSI、等を組込むための拡張用スロットを用意する。

(2) 柔軟性

処理形態として、並列処理、パイプライン処理、更には階層処理のいずれにもハードウェアの変更無しに対応できるようにする。また、高級言語(FORTRAN, C)、既存のプログラム開発環境の使用を前提とし、処理プログラムの作製が容易に行なえるようにする。

(3) 画像メモリ

画像メモリとして、各プロセッサエレメント(PE)に対応して分散配置されたローカルメモリ(LM)と、システム内で共通に用いられる共有メモリ(CM)とを用意する。LM間相互、及びCM↔LM間ではビデオレートでの画像データ転送を可能とする。また、各LMに対しては、対応するPEと隣

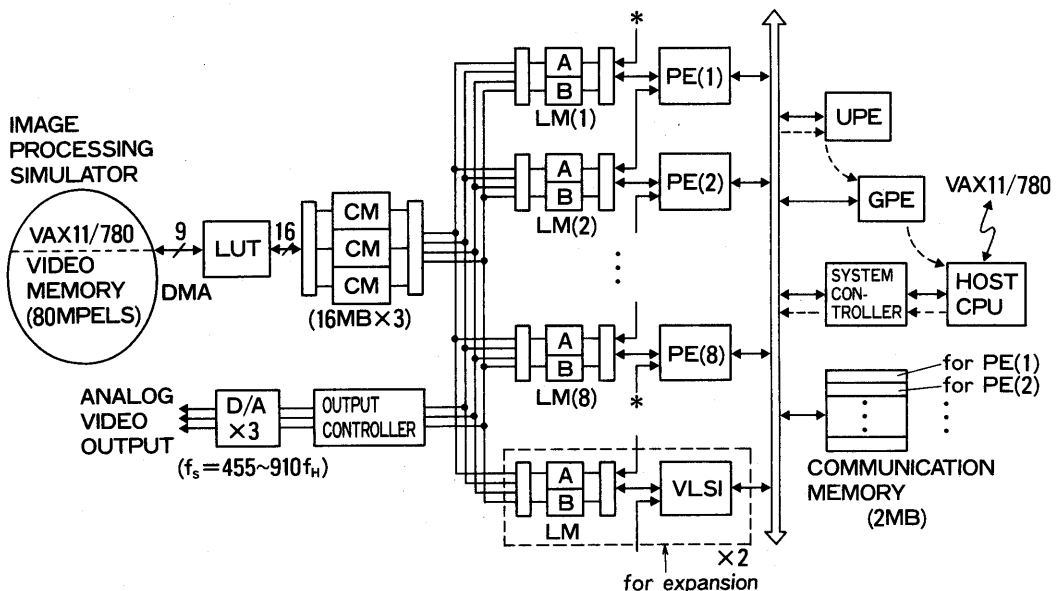


図1. FP³ の構成概要 (---→ : 階層処理時の制御の流れ)

接したPEの双方からの直接アドレスによるアクセスを可能とする。

3. 構成

3. 1. 全体構成

本装置の全体構成の概要を図1に、また外観写真を図2に示す。図1に示される様に、本装置は分散配置されたプロセッサ部と画像メモリ部を主要構成要素とし、更に通信用共有メモリ、画像出力部、等を備えている。以下、これらについて詳しく説明する。なお、本装置は既開発の画像処理シミュレータ[5]に接続されており、入力(動)画像信号はシミュレータ側より計算機VAX 11/780のDMAインタフェースを介して供給される。また、プログラム開発に関しては、本装置内のホスト計算機のUNIX環境下で行なうことができるが、ホスト計算機とVAX 11/780との間でプログラム、パラメータの授受を行なうことも可能である(RS232C経由)。

3. 2. プロセッサ部

3. 2. 1. 構成

次に示す3種のプロセッサ群の階層構成となっている。

GPE : Global PE	1台/システム
UPE : Upper PE	1台/8PE
PE : Processor Element	n台
(但し、n=8で実装)	

PEは基本処理要素である。UPE、GPEは上位のプロセッサであり、各PEでの処理結果に基づいた上位レベルの処理、及びシステム制御に関わる情報の発生を行なう。GPE、UPE、PEに対しては同一種のプロセッサ(後述)を用いている。これらに加えてプログラム開発、実行プログラムの各PEへのダウンロード、及びシステムの動作制御の

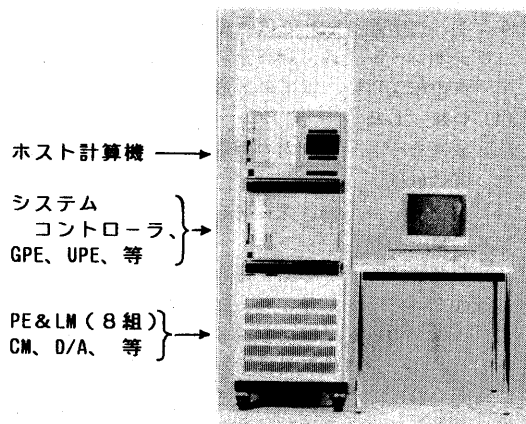


図2. 装置の外観

ために、ホスト計算機が用意されている。モトローラ社製のUNIXシステムSYSTEM 1131 UY341 (16.67MHz MC68020 + MC68881)を使用している。なお、未実装ではあるが、画像処理用LSIをPEと同じレベルで利用可能であり、このために2スロットを用意してある。

3. 2. 2. PE

PEは、32bit汎用マイクロプロセッサ(MC68020:クロック20MHz)及び浮動小数点演算用コプロセッサ(MC68881:クロック20MHz)の組合わせで構成されている。図3は、後述するLMも含めて、PEの具体的構成を示したものであり、LMと共に1枚のボード上に実装されている。プログラム用として1MBのRAMを備えている。ホスト計算機とは、dual ports memory経由で通信を行なうか、或いは割込みにてデータの転送を知らせる。シリアルポートRS232Cは保守デバッグ用である。

3. 3. 画像メモリ部

画像メモリは、ビデオ系及び計算機系からのアクセスが可能なメモリであり、次の2種が用意されている。

3. 3. 1. 共有メモリ(Common Memory : CM)

各PEに共有される画像メモリである。1024画素×512ライン×16bit/画素=1SPMを単位とし、コンポーネント画像に対応するため16SPM×3バンク=48SPM (=48MB)分の容量を備えている。SPM内は $2^m \times 2^n$ ($m=8\sim 10$, $n=7\sim 9$ の範囲で可変)画素の画像データに分割して使用可能であり、また、フィールド単位及びフレーム単位でのアクセスに対応できる。

共有メモリへのアクセスとしては、(a)画像処理シミュレータ内VAX11/780からのDMAによるアクセスと、(b)LMからのビデオレート(16.11M画素/秒の速度)でのアクセス、或いはD/A変換器への画像出力が可能である。コンポーネント画像の出力の際には、3つのバンクに対して同期して並列的にアクセスが行なわれる。

3. 3. 2. ローカルメモリ(Local Memory : LM)

各PE毎に1台ずつ用意された画像メモリである。容量は2SPM×2バンク=4SPM (=4MB)である。SPM内は、CMの場合と同様に分割使用が可能となっている。

LMは図3に示す様に2つのバンクA、Bに分けられている。各バンクは、対応するPE、前段のPE、及びビデオバスに接続可能であり、PEからの指定により入出力ゲートが選択される。PEからの

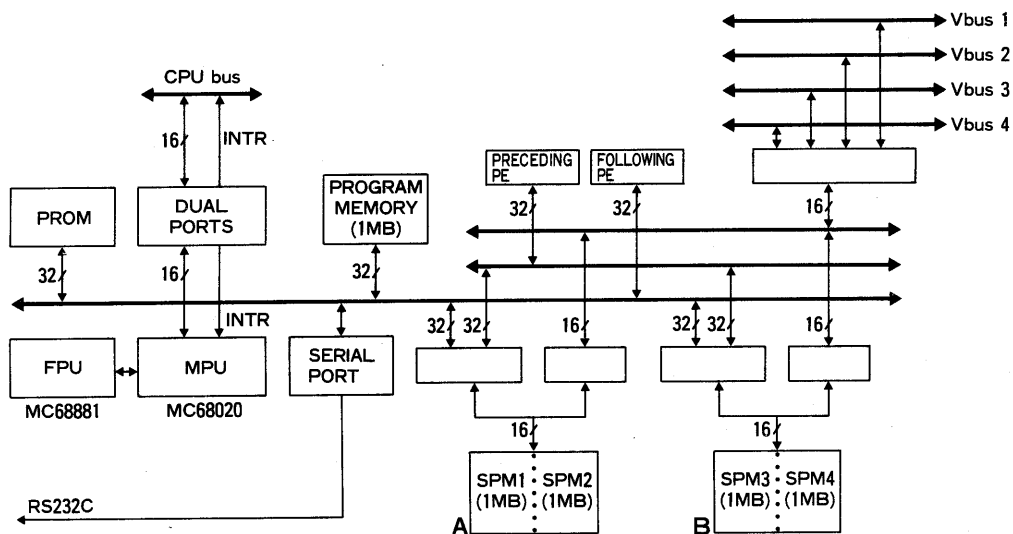


図3. PEの構成 (PE & LM)

アクセスは、対応するPE、前段のPE、いずれの場合も特定の配列名を指定することにより直接アドレス付けされ、効率的に行なうことができる。ビデオバスは4本あり、3本 (Vbus 1～3) が画像 (入) 出力用に、残り1本 (Vbus 4) がCM↔LM或いはLM間相互でのデータ転送用に用いられる。

バンクA、Bに関しては、基本的に次の3通りの使用形態が可能である。

- 2つのバンクを独立に使用。
- ダブルバッファ動作：一方を対応するPEに、他方をビデオバスに接続。交互に切換えて使用。
- ダブルバッファ動作：一方を対応するPEに、他方を前段のPEに接続。交互に切換えて使用。

3.3.3. 転送コントローラ (TRC)

TRCは、ビデオバスを介してのCM↔LM、LM↔LM間の画像データ転送を制御するためのコントローラである。Vbus 1～4の各々に対応して、制御用にマイクロプロセッサ8086を配している。ビデオバス上でのデータ転送はライン単位で制御され、各ラインは、ソースアドレス、ディスティネーションアドレス、データ列の組合せで構成される。このため、データ転送に伴って、ライン単位でのデータの入れ替えが可能であり、例えば、フィールドとフレームの変換を転送と同時に進めることができる。

3.4. その他

3.4.1. 通信共有メモリ

ホスト計算機、PE、UPE、GPE相互間で情報の受け渡しを行なうための共有メモリである。容

量は2MBであり、これを4kBずつの512ブロックに分けて使用している。各PE、UPEには各々32ブロックを、GPE、ホスト計算機には各々64ブロックを割当てている。

3.4.2. 画像出力部

CMに蓄えられた (動) 画像データをD/A変換して出力することができる。標本化周波数は7～14.3MHzの範囲で可変である。出力ウィンドウの設定、表示モードの設定 (スロー、表示順序の指定) 等が可能である。なお、出力系統は3系統あり、コンポジット信号に対しては1系統のみが、コンポーネント信号に対しては3系統が同期して用いられる。

4. 画像データの転送

4.1. ビデオレートでの画像データの転送

ビデオレート (16.11M画素/秒の速度) での画像データの転送用に、以下の形態を用意している。

(1) CM→LM

- 放送モード：CM内の画像データを全てのLMに一斉に転送。
- 個別モード：転送先LMを指定して転送。

(2) LM→CM

- 分割処理時：1画面を短冊状にn分割して、分割画面を各PEで処理させた様な場合に、各PE毎に処理結果のみをCMに転送する。この時、(a-1) 各LM毎に独立に転送処理を行なう場合と、(a-2) LM毎に読出しラインを連続的に切換えてn台のLMに分散している処理結果を16.6ms*で転送する場合と、いずれも実現できる。(a-2)の場合には、転

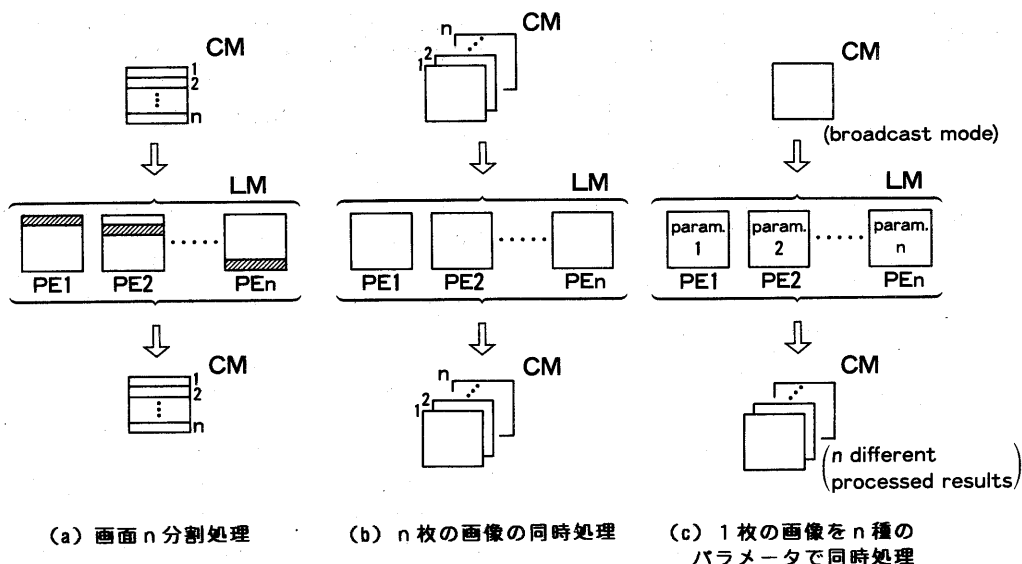


図 4. 並列処理

送を行なうための設定が n に依らず一度で済み、(a-1)の場合よりも短時間で転送を終了することができる。

(b) 全画面処理時：指定された LM 内の指定された画像を、CM 内の指定された場所に転送。

(c) 矩形領域の転送：各 LM 毎に別個に設定された矩形領域内の画像データを、CM 上の 1 枚の画像中の所定の場所にはめ込む形式で転送。各 LM 中の矩形領域について 16.6ms* で転送できる。

[注 * 転送ライン数が 256 以下の場合。257 ライン以上の場合には 2 回に分けて転送。]

(3) LM ↔ LM

指定された LM 間で指定された画像データを転送。画面単位での転送と、設定ウィンドウ内での転送と、いずれも可能。

4. 2. DMA による画像データの転送

画像処理シミュレータ内計算機 VAX 11/780 との間で、DR11/W インタフェースを介して DMA によるデータの授受が可能である。画像処理シミュレータ内の画像メモリにおいては 9bit/画素となっているため [5]、図 1 に示す様に、CM → VAX の転送時には、LUT (look-up table) により 16 → 9 bit の変換を行なう。VAX → CM の転送時には、16bit の中の下位 9bit にデータを、上位 7bit に 0 を補充することにより、9 → 16bit の変換を行なう。

5. 画像処理形態

本装置により実現可能な典型的な画像処理形態に

ついて説明する。PE、LM 等の接続関係、動作モード、等は全てソフトウェアにより制御され、ハードウェアの変更無しに対応できる。なお、複数の動作モードの混在が可能である。

5. 1. 並列処理

n 台の PE を並列的に動作させて処理を行なう場合、図 4 に示す 3 通りの形態がある。すなわち、画面 n 分割処理、 n 枚の画像の同時処理、1 枚の画像を n 種のパラメータで同時処理、の 3 通りである。以下、これらについて詳しく述べる。

5. 1. 1. 画面 n 分割処理

画面を行方向に短冊状に n 分割し、各分割画面を n 台の PE で同時に処理する形態である。

[前準備]

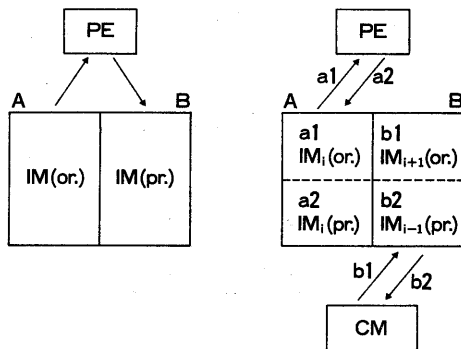
処理プログラムはホスト計算機の UNIX 環境下で、FORTRAN 等の高級言語により開発された後、実行プログラムの形で各 PE にダウンロードされる。各 PE 毎の処理範囲については、パラメータの形でホスト計算機より指定する。

[処理]

① PE のセットアップ：システム全体の動作モードの設定、各 PE へのパラメータの設定、等。

② CM → LM の画像転送：原画像を CM から LM 内の指定箇所に転送。分割画面における端処理の煩わしさを避けるため、画面全体を放送モードにより全 LM に転送する。

③ 処理：PE を起動し、所定の処理を実行する。L



(a) 1 枚の画像を処理 (b) 動画処理
(ダブルバッファ動作)
※バンク A、B と PE、CM との
接続関係を交互に切換え。

図 5. LM 内のバンク A、B の使用方法例

M は、1 枚の画像に対する処理、連続した画像（動画）に対する処理、の各々に応じて図 5 に示す様な動作をする。まず、図 5 (a) は 1 枚の画像に対する処理の場合であり、各 LM のバンク A、B に各々原画像、処理結果を格納する。次に図 5 (b) は連続画像に対する処理の場合であり、効率的な処理を行なうため、PE から LM（図 5 (b) ではバンク A）へのアクセスと、CM から LM（図 5 (b) ではバンク B）へのアクセスが並列的に行なわれる。すなわち PE はバンク A 中の a 1 から i 番目の原画像を読出して処理を行ない、結果を a 2 に書き込む。一方、CM はバンク B 中の b 2 から i-1 番目の原画像に対する処理結果を読出すとともに、b 1 に i+1 番目の原画像を書込む。PE、CM からのバンク A、B へのアクセスはフレーム毎に交互に切換えられ、ダブルバッファ形式での動作が行なわれる。

④ LM→CM の画像転送：4. 1. 項(2)(a-1)

④' LM→CM の画像転送：4. 1. 項(2)(a-2)

【処理時間】

m フレームの連続画像に対する処理時間 T は、ダブルバッファ動作を用いた場合、

$$T = m \times t_p + t_s + t_r + t_w \quad (1)$$

で表現できる。但し、 t_p 、 t_s 、 t_r 、 t_w は各々、1 フレーム当たりの PE 群による処理時間、PE のセットアップに要する時間、CM→LM の 1 フレーム分の転送時間、LM→CM の 1 フレーム分の転送時間である。また、 $t_p > (t_r + t_w)$ としている。

5. 1. 2. n 枚の画像の同時処理

n 枚の画像を順次 CM から各 LM に転送し、各 PE により一斉に処理を行なった後、処理結果を各 LM から CM に転送する。各 PE における処理プログ

ラムは同一であることが基本であるが、別々のプログラムでも動作上は何ら差し支えない。

5. 1. 3. 1 枚の画像を n 種のパラメータで同時処理

1 枚の画像を放送モードで各 LM に分配した後、

(a) 同一プログラムを用いて、各 PE 毎に異なる n 種のパラメータセットを設定して処理を行なうか、或いは (b) 異なる n 種のプログラムで処理を行ない、n 種類の処理結果を同時に得る。

5. 2. バイプライン処理

一連の処理手順を n 台の PE に分担させ、PE 間で順次処理結果を渡しながら処理を進めるというものである。連続した画像の処理に適用され、1 枚当たりの処理時間を、n 台の PE の各々における処理時間 t_i の最大値 $t_0 = \max \text{ of } (t_i)_{i=1 \dots n}$ にすることができる（パイプライン処理でない場合の処理時間は $\sum_{i=1}^n t_i$ となる）。

本装置の場合、前述の様に各 PE は順次隣接した LM に直接アクセスできるため、容易にパイプライン処理を実現することができる。図 6 は、各 PE と LM 内のバンク A、B との接続関係を示したものである。バンク A、B はダブルバッファとして動作し、図 6 (a)、(b) に示す様に、前段の PE からの処理結果の受取りと、対応する PE からのアクセスがフレーム毎に切換えられる。なお、図 6 から分かる様に最終段では CM との間で処理結果の転送を行なう関係から、PE による処理は行なわれない。

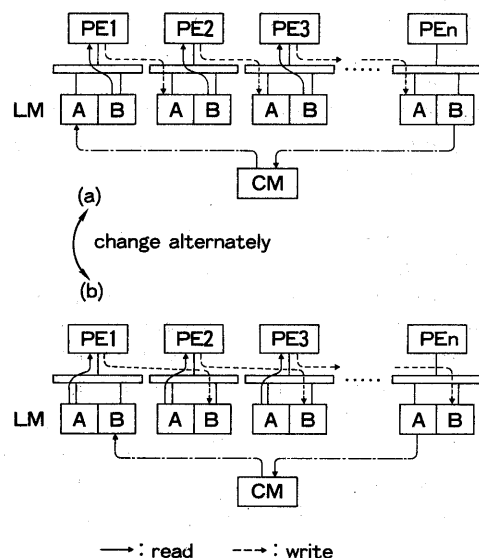


図 6. バイプライン処理

Normalized Execution

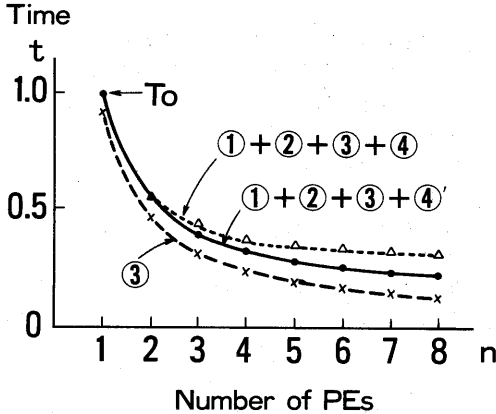


図7. PEの台数 n と処理時間 t との関係

1画面の n 分割処理。512×512画素、Sobel operator (root)、 $T_0 = 35.28$ 秒で正規化。
①PEのセットアップ。②CM→LM(放送モード)。③処理。④LM→CM(処理結果を順次回収)。④'LM→CM(処理結果を一括回収)。

5.3. 階層型処理

PE、UPE、GPEは階層的な関係に構成されており、 n 台のPEにおける処理結果をUPEで集約し、更にGPE(必要があればホスト計算機も使用)において上位の処理を行ない、これに基づいて各PEにおける処理内容を制御する、という形式によって階層型の処理を実現することができる。この際、PE、UPE、GPE間での情報の授受のためには通信用共有メモリが用いられる。

また、通信用共有メモリを黒板として利用することにより、プロセッサ間で相互に自由に情報を受け渡ししながら処理を進めることも可能である。なお、画像データ自体の転送が必要な場合には、LM↔LM間でのビデオレートでの転送を利用する。

5.4. 非同期動作

以上の処理は全て、各プロセッサの同期をとりながら全体としてひとまとまりの動作を行なうように制御されるが、 n 台のPEを独立したプロセッサ群として各々別個に動作させることも可能である。また、並列処理、パイプライン処理の場合、基本的にはUPE、GPEは使用されないの、UPE、GPE上でPE群とは独立に他の処理を実行させることが可能である。

6. 具体的動作例

画面 n 分割処理の場合について、512×512画素の画像を用い、Sobel operator (root) (2次元adjutable arrayを使用、言語はFORTRAN77、ホスト

Normalized Execution

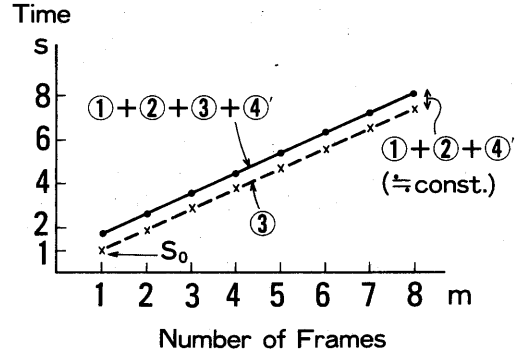


図8. LMにおけるダブルバッファ動作の効果

— 処理フレーム数 m と処理時間 t との関係 —

(1画面の8分割処理。512×512画素、Sobel operator (root)、 $S_0 = 4.54$ 秒で正規化。)

計算機上のコンパイラを使用)を実行した際の実験結果例を示す。

まず、図7は、PEの台数と処理時間との関係の実験結果を示したものである。実線は5.1.1.における①+②+③+④' (4.1.項(2)(a-2))の時間、点線は①+②+③+④ (4.1.項(2)(a-1))の時間、破線は③のみの時間を示している。処理時間は、PE1台の時の①+②+③+④ = 35.28秒 (= T_0)で正規化して示してある。③に関しては、PEの台数にはほぼ反比例して処理時間が減少していることが分かる。①+②+④ (④')は、PEのセットアップや画像データの転送のための時間である。④ (④')に関しては、4.1.項(2)の中で述べた(a-1)、(a-2)のいずれを用いるかで所要時間が異なり、(a-1)ではPEの台数の増加に伴い所要時間が増大するが、(a-2)ではPEの台数に無関係となる。②、④ (④')における画像データの転送に際しては、転送自体は256ライン当たり16.6ms以内で実行されるが、転送を行なうためのパラメータの設定等により、1.1~1.5秒程度の時間を要している。なお、PEによる処理時間に関しては、基本的にMC68020(20MHz)とMC68881(20MHz)の演算処理能力、FORTRANコンパイラの性能(いかに効率的なコードを発生できるか)、及び配列の種別(1次元か2次元か、固定サイズか可変サイズか)、等に依存して決まることになる。ちなみに、浮動小数点演算用コプロセッサとしてMC68881の代わりにMC68882を使用すると約1.3倍処理が高速化される。

次に、図8は、5.1.1.で述べた連続画像に対する処理においてダブルバッファ動作を行なった場合の処理時間について実験結果を示したものである。実線は①+②+③+④' (4.1.項(2)(a-2))

)、破線は③のみの時間を示している。図8から分かる様に①+②+④'は、処理フレーム数に関係なくほぼ一定となっており、前述の式(1)が成立していることが分かる。

7. システムソフトウェア

本装置の機能を活用し、種々の処理形態に対応した処理アルゴリズムの開発・実行を行なうために、次に示すソフトウェアが用意されている。これらは全てサブルーチン形式となっている。

7. 1. ホスト計算機用のサブルーチン

- (1) PE、UPE、GPEへの実行プログラムのダウンロード(モトローラのSフォーマットによる)
- (2) PE、UPE、GPEの動作制御
- (3) PEの動作モードの設定及び切換え
- (4) PE、UPE、GPEのステータスのセンス(実行状態、動作モード、PEとLMとの接続状態)
- (5) 画像データ転送の制御: LM $\leftrightarrow$ LM、LM $\leftrightarrow$ CM(画面単位、ウィンドウ単位)
- (6) 表示制御: 表示モードの設定、ウィンドウの設定、表示の開始・停止
- (7) LUTの設定
- (8) CMと画像処理シミュレータ内画像メモリとの間の画像データ転送の指示(実際には、シミュレータ内VAX11/780によって転送処理が行なわれる。)

7. 2. PE、UPE、GPE用のサブルーチン

[] PE、UPE、GPEに共通

全PE、UPE、GPEに対して1回で指示、特定のPEに対してのみ指示、の選択が可能。

- (1) リセット
- (2) パラメータの転送: ホスト計算機から5個のパラメータを転送し、これをアプリケーションプログラム側で受取ることができる。別途、32個のパラメータの転送用ルーチンも用意されている。
- (3) 動作制御: 実行、一時停止(halt)、再実行
- (4) 実行プログラムのmove、swap: 各PE、UPE、GPEにおいては、アプリケーションプログラム用に768kBのエリアが用意されている。このエリアは、1、3、6、12個のいずれかに分割して、複数個の実行プログラムを格納しておくことができる。実行は、エリア内の先頭番地からのみ可能なため、本サブルーチンにより実行プログラムのmove、或いはswapを行ない、入れ換えを行なう。

[] PEのみ

- (5) 実行モードの設定
- (6) PEとLMとの接続方式の設定: (5)の設定に伴い行なわれる。
- (7) LMの切換え: ダブルバッファ動作時のバンク

A、Bの切換え。

7. 3. 通信用共有メモリへのアクセス

PE、UPE、GPE、ホスト計算機に対して、同一仕様で用意されている。

- (1) 状態センス
- (2) 指定箇所の内容の読取り: 全てのメモリにアクセス可
- (3) 指定箇所への情報の書込み: 全てのメモリにアクセス可
- (4) 指定箇所への情報の書込み: 割当てブロックに対してのみアクセス可

8. むすび

種々の画像処理形態にハードウェアの変更無しに対応できる、柔軟性を有した並列画像処理装置FP³について、構成概要、具体的な画像処理形態、動作例を述べた。複数台の汎用のマイクロプロセッサと分散配置された画像メモリの有機的結合により、柔軟性のあるシステムが構成されている。本装置により、種々の処理形態に対応した画像処理方式の検討を行なうと共に、複数の処理単位を並列に、或いはパイプライン状に配置させた様な画像処理システムや符号化装置を模擬し、性能評価、負荷配分などの検討を行なうことも可能である。

近傍演算等、特定の演算処理の高速化を図った装置や、専用プロセッサなどの開発、或いは計算機分野における並列計算機の開発が、現在、活発に行なわれているが、本論文で述べた様な装置は、まだ少ない様に思われる。本装置では、既存のソフトウェア開発環境を利用できる汎用のマイクロプロセッサを用いているため、ソフトウェアの開発性には優れているが、処理速度の点では、PEの数が8台ということもあって、まだ十分とは言えない。しかしながら、画像処理用LSIを拡張用スロットに導入する、更に高速のプロセッサを使用する、などにより、処理速度の向上を図っていくことが可能である。

文 献

- [1] 吉田、長谷部: “リアルタイム画像処理、” 日経マグローヒル社、1986.
- [2] 前田明: “画像処理マシン、” 情報処理、vol. 28、no.1、pp.19-26、1987.1.
- [3] 金子、小池、羽鳥: “柔軟性を有した画像処理装置FP³、” 情処36全大、3V-6、1988.3.
- [4] 金子、小池、羽鳥: “並列画像処理装置FP³における画像処理形態、” 情処32全大、7T-6、1988.9.
- [5] 金子、羽鳥、山田、山本: “大規模画像メモリを備えた汎用動画像処理システム、” 信学論、vol.J68-D、no.4、pp.877-884、1985.4.