

試作結果に基づく高速画像処理用並列計算機 RIPE の性能評価

本沢 邦朗[†] 平岡 久和[†] 松浦 一教[†] 金川 英一[†]
中西 弘泰[†] 塩見 彰睦[†] 今井 正治[†] 長谷川 純一^{††}

[†] 豊橋技術科学大学情報工学系, 豊橋市

^{††} 中京大学情報科学部, 豊田市

本稿では、試作システムを用いて行った RIPE の性能評価について述べる。RIPE は、1 次元プロセッサ・アレイ上で、画像データに対する空間並列性を持った局所処理を実行する方式を採用した SIMD 型並列計算機である。RIPE の構成は、用途に合わせて、基本、高性能、低価格の各構成から選択することができる。低価格構成の試作機上でのフィルタ処理時間を測定し、その結果から高性能構成 RIPE での処理時間を推定した。高性能構成 RIPE は、汎用 EWS(15.8MIPS) に対して数千倍から百数十万倍の処理能力を持っていると推定された。また、汎用 DSP ボード (20MOPS) に対しても数千倍の処理能力を持っていることが推定された。

Performance Evaluation of a Parallel Processor RIPE for Very High Speed Image Processing

Kunio HONSAWA[†], Hisakazu HIRAOKA[†], Kazunori MATSUURA[†], Eiichi KANAGAWA[†],
Hiroyasu NAKANISHI[†], Akichika SHIOMI[†], Masaharu IMAI[†], Jun-ichi HASEGAWA^{††}

[†] Department of Information and Computer Sciences,
Toyohashi University of Technology, Toyohashi, 441 Japan

^{††} School of Computer and Cognitive Sciences,
Chukyo University, Toyota, 470-03 Japan

The performance evaluation of a parallel processor RIPE(Real-time Image Processing Engine) for very high speed image processing is described. RIPE is a SIMD type parallel processor with one-dimensional array structure. RIPE executes a neighborhood operation with spatial parallelism, in a row-by-row pipeline manner. There are three types of configurations of RIPE-system : Basic, High-performance, and Low-cost configurations. According to the prototype system design results, typical filtering operation time on an image, whose size is 2048 × 2048 pixels, was estimated. High-performance configuration RIPE has demonstrated thousand to million times as fast as typical EWS, and thousand times or more faster than typical DSP.

1 はじめに

従来の画像処理では、処理時間の制約などにより、計算量の少ない処理によって目標を達成する方法が研究されてきた。従って、主に3×3画素程度の小さなサイズの局所領域における処理が用いられた。しかし、最近では計算機の性能の向上に伴い、大規模な濃淡画像に対して、比較的大きなサイズの局所領域での処理や、計算精度を要する処理、複雑で計算量の多い処理などが行われるようになってきた^{1), 2)}。従来の小さなサイズの局所領域での積和演算に重点をおいた画像処理システムでは、このような処理を高速に実行することが困難である。そこで著者らは、(1)大規模な2次元濃淡画像に対する、(2)比較的大きなサイズの局所領域での、(3)複雑で計算量の多い処理の、高速実行が可能な並列画像処理システムの実現を目的として、高速画像処理用並列計算機 RIPE(Real-time Image Processing Engine)の構成に関する研究を行ってきた^{3), 4)}。

RIPEは、1次元プロセッサ・アレイ上で、画像データに対する空間並列性を持った局所処理を実行する方式を採用したSIMD型並列計算機である。処理は、入力-演算-出力の3つのステージにパイプライン化されて、行単位で行われる。RIPEの構成は、用途に合わせて、基本、高性能、低価格の各構成から選択することができる。これまでに、プロセッサ・アレイを実現する専用VLSIのRIPEチップを、ASIC技術を用いて実現してきた⁵⁾。今回、そのRIPEチップを用いて、これまで机上で行っていたRIPEの原理検証を実機で行うこと、およびRIPEチップの性能評価を行うことを目的として低価格構成の試作システムを実現した⁶⁾。本稿では、試作システムを用いて行ったRIPEの性能評価の結果について述べる。

試作システムでは、128個のプロセッサが512×512画素の画像に対する処理を行う。この試作システム上で、画像処理で比較的良好に用いられるフィルタを実行した場合の処理時間を測定した。測定結果から、評価に用いた処理の中で、エッジ保存平滑化とメディアン・フィルタを除いた局所領域のサイズが15×15以内の処理が、1画面分の画像データのアクセス時間(17ms)以内で実行可能であることが確認された。次に、試作機での測定結果から、2048個のプロセッサが2048×2048画素の画像に対する処理を行う高性能構成RIPEでの処理時間を計算した。その結果、2048×2048画素の画像に対する処理が、試作機での512×512画素の画像に対する処理時間以内に終了することが推定される。また、高性能構成RIPE、汎用EWS、および汎用DSPボードとの処理時間の比較を行った。比較の結果、高性能構成RIPEは、汎用EWSに対して数千倍から百数十万倍、汎用DSPボードに対しては数千倍の処理能力を持っていると推定される。

以下本稿では、まず第2節でRIPEのアーキテク

チャ、処理の手順、およびRIPEの特徴について述べ、第3節でシステムの構成方法について述べる。第4節では、試作システム上でのフィルタ処理時間の測定結果と、高性能構成RIPEでの処理時間の推定結果について述べる。

なお、本稿では特に断らない限り画像のサイズをN×N画素、局所領域のサイズをM×M画素とする。

2 RIPEの概要

RIPEの概要について述べる。まずアーキテクチャについて述べ、次に処理の手順を説明する。最後にRIPEの特徴を示す。

2.1 RIPEのアーキテクチャ

RIPEは、1次元プロセッサ・アレイ上で、画像データに対する空間並列性を持った局所処理を実行する方式を採用したSIMD型並列計算機である。処理は、入力-演算-出力の3つのステージにパイプライン化されて、行単位で行われる。RIPEの基本的な構成では、N個のプロセッサを用いてプロセッサ・アレイが構成される。

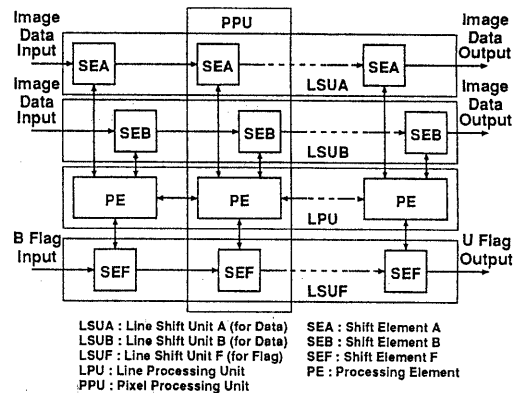


図 1: プロセッサ・アレイの構成

プロセッサ・アレイの構成を図1に示す。プロセッサ・アレイは、著者らが実現した専用VLSIのRIPEチップから構成される。RIPEチップの仕様を表1に示す。現在、実現されているRIPEチップは、制御部と8個のPPU(Pixel Processing Unit)を内蔵している。各PPUはそれぞれ1画素の処理を担当する。従って、N/8個のRIPEチップを直列に接続することにより、N個のPPUを持つプロセッサ・アレイが実現できる(ここで、Nは8の倍数とする)。PPUは、1組のSEA, SEB, SEF(Shift Element A/B/F)、およびPEから構成される。

表 1: RIPE チップの仕様

入力	16 ビット × 2 系統
出力	16 ビット × 2 系統
内部演算方式	16 ビット 整数演算
プロセス	1.0 μ m CMOS
局所領域の上限	縦方向 64 画素
内蔵 PPU(PE) 数	8 個
トランジスタ数	241k
チップサイズ	12.3mm × 12.6 mm
パッケージ	208 ピン CQFP
動作周波数	20MHz
消費電力	0.3W (5V, 20MHz 動作時)

SEA, SEB は LSUA, LSUB(Line Shift Unit A/B) を構成し、入力-演算-出力のパイプライン処理の中で入力ステージと出力ステージを受け持つ。LSUA, LSUB は、16 ビットの画像データの入出力を行う。LSUA および LSUB では、それぞれ入力と出力を同時に行えるため、2 系統のデータの入力と出力を同時に行うことができる。この機能を用いると、画像間演算や、異なる 2 画面分の処理結果を出力することなどが可能である。現在実現されている RIPE チップでは、データの入出力ポートが、LSUA, LSUB の 2 系統用意されている。しかし、画像間演算を除いた 2 次元の画像に対する処理は、原理的に 1 系統あれば実行できる。

SEF は、LSUF(Line Shift Unit F) を構成し、制御情報の入出力を行う。LSUF のビット幅は 1 であり、制御情報を入力し、内部状態の一部を出力できる。LSUF は、細線化などのような繰り返しを含むアルゴリズムでの終了条件や終了状態の検出、およびシステムのデバッグなどに使用される。

PE は 1 行分の画像データの演算を行う LPU を構成する。各 PE では 16 ビットの整数演算が行われる。各 PE は、演算に必要な局所領域内の画素データの縦 1 列分を保持するために、64 ワード (1 ワード 16 ビット) の局所メモリ SM(Slit Memory) を持つ。また、各 PE は、16 ビット幅のデータ転送用の双方向入出力ポートを 2 個持ち、隣接する PE 間でのデータ転送が可能である。従って、演算に必要な局所領域内の画素データを得るためには、縦方向は局所メモリを参照し、横方向は PE 間データ転送を行えば良い。

入力画素データは、ラスタスキャン順に LSUA または LSUB にシフト入力される。入力された画素データは、1 行分の画素データが LSUA または LSUB に入力された時点で、LPU に転送される。LPU では 1 行分の画素データに対する演算が同時に行われる。LPU での演算結果は、再び LSUA または LSUB に転送され、ラスタスキャン順にシフト出力される。

2.2 処理手順

図 2 に局所領域のサイズが 3×3 の場合の処理手順の例を示す。ここで、 L_i は画像中の i 行目の各画素に対して処理を行っていることを示す。入力 (Input) ステージと出力 (Output) ステージに要する時間は同じである。この方式では、最も処理時間を要するステージが終了するまで他のステージはインターロックされる。従って、1 画面の画像データに対する処理時間が最も長い時間を要するステージによって決定される。図 2 は、各ステージの長さが揃っており、インターロックが生じないため、最大の性能が得られる理想的な場合である。

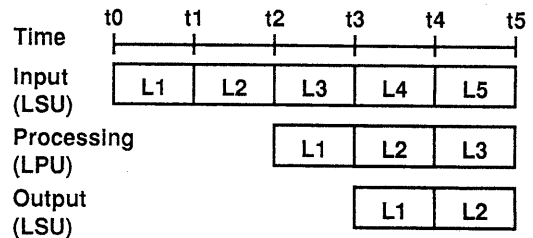


図 2: 3×3 の局所領域での処理手順

2.3 RIPE の特徴

RIPE は次のような特徴を持っている。

- (1) 大規模な 2 次元濃淡画像に対する処理が可能

各 PE は 1 次元のアレイ状に配置されるため PE 間接続のためのハードウェア量が少なくすむ。その結果、対象画像のサイズが 1024×1024 , 2048×2048 あるいはそれ以上の場合にもシステムの実現が比較的容易である。

- (2) 比較的大きなサイズの局所領域での処理が可能

今回実現した RIPE チップでは、縦方向の局所領域のサイズが 64 画素以下である処理が可能である。

- (3) 複雑で計算量の多い処理が可能

RIPE は、データの入出力と内部演算を 16 ビット単位で行い、基本的な算術論理演算のための命令を備えている。従って、局所並列処理方式や完全空間並列処理方式では実用化が困難であった、濃淡画像に対する複雑で計算量の多い処理が可能である。現在、集中度フィルタと尺度空間フィルタを RIPE 上で実行させ、評価を行っている。

- (4) プログラムの作成が容易

RIPE では SIMD 型の並列処理が行われるため、1 個の PE を想定してプログラムを作成すれば良い。また、プロセッサ間での同期などの特殊な処理を記述する必要がない。従って、逐次型計算機上で動作している空間並列性を持った局所処理アルゴリズムの移植が容易である。また、汎用計算機では対象画像のサイズを大

きくすると、プログラムの修正が必要になる場合があるが、RIPE では同一のプログラムで処理できる。

(5) 高速処理が可能

処理時間については4節で示す。

(6) VLSI による実現が容易

RIPE の PE 間は 1 次元的な接続であるために、1 チップに内蔵する PE 数が変化してもピン数は変化しない。従って、RIPE は VLSI 化向きのアーキテクチャであるといえる。また、PE が 1 次元的な接続であることはシステムの実現も容易にしている。

3 RIPE システムの構成方法

RIPE のアーキテクチャを実際にシステム化する場合の、システムの構成方法について述べる。

3.1 システム構成例

RIPE システムの構成例を図 3 に示す。RIPE はホスト計算機のバックエンド・プロセッサとして動作する。RC(RIPE Controller) はホスト計算機と通信を行い各部を制御する。命令メモリはホスト上で開発されたプログラムを格納する。フレーム・メモリは画像データを格納する。図 3 の構成では、ホストから転送された、あるいはカメラから入力された画像データは、いったんフレーム・メモリに格納されてから処理される。

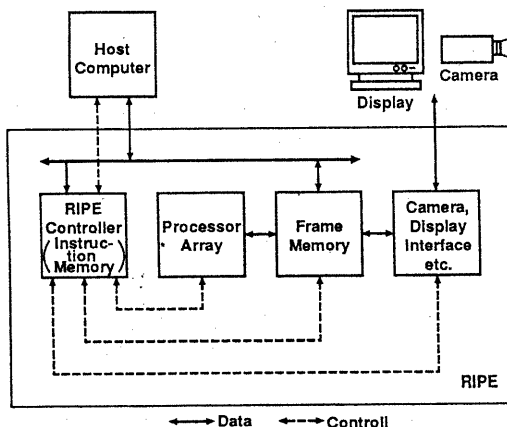


図 3: RIPE システムの構成例

3.2 フレーム・メモリとプロセッサ・アレイの構成

図 3 に示したフレーム・メモリとプロセッサ・アレイは、用途に合わせてそれ自体の構成と相互の接続方法を、基本、高性能、低価格の各構成方法の中から選択

することができる。図 4 に $N=2048$ の場合の各構成を示す。

3.2.1 基本構成

基本構成では、次のようにフレーム・メモリとプロセッサ・アレイを構成する。

- (1) 1 画面分の画像データを格納できるフレーム・メモリを、処理前の画像と処理後の画像を格納するために 2 フレーム以上用意する。
- (2) N 個の PPU でプロセッサ・アレイを構成する。
- (3) フレーム・メモリとプロセッサ・アレイを図 4 (a) のように接続する。
- (4) 処理を行う場合は、処理前の画像データを格納したフレーム・メモリから画素データがラスタスキャン順に読み出され、プロセッサ・アレイで処理されたデータが処理結果を格納するフレーム・メモリにラスタスキャン順に格納される。

図 4(a) の例ではフレーム・メモリとプロセッサ・アレイとの間で処理が行われるが、フレーム・メモリをカメラやディスプレイなどのインターフェースに置き換えることによって、実時間処理を行うことが可能である。

3.2.2 高性能構成

これまでに行った著者らの検討では、画像処理で比較的良く用いられるフィルタを RIPE で実行すると、入力-演算-出力のパイプラインの中で演算よりも入出力があい路になり易いことが知られている。この場合基本構成では、LPU がインターロックされ待ち状態が発生し、最大の性能を発揮できない。これは、対象画像のサイズを変更し大きくすると、さらに顕著になる。対象画像のサイズを大きくすると、1 行分の画像データの演算に要する時間(演算ステージの各ピッチ長)は変化しないが、1 行分の画像データの入力あるいは出力に要する時間(入力、出力ステージの各ピッチ長)は長くなる。従って、LPU での待ち状態が多くなる。そこで、フレーム・メモリとプロセッサ・アレイの構成方法を工夫し、入出力に要する時間を短縮化した構成が高性能構成である。高性能構成では、次のようにフレーム・メモリとプロセッサ・アレイを構成する。

- (1) 1 画面分の画像データを格納できるフレーム・メモリを、同時にアクセスできる複数の物理的なメモリ・ブロックから構成する。フレーム・メモリは、処理前の画像と処理後の画像を格納するために 2 フレーム以上用意する。ブロック数を B_h とすると、ブロックの幅 W_h は N / B_h となり、各ブロックの容量は $W_h \times N$ 画素となる。
- (2) W_h 個の PPU からなるプロセッサ・ブロックを構成する。プロセッサ・ブロックを B_h 個直列に接続し、

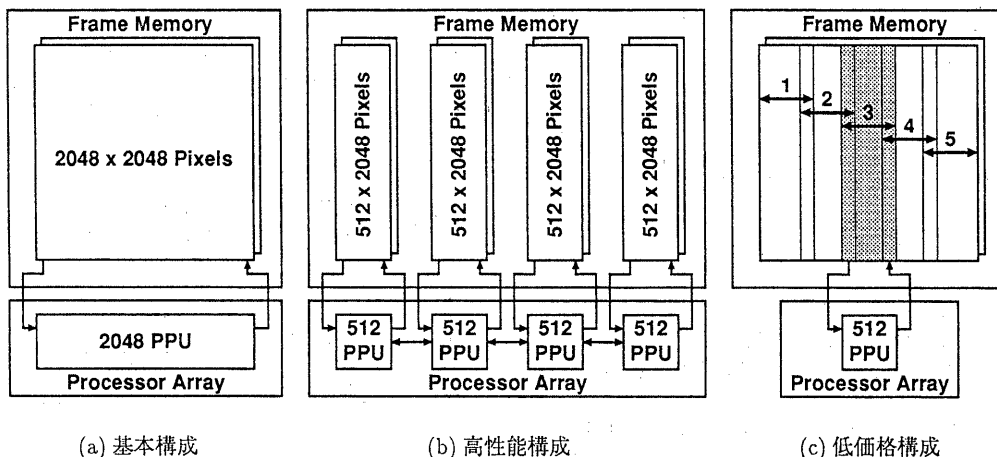


図 4: フレーム・メモリとプロセッサ・アレイの構成方法

N 個の PPU を持ったプロセッサ・アレイを構成する。各ブロック間は PE 間転送ができるように接続する。

(3) フレーム・メモリとプロセッサ・アレイを図 4(b) のように各メモリ・ブロックとプロセッサ・ブロックごとに接続する。

(4) 処理は各プロセッサ・ブロックで同時に行われる。接続されているメモリ・ブロックとプロセッサ・ブロックの間では、処理前の画像データを格納したフレーム・メモリから画素データがラスタスキャン順に読み出され、プロセッサ・アレイで処理されたデータが処理結果を格納するフレーム・メモリにラスタスキャン順に格納される。

高性能構成では、1 画面分の画像データの入出力に要する時間が、基本構成時に比べて $1/B_h$ となる。従って、演算に対して入出力があい路となるような処理を行う場合には高性能構成を採用し、演算時間と入出力時間が同程度になるようにブロック数 B_h を決める。これにより、インターロックによる LPU の待ち状態がなくなり最大の性能を発揮することができる。図 4(b) は $B_h = 4$ であるため、図 4(a) の構成に比べて入出力に要する時間が $1/4$ となる。

3.2.3 低価格構成

基本および高性能構成では N 個の PPU からプロセッサ・アレイが構成された。低価格構成では N 個未満の PPU からプロセッサ・アレイが構成される。以下では、低価格構成時にプロセッサ・アレイを構成する PPU の個数を W_1 とする。この構成では、他の構成に比べてハードウェア量が少なくなるが、1 画面分の画像データを処理するために複数回の処理を行う必要がある。

低価格構成では、次のようにフレーム・メモリとプロセッサ・アレイを構成する。

(1) W_1 個の PPU からプロセッサ・アレイを構成する。

(2) 1 画面分の画像データを格納できるフレーム・メモリを、複数の論理的なブロックとしてアクセスできるように構成する。フレーム数は、処理前の画像と処理後の画像を格納するために 2 フレーム以上用意する。各ブロックは、 $W_1 \times N$ 画素からなり、隣接するブロックと重なりを持っている。この重なりは、各ブロック内で局所領域内の画素データを得るために必要である。重なる画素数は、M が奇数の場合は $\lfloor M/2 \rfloor$ 画素、M が偶数の場合は $\lfloor M/2 \rfloor$ あるいは $\lfloor M/2 \rfloor - 1$ 画素必要である。

(3) 図 4(c) のようにプロセッサ・アレイをフレーム・メモリの論理ブロックに順番に対応させる。

(4) 処理は各論理ブロックごとに順番に行われる。対応しているフレーム・メモリの論理ブロックとプロセッサ・アレイの間では、処理前の画像データを格納したフレーム・メモリから画素データがラスタスキャン順に読み出され、プロセッサ・アレイで処理されたデータが処理結果を格納するフレーム・メモリにラスタスキャン順に格納される。

低価格構成では、論理ブロックを順番に処理することによって、1 画面分の画像データを処理するために、同じ演算を I 回繰り返す必要がある。論理ブロックの重なりを ϕ 画素とすると、I は次式より決定される。

$$I = \left\lceil \frac{N - 2\phi}{W_1 - 2\phi} \right\rceil \quad (1)$$

4 試作システムによる RIPE の性能評価

これまで机上で行っていた RIPE の原理検証を実機で行うこと、および RIPE チップの性能評価を行うことを目的としてシステムを試作した。以下では、試作システムを用いて行った RIPE の性能評価について述べる。まず、今回実現した試作システム（低価格構成）の構成について述べ、次に試作システム上で、画像処理で比較的良好に用いられるフィルタを実行した場合の処理時間の測定結果を示す。最後に、同じ処理を高性能構成 RIPE で処理した場合の処理時間を推定した結果を示す。

なお本節では、LPU で行われる 1 画面分の画像データの演算を内部演算と呼び、内部演算に要する時間を内部演算時間として、入出力時間と内部演算時間を含めた処理時間と区別する。また、LSUA、LSUB で行われる 1 画面分の画像データの入力あるいは出力をフレーム・アクセスと呼び、フレーム・アクセスに要する時間をフレーム・アクセス時間と呼ぶ。

4.1 試作システムの構成

上述の試作目的を最低限達成するためには、図 3 のフレーム・メモリとプロセッサ・アレイ、および RC を実現すれば良い。従って、短期間でシステムを実現するために、システム全体を新規に開発せずに、既存のバス構成の汎用画像処理システムにプロセッサ・アレイなどを付加することでシステムを実現した。フレーム・メモリとプロセッサ・アレイの構成は、ある 1 つの構成の処理時間を測定することにより他の構成の処理時間を推定できるため、ハードウェア量の少ない低価格構成を採用した。図 5 に試作システムの構成を示す。

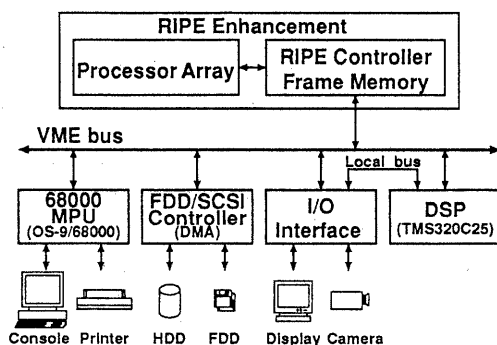


図 5: 試作システムの構成

図中の VME バスの下側が、採用した既存の汎用画像処理システムである。この既存のシステムに、新たに開発した RIPE エンハンスメントを接続した。RIPE

エンハンスメントは、プロセッサ・アレイを実現したプロセッサ・ボードと、RC およびフレーム・メモリを搭載したコントローラボードの 2 枚から構成される。RIPE エンハンスメントの仕様を表 2 に示す。

表 2: RIPE エンハンスメントの仕様

処理対象画像データ	512 × 512 × 8 ビット
PPU(PE) 数	128 個 (RIPE チップ 16 個)
内部演算方式	16 ビット整数演算
動作周波数	20 MHz
処理能力	2560 MOPS
フレームメモリ数	4 画面
入力	2 系統
出力	1 系統

4.2 試作システムでのフィルタ処理時間

試作システム（低価格構成）上で、画像処理で比較的良好に用いられるフィルタを実行した場合の内部演算時間およびフレーム・アクセス時間を図 6 に示す。

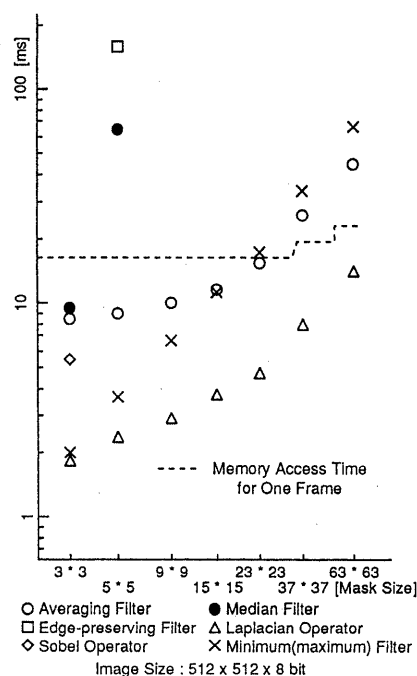


図 6: 試作機 (低価格構成) でのフィルタ処理時間

RIPE での処理時間は、内部演算時間とフレーム・アクセス時間の長い方の時間によって決定される。図 6 に示した各点は内部演算時間のみを示している。内部演算時間とフレーム・アクセス時間を含めた処理時間はフレーム・アクセス時間を示した点線を境に次のように計算できる。

点線より下側にあるフィルタでは、フレーム・アクセスがあい路となり、処理時間はフレーム・アクセス時間と等しくなる。試作システムは低価格構成であるために、局所領域のサイズによって1画面を何回(3.2.3節での1)に分けて処理を行うかが決定される。従って、局所領域のサイズによって論理ブロックの入出力回数が増えるため、図6のフレーム・アクセス時間は階段状になっている。

一方、点線より上側にあるフィルタでは、内部演算があい路となり、処理時間は内部演算時間と等しい。

図6から、評価に用いた処理の中で、エッジ保存平滑化とメディアン・フィルタを除いた局所領域のサイズが15×15以内の処理が、フレーム・アクセス時間(17ms)以内で実行できることが確認された。これによって、RIPEの原理の正当性が確認できた。

4.3 高性能構成でのフィルタ処理時間の推定

試作システムでの処理時間から、次のような高性能構成RIPEでの処理時間を推定した。

- (1) 対象画像のサイズ: 2048 × 2048 × 8ビット
- (2) PPU数: 2048個
- (3) フレーム・メモリのブロック数(W_h): 256ブロック

結果を図7に示す。図7の点線はブロック数が256の場合のフレーム・アクセス時間を示す。

評価に用いた全ての処理で、内部演算時間がフレーム・アクセス時間より大きくなっている。従って、処理時間は内部演算時間によって決定され、RIPEの持つ処理能力を最大に発揮できることが知られた。また、この構成では2048 × 2048画素の画像に対する2048個のPPUによる処理が、試作機での512 × 512画素の画像を128PPUで処理する時間以内に終了することが知られた。

さらに、高性能構成RIPE、汎用EWS、および汎用DSPボードとの処理時間の比較を行った。表3に比較結果を示す。汎用EWSは、NSSUN4/40(CPU: SPARC, 15.8MIPS)を用いた。汎用DSPボードは、AVME-337(CPU: TMS320C25 × 2個, 計20MOPS)を用いた。なお、表3での汎用EWSおよび汎用DSPボードの処理時間は、512 × 512 × 8ビットの画像に対するフレーム・アクセス時間および内部演算時間を含んだ処理時間の実測値を16倍して、2048 × 2048 × 8ビットの画像に対する処理時間とした。汎用EWSでは、C言語で記述された各フィルタの処理時間を測定した。汎用DSPボードは、アセンブラ言語で記述されているAVME-337用の画像処理ライブラリを用いた。そのため、ライブラリとして用意されていない局所領域のサイズが3 × 3以外の処理は行えなかった。従って、RIPEの特徴である比較的大きなサイズの局所領域での処理に関しては、汎用DSPボードとの比較を行えなかった。

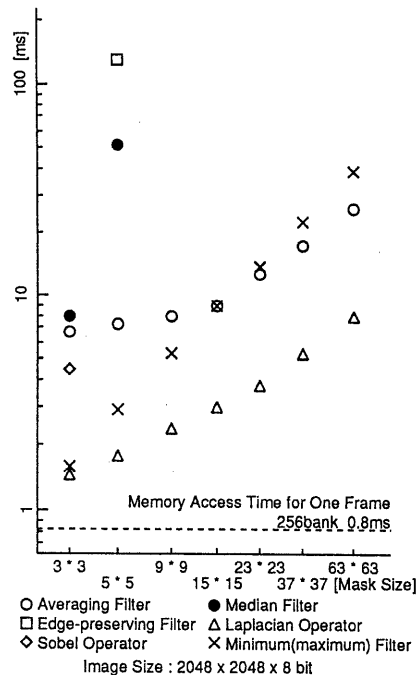


図7: 高性能構成でのフィルタ処理時間の予測

同表から次のようなことが推定される。まず、高性能構成RIPEと汎用EWSを比較して最も処理時間の差が少ない処理は、局所領域のサイズが5 × 5のメディアン・フィルタである。この場合、高性能構成RIPEでの処理時間は51.9msであり、汎用EWSでの処理時間は 193.6×10^3 msである。つまり、汎用EWSと比較して高性能構成RIPEは数千倍の処理能力を持っていると推定される。また、最も差が大きい処理は、局所領域のサイズが63 × 63の局所平均化フィルタである。この場合、高性能構成RIPEでの処理が25.5ms、汎用EWSでの処理時間が 40.0×10^6 msである。つまり、汎用EWSと比較して高性能構成RIPEが百数十万倍の処理能力を持っていると推定される。

次に、汎用DSPボードと比較すると、高性能構成RIPEは数千倍の処理能力を持っていることが推定される。例えば、局所領域のサイズが3 × 3の最小値フィルタでは、高性能構成RIPEでの処理時間が1.6ms、汎用DSPボードでの処理時間が 3.5×10^3 msである。

5 むすび

本稿では、試作システムを用いて、RIPEの性能評価を行った結果について述べた。

現在の試作システムでは、試作目的であった、RIPEの原理検証とRIPEチップの性能評価を行うことがで

表 3: 汎用 EWS, 汎用 DSP との処理時間の比較 単位 [ms]

フィルタ	処理装置	局所領域のサイズ				
		3 × 3	5 × 5	15 × 15	37 × 37	63 × 63
局所平均化	RIPE	6.8	7.2	9.0	17.8	25.5
	DSP	16.6×10^3	—	—	—	—
	EWS	136.0×10^3	328.0×10^3	2.8×10^6	15.3×10^6	40.0×10^6
メディアン	RIPE	7.7	51.9	—	—	—
	DSP	56.6×10^3	—	—	—	—
	EWS	131.2×10^3	193.6×10^3	—	—	—
エッジ保存 平滑化	RIPE	—	128.4	—	—	—
	DSP	—	—	—	—	—
	WS	—	664.0×10^3	—	—	—
ラブラシアン	RIPE	1.4	1.8	2.9	5.1	7.8
	DSP	6.2×10^3	—	—	—	—
	EWS	36.8×10^3	36.8×10^3	36.8×10^3	36.8×10^3	36.8×10^3
ソーベル	RIPE	4.3	—	—	—	—
	DSP	—	—	—	—	—
	EWS	52.8×10^3	—	—	—	—
最小値	RIPE	1.6	2.9	9.0	22.5	38.5
	DSP	3.5×10^3	—	—	—	—
	EWS	140.8×10^3	340.8×10^3	2.8×10^6	15.6×10^6	41.1×10^6
最大値	RIPE	1.6	2.9	9.0	22.5	38.5
	DSP	6.6×10^3	—	—	—	—
	EWS	140.8×10^3	340.8×10^3	2.8×10^6	15.6×10^6	41.1×10^6

EWS : NSSUN4/40 (CPU : SPARC, 15.8 MIPS)

DSP : AVME-337 (CPU : TMS320C25×2 個, 計 20 MOPS)

きた。しかし、実際の画像処理に利用する場合は、既存のバス構成の汎用画像処理システムに RIPE エンハンスメントを付加した形になっているため、入出力装置での画像データの入出力やバスを介した転送がある路となり、RIPE エンハンスメントの性能を発揮することができない。従って、実際の画像処理に利用するためには、入出力装置とのインタフェースやバスを含めてシステムを改良する必要がある。RIPE チップに関しては、より複雑で計算量の多い処理に対応するため、現在の RIPE チップには内蔵されていない乗算器の内蔵や、レジスタ数の変更、局所メモリの容量拡大などの検討を行っている。同時に RIPE のアーキテクチャを拡張し、真 3 次元画像処理に対応するよう検討を行っている。応用プログラムとしては、集中度フィルタと尺度空間フィルタを試作システム上で実行させ、評価を行っている。今後は、画像処理アルゴリズムについて検討し、より多くの処理を RIPE 上に実現していく予定である。

謝辞 本研究に御協力いただいた、新日本製鐵(株)、矢崎総業(株)、(株)豊橋テクノサイエンス、および適切な助言を頂いた、名古屋大学の鳥脇純一郎教授、横井茂樹助教授、豊橋技術科学大学の山本眞司教授、および豊橋技術科学大学 VLSI 設計研究室の諸賢に感謝します。なお本研究の一部は、新技術事業団先端的研

究成果展開事業による。

参 考 文 献

- 1) 長谷川純一, 筒井武敏, 鳥脇純一郎: 胃 X 線 2 重造影像におけるひだ集中を伴うがん病変部の自動抽出, 電子情報通信学会論文誌 (D-II), Vol. J73-D-II, No. No.4, pp. 661-669 (1990).
- 2) Witkin, A. P.: Scale-Space filtering, in *Proc. of 8th international joint conference on artificial intelligence*, pp. 1019-1022 (1983), Karlsruhe.
- 3) 本沢邦朗, 佐藤淳, 富田稔太, 今井正治, 長谷川純一: 超高速画像処理システム RIPE のアーキテクチャ, 電子情報通信学会技術研究報告, CPSY89-12, pp. 43-50 (1989).
- 4) Imai, M., Honsawa, K., Yamada, N., Tomita, J., Sato, J. and Hasegawa, J.: The Architecture and Efficiency of RIPE : A Real-time Image Processing Engine, 電子情報通信学会技術報告, CPSY90-31, pp. 113-118 (1990).
- 5) 松下昭司: 超高速画像処理システム RIPE のハードウェアの実現, 豊橋技術科学大学修士学位論文 (1993).
- 6) 平岡久和: 超高速画像処理システム RIPE の性能評価, 豊橋技術科学大学修士学位論文 (1993).